



(19)  
Bundesrepublik Deutschland  
Deutsches Patent- und Markenamt

(10) **DE 11 2004 001 442 T5** 2006.06.08

(12)

## Veröffentlichung

der internationalen Anmeldung mit der  
(87) Veröffentlichungs-Nr.: **WO 2005/034207**  
in deutscher Übersetzung (Art. III § 8 Abs. 2 IntPatÜG)  
(21) Deutsches Aktenzeichen: **11 2004 001 442.5**  
(86) PCT-Aktenzeichen: **PCT/US2004/024590**  
(86) PCT-Anmeldetag: **28.07.2004**  
(87) PCT-Veröffentlichungstag: **14.04.2005**  
(43) Veröffentlichungstag der PCT Anmeldung  
in deutscher Übersetzung: **08.06.2006**

(51) Int Cl.<sup>8</sup>: **H01L 21/00** (2006.01)

(30) Unionspriorität:  
**10/633,504**      **05.08.2003**      **US**

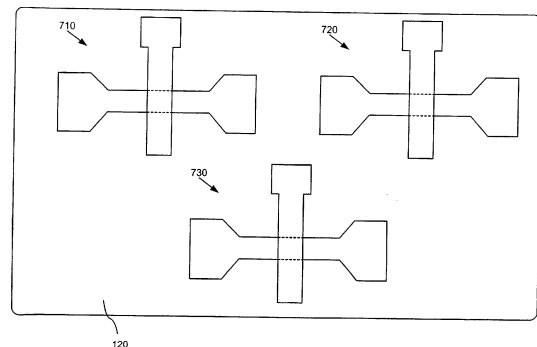
(71) Anmelder:  
**Advanced Micro Devices, Inc., Sunnyvale, Calif.,  
US**

(74) Vertreter:  
**Grünecker, Kinkeldey, Stockmair &  
Schwanhäusser, 80538 München**

(72) Erfinder:  
**Yu, Bin, Cupertino, Calif., US; Ahmed, Shibly S.,  
San Jose, Calif., US; Wang, Haihong, Milpitas,  
Calif., US**

(54) Bezeichnung: **Variieren der Ladungsträgerbeweglichkeit in Halb-Leiterbauelementen, um Gesamtentwurfsziele zu erreichen**

(57) Hauptanspruch: Halbleiterbauelement (100) mit:  
einem Substrat (110);  
einer isolierenden Schicht (120), die auf dem Substrat (110)  
gebildet ist;  
einem ersten Bauelement (710), das auf der isolierenden  
Schicht (120) gebildet ist, mit:  
einem ersten Steg (120), der auf der isolierenden Schicht  
(120) ausgebildet ist und ein erstes Stegaspektverhältnis  
aufweist;  
einem zweiten Bauelement (720), das auf der isolierenden  
Schicht (120) ausgebildet ist und umfasst:  
einen zweiten Steg (130), der auf der isolierenden Schicht  
(120) ausgebildet ist und ein zweites Stegaspektverhältnis  
aufweist, das sich von dem erstem Stegaspektverhältnis  
unterscheidet.



**Beschreibung**

## TECHNISCHES GEBIET

**[0001]** Die vorliegende Erfindung betrifft Halbleiterbauelemente und Verfahren zur Herstellung von Halbleiterbauelementen. Die vorliegende Erfindung besitzt besondere Anwendbarkeit auf Doppelgatebauelemente.

## HINTERGRUND

**[0002]** Die ständige Anforderung nach höher Dichte und Leistungsfähigkeit im Zusammenhang mit Halbleiterbauelementen mit äußerst hoher Packungsdichte erfordert Entwurfsmerkmale, etwa Gate-Längen, die unterhalb von 100 Nanometer (nm) liegen, eine höhere Zuverlässigkeit und einen erhöhten Fertigungsdurchsatz. Die Reduzierung der Strukturgrößen unter 100 nm stellt eine Herausforderung für die Grenzen konventioneller Verfahrenstechniken dar.

**[0003]** Wenn beispielsweise die Gate-Länge eines konventionellen planaren Metalloxid-Halbleiterfeldeffekttransistors (MOSFET) unter 100 nm reduziert wird, sind Probleme, die mit den Kurzkanaleffekten, etwa einem übermäßigen Leckstrom zwischen dem Source und Drain, verknüpft sind, zunehmend schwierig zu bewältigen. Ferner trägt auch die Beeinträchtigung der Beweglichkeit und eine Reihe von Prozessproblemen dazu bei, dass es zunehmend schwierig ist, konventionelle MOSFETS so in der Größe zu reduzieren, dass diese zunehmend kleinere Strukturelemente aufweisen. Es werden daher neue Bauteilstrukturen erforscht, um das FET-Leistungsverhalten zu verbessern und um eine weitere Größenreduzierung zu ermöglichen.

**[0004]** Doppelgate-MOSFETS repräsentieren neue Strukturen, die als Nachfolger für bestehende planare MOSFETS in Erwägung gezogen werden. In gewissen Aspekten bieten Doppelgate-MOSFETS bessere Eigenschaften als die konventionellen Vollsilizium-MOSFETS. Diese Verbesserungen ergeben sich, da die Doppelgate-MOSFETS eine Gateelektrode auf beiden Seiten des Kanals anstatt lediglich auf einer Seite aufweisen, wie dies in konventionellen MOSFETS der Fall ist. Wenn es zwei Gates gibt, ist das durch das Drain erzeugte elektrische Feld besser von dem sourceseitigen Ende des Kanals abgeschirmt. Ferner können zwei Gates einen höheren Strom als ein einzelnes Gate steuern, wodurch sich ein stärkeres Schaltsignal ergibt.

**[0005]** Ein FinFET bzw. StegFET ist eine neuere MOSFET-Struktur, die ein gutes Kurzkanalverhalten aufweist. Ein FinFET kann einen vertikalen Kanal, der in einem vertikalen Steg ausgebildet ist, aufweisen. Die FinFET-Struktur kann unter Anwendung von Entwurfs- und Prozessverfahren hergestellt werden,

die ähnlich sind, wie sie für konventionelle planare MOSFETS verwendet werden.

## ÜBERBLICK ÜBER DIE ERFINDUNG

**[0006]** Ausführungsformen gemäß der vorliegenden Erfindung stellen ein erstes FinFET-Bauelement mit einem ersten Stegaspektverhältnis und ein zweites FinFET-Bauelement mit einem zweiten Stegaspektverhältnis bereit.

**[0007]** Weitere Vorteile und andere Merkmale der Erfindung sind in der folgenden Beschreibung dargelegt und für den Fachmann ersichtlich, wenn folgende Beschreibung studiert wird oder die Erfindung praktiziert wird. Die Vorteile und Merkmale der Erfindung können insbesondere in der in den angehängten Patentansprüchen aufgezeigten Weise realisiert und erhalten werden.

**[0008]** Erfindungsgemäß werden die vorhergehenden und weiteren Vorteile zum Teil durch ein Halbleiterbauelement erreicht, das ein Substrat und eine auf dem Substrat ausgebildete isolierende Schicht aufweist. Ein erstes Bauelement wird auf der isolierenden Schicht hergestellt und enthält einen ersten Steg. Der erste Steg kann auf der isolierenden Schicht ausgebildet sein und besitzt ein erstes Stegaspektverhältnis. Ein zweites Bauelement ist auf der isolierenden Schicht gebildet und besitzt einen zweiten Steg. Der zweite Steg ist auf der isolierenden Schicht ausgebildet und besitzt ein zweites Stegaspektverhältnis, das sich von dem ersten Stegaspektverhältnis unterscheidet.

**[0009]** Gemäß einem weiteren Aspekt der Erfindung umfasst ein Halbleiterbauelement eine isolierende Schicht und ein auf der isolierenden Schicht ausgebildetes erstes Bauelement. Das erste Bauelement enthält einen ersten Steg, der auf der isolierenden Schicht ausgebildet ist und eine erste Höhe und eine erste Breite aufweist. Das erste Bauelement umfasst ferner eine erste dielektrische Schicht, die an mindestens drei Seiten des ersten Stegs gebildet ist und besitzt ferner ein erstes Gate benachbart zu der ersten dielektrischen Schicht. Ein zweites Bauelement ist auf der isolierenden Schicht ausgebildet. Das zweite Bauelement enthält einen zweiten Steg, der auf der isolierenden Schicht ausgebildet ist und eine zweite Höhe und eine zweite Breite aufweist. Das zweite Bauelement umfasst ferner eine zweite dielektrische Schicht, die an mindestens drei Seiten des zweiten Stegs ausgebildet ist, und besitzt ein zweites Gate benachbart zu der zweiten dielektrischen Schicht. Ein erstes Verhältnis der ersten Höhe und der ersten Breite unterscheidet sich von einem zweiten Verhältnis der zweiten Höhe zu der zweiten Breite.

**[0010]** Gemäß einem weiteren Aspekt der Erfin-

dung umfasst ein Halbleiterbauelement eine isolierende Schicht und ein Bauelement des n-Typs bzw. n-Bauelement, das auf der isolierenden Schicht gebildet ist. Das n-Bauelement umfasst einen ersten Steg, der auf der isolierenden Schicht ausgebildet ist und eine erste Höhe und eine erste Breite aufweist. Ein Bauelement des p-Typs bzw. p-Bauelement ist auf der isolierenden Schicht gebildet. Das p-Bauelement enthält einen zweiten Steg, der auf der isolierenden Schicht gebildet ist und eine zweite Höhe und eine zweite Breite aufweist. Die zweite Breite ist ein vorbestimmtes Vielfaches der ersten Breite. Die erste Höhe und die zweite Höhe sind so gestaltet, dass eine Ladungsträgerbeweglichkeit des n-Bauelements ungefähr gleich einer Ladungsträgerbeweglichkeit des p-Bauelements ist.

**[0011]** Weitere Vorteile und Merkmale der vorliegenden Erfindung werden für den Fachmann aus der folgenden detaillierten Beschreibung offenkundig. Die gezeigten und beschriebenen Ausführungsformen liefern eine als beste Ausführungsform erachtete Art zum Ausführen der Erfindung. Die Erfindung kann in diverser Hinsicht modifiziert werden, ohne von der Erfindung abzuweichen. Daher sind die Zeichnungen als lediglich anschaulich und nicht als einschränkend zu betrachten.

#### KURZE BESCHREIBUNG DER ZEICHNUNGEN

**[0012]** Es wird auf die begleitenden Zeichnungen bezug genommen, in denen Elemente mit den gleichen Bezugszeichen durchwegs gleiche Elemente bezeichnen.

**[0013]** [Fig. 1](#) ist eine Querschnittsansicht beispielhafter Schichten, die zur Herstellung eines Steges gemäß einer Ausführungsform der vorliegenden Erfindung verwendet werden.

**[0014]** [Fig. 2a](#) zeigt schematisch die Draufsicht einer Stegstruktur gemäß einer beispielhaften Ausführungsform der vorliegenden Erfindung.

**[0015]** [Fig. 2b](#) ist ein Querschnitt, der die Herstellung der Stegstruktur aus [Fig. 2a](#) gemäß einer beispielhaften Ausführungsform der vorliegenden Erfindung zeigt.

**[0016]** [Fig. 3a](#) und [Fig. 3b](#) sind eine Querschnittsansicht und eine Draufsicht zur Darstellung der Herstellung eines Doppelgate-FinFET aus dem Bauteil aus [Fig. 2b](#) gemäß einer beispielhaften Ausführungsform der vorliegenden Erfindung.

**[0017]** [Fig. 4a](#) und [Fig. 4b](#) sind eine Querschnittsansicht und eine Draufsicht, die die Herstellung eines  $\pi$ -Gate-FinFET aus dem Bauelement aus [Fig. 2b](#) gemäß einer beispielhaften Ausführungsform der vorliegenden Erfindung zeigen.

**[0018]** [Fig. 5a](#) bis [Fig. 5d](#) sind Querschnittsansichten und Draufsichten, die die Herstellung einer u-Gate-FinFET aus dem Bauelement aus [Fig. 2b](#) gemäß einer beispielhaften Ausführungsform der vorliegenden Erfindung zeigen.

**[0019]** [Fig. 6a](#) und [Fig. 6b](#) sind eine Querschnittsansicht bzw. eine Draufsicht, die die Herstellung eines Rundgate-FinFET aus dem Bauelement aus [Fig. 2b](#) gemäß einer beispielhaften Ausführungsform der vorliegenden Erfindung zeigen.

**[0020]** [Fig. 7](#) zeigt schematisch eine Draufsicht auf eine Scheibe mit einem beliebigen Bauelement aus den [Fig. 3a](#) bis [Fig. 6b](#) gemäß einer beispielhaften Ausführungsform der vorliegenden Erfindung.

**[0021]** [Fig. 8a](#) bis [Fig. 8c](#) sind Querschnittsansichten, die die Herstellung eines Rundgate-FinFET gemäß einer weiteren Ausführungsform der vorliegenden Erfindung zeigen.

#### BESTE ART ZUM AUSFÜHREN DER ERFINDUNG

**[0022]** Die folgende detaillierte Beschreibung der Erfindung nimmt Bezug auf die begleitenden Zeichnungen. Die gleichen Bezugszeichen in unterschiedlichen Zeichnungen können gleiche oder ähnliche Elemente bezeichnen. Ferner soll die folgende detaillierte Beschreibung die Erfindung nicht einschränken. Vielmehr ist der Schutzbereich der Erfindung durch die angefügten Patentansprüche und deren Äquivalente definiert.

**[0023]** Ausführungsformen der vorliegenden Erfindung stellen unterschiedliche FinFET-Bauelemente mit unterschiedlichen Stegaspektverhältnissen bereit. Diese unterschiedlichen Stegaspektverhältnisse können verwendet werden, um die Gesamtladungsträgerbeweglichkeiten der FinFET-Bauelemente einzustellen.

**[0024]** [Fig. 1](#) zeigt den Querschnitt eines Halbleiterbauelements **100**, das gemäß einer erfindungsgemäßen Ausführungsform hergestellt ist. Obwohl [Fig. 1](#) und nachfolgende Figuren ein einzelnes Bauelement **100** zeigen, weiß der Fachmann, dass andere Bauelemente (beispielsweise Halbleiterbauelemente **710**, **720**, etc. (siehe [Fig. 7](#))) auf der gleichen Scheibe oder Bereich einer Scheibe (eines Chips, etc.) gleichzeitig mit dem Halbleiterbauelement **100** unter Anwendung des hierin beschriebenen Prozesses hergestellt werden können. Gemäß [Fig. 1](#) weist das Halbleiterbauelement **100** eine Silizium-auf-Isolator-(SOI) Struktur auf, die ein Siliziumsubstrat **110**, eine vergrabene Oxidschicht **120** und eine Siliziumschicht **130**, die auf der vergrabenen Oxidschicht **120** gebildet ist, enthält. Die vergrabene Oxidschicht **120** und die Siliziumschicht **130** können auf dem Substrat **110** in konventioneller Weise hergestellt werden.

[0025] In einer beispielhaften Ausführungsform weist die vergrabene Oxidschicht **120** ein Siliziumoxid auf und kann eine Dicke in Bereich von ungefähr 1000 Angstrom bis ungefähr 3000 Angstrom besitzen. Die Siliziumschicht **130** kann ein monokristallines oder polykristallines Silizium mit einer Dicke im Bereich von ungefähr 300 Angstrom bis ungefähr 1500 Angstrom aufweisen. Die Siliziumschicht **130** wird verwendet, um eine Stegstruktur für ein Doppelgate-Transistorbauelement zu bilden, wie dies nachfolgend detailliert beschrieben ist.

[0026] In alternativen Ausführungsformen gemäß der vorliegenden Erfindung enthält das Substrat **110** und die Schicht **130** andere halbleitende Materialien, etwa Germanium, oder Verbindungen aus halbleitenden Materialien, etwa Silizium-Germanium. Die vergrabene Oxidschicht **130** kann ferner andere dielektrische Materialien enthalten.

[0027] Eine obere dielektrische Schicht **140**, etwa eine Siliziumnitridschicht oder Siliziumoxidschicht (beispielsweise  $\text{SiO}_2$ ) kann über der Siliziumschicht **130** ausgebildet sein, um als eine schützende Abdeckung während nachfolgender Ätzprozesse zu dienen. In einer beispielhaften Ausführungsform ist die dielektrische Schicht **140** mit einer Dicke im Bereich von ungefähr 150 Angstrom bis ungefähr 700 Angstrom gebildet. Anschließend wird ein Photolackmaterial abgeschieden und strukturiert, um eine Photolackmaske **150** für die nachfolgende Bearbeitung zu bilden. Das Photolackmaterial kann in konventioneller Weise abgeschieden und strukturiert werden.

[0028] Dann wird das Halbleiterbauelement **100** geätzt. In einer beispielhaften Ausführungsform werden die dielektrische Schicht **140** und die Siliziumschicht **130** in konventioneller Weise geätzt, wobei die Ätzung an der vergrabenen Oxidschicht **120** stoppt, um einen Steg zu bilden. Die Photolackmaske **150** wird dann entfernt. Nach der Herstellung des Stegs können Source- und Drain-Gebiete gebildet werden (beispielsweise durch Abscheiden oder epitaktisches Aufwachsen eines Halbleitermaterials) benachbart zu den entsprechenden Enden des Stegs. Beispielsweise wird in einer beispielhaften Ausführungsform eine Schicht aus Silizium, Germanium oder eine Verbindung aus Silizium und Germanium in konventioneller Weise abgeschieden, strukturiert und geätzt, um Source- und Drain-Gebiete zu bilden. Alternativ können die Source- und Drain-Gebiete im gleichen Photolithographieprozess hergestellt werden, in welchem auch der Steg gebildet wird.

[0029] [Fig. 2a](#) zeigt schematisch die Draufsicht einer Stegstruktur **210** auf dem Halbleiter **100**, die in derartiger Weise hergestellt ist. Ein Sourcegebiet **220** und ein Draingebiet **230** sind benachbart zu den Enden der Stegstruktur **210** auf der vergrabenen Oxidschicht **120** gemäß einer beispielhaften Ausführungsform der vorliegenden Erfindung gebildet.

rungsform der vorliegenden Erfindung gebildet.

[0030] [Fig. 2b](#) ist ein Querschnitt entlang der Linie A-A' in [Fig. 2a](#), wobei die Herstellung der Stegstruktur **210** gemäß einer beispielhaften Ausführungsform der vorliegenden Erfindung gezeigt ist. Wie zuvor beschrieben ist, können die dielektrische Schicht **140** und die Siliziumschicht **130** geätzt werden, um die Struktur **210** zu bilden. Die Struktur **210** kann einen Siliziumsteg **130** und eine dielektrische Abdeckung **140** aufweisen. In einer beispielhaften Ausführungsform liegt die Breite des Siliziumstegs **130** im Bereich von ungefähr 10 Angstrom bis ungefähr 100 Angstrom.

[0031] Die Source/Drain-Gebiete **220** und **230** können zu diesem Zeitpunkt oder in einer späteren Fertigungsphase (beispielsweise nach der Herstellung eines Gates) dotiert werden. Beispielsweise können n- oder p-Verunreinigungen in die Source/Drain-Gebiete **220** und **230** implantiert werden. Die speziellen Implantationsdosis- und Energieparameter können auf der Grundlage der speziellen Erfordernisse für das endgültige Bauteil ausgewählt werden. Der Fachmann kann den Source/Drain-Implantationsprozess auf der Grundlage der Schaltungserfordernisse optimieren, und derartige Handlungen sind hierin nicht offenbart, um das Wesen der vorliegenden Erfindung nicht unnötig zu verdunkeln. Es kann dann eine Aktivierungsausheizung erfolgen, um die Source/Drain-Gebiete **220** und **230** zu aktivieren.

[0032] Es können diverse unterschiedlich strukturierte FinFET-Bauelemente aus den in den [Fig. 2a](#) und [Fig. 2b](#) gezeigten Bauteil **100** geschaffen werden. Zu derartigen unterschiedlichen FinFET-Bauelementen gehören: 1) ein Doppelgate-FinFET, 2) ein  $\pi$ -Gate-FinFET, 3) ein u-Gate-FinFET und/oder 4) ein Rundgate-FinFET. Diese vier beispielhaften Typen an FinFET-Bauelementen werden im Weiteren detailliert in Verbindung mit den Prinzipien der vorliegenden Erfindung beschrieben.

#### DOPPELGATE-FinFET

[0033] [Fig. 3a](#) ist eine Querschnittsansicht, die die Herstellung eines Doppelgate-FinFET **300** aus der Struktur **210** der [Fig. 2a](#) und [Fig. 2b](#) gemäß einer beispielhaften Ausführungsform zeigt. Es wird ein relativ dünnes Gateoxid **310** auf freiliegenden Seitenflächen des Stegs **130** gebildet, wie dies in [Fig. 3a](#) gezeigt ist. Beispielsweise kann das Gateoxid **310** thermisch auf dem Steg **130** aufgewachsen werden. Das Gateoxid **310** kann mit einer Dicke von ungefähr 50 Angstrom bis ungefähr 150 Angstrom auf den Seitenflächen des Stegs **130** aufgewachsen werden.

[0034] Eine Gatematerialschicht **320** wird über der Stegstruktur **210** nach der Herstellung des Gateoxids **310** abgeschieden. In einer beispielhaften Ausführungsform der vorliegenden Erfindung gebildet.

rungsform weist die Gatematerialschicht **320** Polysilizium auf, das unter Anwendung konventioneller chemischer Dampfabscheide- (CVD) oder anderer gut bekannter Verfahren abgeschieden wird. Alternativ können andere Halbleitermaterialien, etwa Germanium oder Verbindungen aus Silizium und Germanium oder diverse Metalle als das Gate material in der Schicht **320** verwendet werden.

[0035] Wie in der Draufsicht der [Fig. 3b](#) gezeigt ist, wird ein Gate in der Gatematerialschicht **320** strukturiert und geätzt, um eine Gatestruktur **330** zu bilden, die sich über ein Kanalgebiet der Stegstruktur **210** erstreckt. Das resultierende Bauelement **300** kann allgemein als ein „Doppelgate-FinFET“ bezeichnet werden.

[0036] Die Gatestruktur **330** kann in der Gatematerialschicht **320** durch Lithographie (beispielsweise Photolithographie) gebildet werden. Obwohl dies in den [Fig. 3a](#) und [Fig. 3b](#) nicht gezeigt ist, kann die Gatematerialschicht **320** eingeebnet werden, und eine untenliegende antireflektierende Beschichtung (BARC) und möglicherweise eine oberliegende antireflektierende Schicht (TAR) (nicht gezeigt) können auf der eingeebneten Gatematerialschicht **320** abgeschieden werden, um das Ätzen der Gatematerialschicht **320** zu verbessern. Wie der Fachmann auf dem Gebiet der Halbleiterbauelemente weiß, können eine eingeebnete Gatematerialschicht **320** und die BARC-Schicht das präzisere Strukturieren einer darüberliegenden Photolackschicht erleichtern. Folglich kann die Gatestruktur **330** mit einer kritischen Abmessung (CD) (d. h. mit ihrer kleinsten Strukturgröße, etwa der Gatebreite) mit Abmessungen hergestellt werden, die ungefähr 20 nm bis ungefähr 50 nm reichen.

[0037] Die Gatestruktur **330** weist einen Gatebereich in der Nähe der Seiten der Stegstruktur **210** und einen größeren Elektrodenbereich auf, der von der Stegstruktur **210** beabstandet ist. Der Elektrodenbereich der Gatestruktur **330** kann als kontaktierbarer elektrischer Kontakt zur Vorspannung oder zur anderweitigen Steuerung des Gatebereichs dienen.

[0038] Es sei wieder auf [Fig. 3a](#) verwiesen (entlang der Linie A-A' in [Fig. 3b](#)); die Kanäle können in dem Steg **130** in dem Doppelgate-FinFET **300** entlang den beiden Seitenwänden des Stegs **130** benachbart zu dem Gateoxid **310** vorhanden sein. Die relativ dicke dielektrische Abdeckung **140** über der oberen Fläche des Stegs **130** kann eine Ausbildung eines Kanals in der oberen Fläche des Stegs **130** verhindern. Die beiden Kanäle entlang den Seitenwänden des Stegs **130** führen zu dem Namen „Doppelgate“ in dem Doppelgate-FinFET **300**, da das Gate material **320** benachbart zu den beiden Seitenwänden des Stegs **130** zwei Gates (d. h. ein „Doppelgate“) bildet, die die beiden Kanäle entlang der Seitenwände des Stegs **130**

steuern.

[0039] Die beiden Seitenwände des Stegs **130** können eine gemeinsame kristalline Orientierung (beispielsweise die Orientierung  $\langle 110 \rangle$ ) aufweisen. Auf Grund dieser gemeinsamen vertikalen kristallinen Orientierung der Seitenwände des Stegs **130** haben Änderungen auf die Breite des Stegs **130** in dem Doppelgate-FinFET **300** keinen Einfluss auf die Beweglichkeit der Majoritätsträger (d. h. der Elektronen für n-Bauelemente und Löcher für p-Bauelemente) in dem Steg **130**. Die Beweglichkeit der Majoritätsträger ist lediglich durch die gemeinsame kristalline Orientierung (Orientierung  $\langle 110 \rangle$ ) der beiden Seitenwände des Stegs **130** in dem Doppelgate-FinFET **300** bestimmt.

#### $\pi$ -GATE-FinFET

[0040] [Fig. 4a](#) ist eine Querschnittsansicht, die die Herstellung eines  $\pi$ -Gate- („pi-Gate“) FinFET **400** aus der Struktur **210** der [Fig. 2a](#) und [Fig. 2b](#) gemäß einer Ausführungsform entsprechend den Prinzipien der Erfindung zeigt. Zunächst kann die dielektrische Abdeckung **140** über dem Steg **130** entfernt werden (beispielsweise durch selektives Ätzen), wobei der blanke Steg **130** auf der vergrabenen Oxidschicht **120** zurückbleibt. Es wird dann ein relatives dünnes Gateoxid **410** auf den freiliegenden oberen und seitlichen Flächen des Stegs **130** gebildet, wie dies in [Fig. 4a](#) gezeigt ist. Beispielsweise kann das Gateoxid **410** thermisch auf dem Steg **130** aufgewachsen werden. Das Gateoxid **410** kann mit einer Dicke von ungefähr 50 Angstrom bis ungefähr 150 Angstrom auf der Oberseite und den Seitenflächen des Stegs **130** aufgewachsen werden.

[0041] Es wird eine Gatematerialschicht **420** über der Stegstruktur **210** nach der Bildung des Gateoxids **410** abgeschieden. In einer beispielhaften Ausführungsform enthält die Gatematerialschicht **420** Polysilizium, das unter Anwendung konventioneller chemischer Dampfabscheide- (CVD) oder anderer gut bekannter Verfahren abgeschieden wird. Alternativ können andere halbleitende Materialien, etwa Germanium oder Verbindungen aus Silizium und Germanium oder diverse Metalle als das Gate material in der Schicht **420** verwendet werden. Wie zuvor in Bezug auf [Fig. 3a](#) erläutert aber nicht gezeigt ist, kann die Gatematerialschicht **420** eingeebnet werden, um die Gateherstellung später zu vereinfachen, wie dies in [Fig. 4](#) gezeigt ist.

[0042] Wie in der Draufsicht aus [Fig. 4b](#) dargestellt ist, kann ein Gate strukturiert und in dem Gate material **420** geätzt werden, um eine Gatestruktur **430** zu bilden, die sich über ein Kanalgebiet der Stegstruktur **210** erstreckt. Das resultierende Bauelement **400** kann allgemein als ein „ $\pi$ -Gate-FinFET“ bezeichnet werden.

[0043] Die Gatestruktur **430** kann in der Gatematerialschicht **420** durch Lithographie (beispielsweise Photolithographie) hergestellt werden. Obwohl dies in den [Fig. 4a](#) und [Fig. 4b](#) nicht gezeigt ist, kann eine untenliegende antireflektierende Schicht (BARC) und möglicherweise eine obenliegende antireflektierende Schicht (TAR) (nicht gezeigt) auf der eingeebneten Gatematerialschicht **420** abgeschieden werden, um das Ätzen der Gatematerialschicht **420** zu erleichtern. Wie zuvor erläutert ist, können eine eingeebnete Gatematerialschicht **420** und die BARC-Schicht eine kleinere kritische Abmessung des Gates ermöglichen.

[0044] Die Gatestruktur **430** kann einen Gatebereich in der Nähe der Seiten der Stegstruktur **210** und einen größeren Elektrodenbereich beabstandet zu der Stegstruktur **210** aufweisen. Der Elektrodenbereich der Gatestruktur **430** liefert eine elektrische Kontaktiermöglichkeit zum Vorspannen oder anderweitigen Steuern des Gatebereichs.

[0045] Es sei wieder auf [Fig. 4a](#) verwiesen (entlang der Linie A-A' in [Fig. 4b](#)). Die Kanäle in dem Steg **130** in dem  $\pi$ -Gate-FinFET **400** können entlang den beiden Seitenwänden und der Oberseite des Stegs **130** benachbart zu dem Gateoxid **410** auftreten. Die drei Kanäle entlang der Seitenwände bzw. der Oberseite des Stegs **130** sind die Ursache für die Bezeichnung „ $\pi$ -Gate“ in einem  $\pi$ -Gate-FinFET **400**, da das Gate material **420** benachbart zu den beiden Seitenwänden und der Oberseite des Stegs **130** drei Gates (d. h. in einer  $\pi$ -Form) bildet, die die drei Kanäle entlang den Seitenwänden und der Oberseite des Stegs **130** steuern.

[0046] Die beiden Seitenwände des Stegs **130** in dem  $\pi$ -Gate-FinFET **400** können eine gemeinsame Kristallorientierung (beispielsweise die Orientierung  $\langle 110 \rangle$ ) aufweisen und die Oberseite des Stegs **130** kann eine unterschiedliche Kristallorientierung (beispielsweise die Orientierung  $\langle 100 \rangle$ ) aufweisen. Auf Grund dieser unterschiedlichen Kristallorientierungen der Kanäle in dem Steg **130** können Änderungen in der Breite und/oder Höhe des Stegs **130** in dem  $\pi$ -Gate-FinFET **400** die Beweglichkeit der Majoritätsladungsträger in dem Steg **130** beeinflussen, anders als dies der Fall ist in dem Doppelgate-FinFET **300**. In dieser Hinsicht kann es sinnvoll sein, ein „Stegaspektverhältnis“ für den Steg **130** als  $H/W$  zu definieren, wobei  $H$  die Höhe des Stegs **130** und  $W$  die Breite des Stegs **130** ist. [Fig. 4a](#) zeigt die Höhe  $H$  und die Breite  $W$  für den Steg **130** in dem  $\pi$ -Gate-FinFET **400**.

[0047] Die Ladungsträgerbeweglichkeit für die Majoritätsladungsträger kann in gewissen kristallinen Orientierungen (beispielsweise die Orientierung  $\langle 100 \rangle$ ) höher sein als in anderen kristallinen Orientierungen (beispielsweise der Orientierung  $\langle 110 \rangle$ ).

Für den Steg **130**, der Kanäle entlang zweier unterschiedlicher Kristallrichtungen aufweist, kann die Gesamtladungsträgerbeweglichkeit ein „Durchschnitt“ der Ladungsträgerbeweglichkeiten in den Seitenflächen und der Oberseite des Stegs **130** sein. Es sollte beachtet werden, dass der Begriff „Durchschnitt“ im hierin verwendeten Sinne allgemein so verstanden werden soll, dass eine gewisse (möglicherweise) gewichtete Kombination der Ladungsträgerbeweglichkeiten der Seitenwände und der Oberseite des Stegs **130** bezeichnet wird und sollte nicht auf die strikte mathematische Definition des Durchschnitts eingeschränkt betrachtet werden. Diese Gesamtbeweglichkeit des Stegs **130** ist unter Umständen nicht exakt mathematisch definierbar auf Grund diverser physikalischer Faktoren, etwa der geringe Abstand der Enden des Kanals in der oberen Fläche des Stegs **130** zu den Kanälen in den Seitenflächen des Stegs **130**.

[0048] Die Gesamtladungsträgerbeweglichkeit des Stegs **130** kann jedoch eingestellt werden, indem das Stegaspektverhältnis  $H/W$  (d. h. das Verhältnis der Höhe  $H$  zu der Breite  $W$  des Stegs **130**) variiert wird. Die Gesamtladungsträgerbeweglichkeit des Stegs **130** kann mit einer Zunahme des Stegaspektverhältnisses  $H/W$  ansteigen oder abfallen, abhängig davon, ob die obere Fläche oder die Seitenflächen des Stegs **130** die höhere Ladungsträgerbeweglichkeit auf Grund der Kristallorientierung aufweisen. Der Fachmann kann ohne aufwendiges Experimentieren auf der Grundlage der Offenbarung hierin geeignete Einstellungen für das Stegaspektverhältnis  $H/W$  des Stegs **130** finden (d. h., in welcher Richtung – größer oder kleiner – und um wie viel), um eine gewünschte Gesamtladungsträgerbeweglichkeit des Stegs **130** in einem  $\pi$ -Gate-FinFET **400** zu erreichen. Beispielsweise können geeignete Einstellungen für das Stegaspektverhältnis  $H/W$  des Stegs **130** von den speziellen Fertigungsprozessen/Materialien abhängen, die angewendet werden, und können ohne aufwendiges Experimentieren bestimmt werden, indem verschiedenen Testbauelemente hergestellt werden und/oder durch Bauteilmodellierung.

#### U-Gate-FinFET

[0049] [Fig. 5a](#) ist eine Querschnittsansicht, die die Herstellung eines u-Gate-FinFET's **500** aus der Struktur **210** der [Fig. 2a](#) und [Fig. 2b](#) gemäß einer Ausführungsform entsprechend den Prinzipien der Erfindung zeigen. Es kann eine konventionelle Ätzchemie angewendet werden, um Bereiche der vergrabenen Oxidschicht **120** zu entfernen, wie dies in [Fig. 5a](#) gezeigt ist. Während des Ätzens kann einen Bereich der vergrabenen Oxidschicht **120** unter dem Steg **130** entfernt werden, wie dies in den Bereichen **505** in [Fig. 5a](#) gezeigt ist. Diese laterale Unterätzung unter den Steg **130** kann benutzt werden, um die nachfolgende Bearbeitung zu ermöglichen, um damit

die vergrabene Oxidschicht **120** unter dem Steg **130** weiter zu ätzen.

**[0050]** Es kann dann ein zweiter Ätzprozess angewendet werden, um lateral durch den Bereich der vergrabenen Oxidschicht **120** unter dem Steg **130** zu ätzen. In einer beispielhaften Ausführungsform kann ein isotroper Ätzprozess unter Anwendung von beispielsweise HBr bei hohem Druck ausgeführt werden, um lateral durch die vergrabene Oxidschicht **120**, die unter dem Steg **130** angeordnet ist, zu ätzen, wie dies in [Fig. 5b](#) gezeigt ist. Der Steg **130** ist in der in [Fig. 5b](#) gezeigten Querschnittsansicht effektiv über der vergrabenen Oxidschicht **120** aufgehängt. Die Endbereiche des Stegs **130** sind jedoch an der vergrabenen Oxidschicht **120** angebracht, und der in [Fig. 5b](#) gezeigte hängende Bereich des Stegs **130** wird von der vergrabenen Oxidschicht **120** an den Enden des Stegs **130** benachbart zu den Source/Drain-Gebieten **220** und **230** gehalten.

**[0051]** Es kann dann eine dielektrische Schicht auf dem Steg **130** gebildet werden. Beispielsweise kann eine dünne Oxidschicht **510** thermisch auf den freiliegenden Seitenflächen und einer Unterseite des Stegs **130** aufgewachsen werden, um als eine Gate-dielektrikumsschicht zu dienen, wie dies in [Fig. 5b](#) gezeigt ist. Die Oxidschicht **510** kann bis zu einer Dicke von ungefähr 10 Angstrom bis ungefähr 30 Angstrom gebildet werden. Die dielektrische Abdeckung **140** schützt jedoch die obere Fläche des Stegs **130**.

**[0052]** Es wird dann eine Gatematerialschicht **520** um die Stegstruktur **210** herum abgeschieden, wie dies in [Fig. 5c](#) gezeigt ist. Die Gatematerialschicht **520** kann ein Gate material für die nachfolgend gebildete Gateelektrode aufweisen und kann Polysilizium enthalten, das unter Anwendung einer konventionellen chemischen Dampfabcheidung (CVD) bis zu einer Dicke im Bereich von ungefähr 500 Angstrom bis ungefähr 1000 Angstrom abgeschieden wird. Alternativ können andere halbleitende Materialien, etwa Germanium oder Kombinationen aus Silizium und Germanium, oder diverse Metalle als das Gate material verwendet werden.

**[0053]** Die Gatematerialschicht **520** wird dann eingeebnet. Beispielsweise kann ein chemisch-mechanischer Polierprozess (CMP) ausgeführt werden, so dass das Gate material bündig oder nahezu bündig ist zu der dielektrischen Abdeckung **140** in Bezug auf die vertikale Richtung, wie dies in [Fig. 5c](#) gezeigt ist. Gemäß [Fig. 5c](#) ist der Querschnitt der Gatematerialschicht **520** in dem Kanalgebiet des Stegs **130** u-förmig und das Gate material umgibt den Steg **130** auf den beiden Seitenflächen und der unteren Fläche des Stegs **130**. Die obere Fläche des Stegs **130** ist jedoch durch die dielektrische Abdeckung **140** bedeckt.

**[0054]** Die Gatematerialschicht **520** kann dann strukturiert und geätzt werden, um die Gateelektroden **530** und **540** des u-Gate-FinFET's **500** zu bilden. Beispielsweise zeigt [Fig. 5d](#) eine Draufsicht eines u-Gate-FinFET's **500** gemäß der vorliegenden Erfindung, nachdem die Gateelektroden **530** und **540** hergestellt sind. Wie gezeigt, enthält der u-Gate-FinFET **500** eine Struktur mit den Gateelektroden **530** und **540** und dem Gate material **520** ([Fig. 5c](#)), das die Seiten und die untere Fläche des Stegs **130** umgibt.

**[0055]** Es sei wieder auf [Fig. 5c](#) verwiesen (entlang der Linie A-A' in [Fig. 5b](#)); die Kanäle in dem Steg **130** in dem u-Gate-FinFET **500** bestehen entlang den beiden Seitenwänden und der Unterseite des Stegs **130** benachbart zu dem Gateoxid **510**. Die drei Kanäle entlang den Seitenwänden und der Unterseite des Stegs **130** führen zu dem Name „u-Gate“ des u-Gate-FinFET's **500**, da das Gate material **520** benachbart zu den beiden Seitenwänden und der Unterseite des Stegs **130** drei Gates (d. h. in einer u-Form) bildet, die die drei Kanäle entlang den Seitenwänden und der Unterseite des Stegs **130** steuern.

**[0056]** Die beiden Seitenwände des Stegs **130** in den u-Gate-FinFET **500** besitzen eine gemeinsame Kristallorientierung (beispielsweise eine Orientierung  $\langle 110 \rangle$ ), und die untere Seite des Stegs **130** kann eine unterschiedliche Kristallorientierung aufweisen (beispielsweise die Orientierung  $\langle 100 \rangle$ ). Auf Grund dieser unterschiedlichen Kristallorientierungen der Kanäle in dem Steg **130** können Änderungen in dem Aspektverhältnis H/W des Stegs **130** in dem u-Gate-FinFET **500** die Gesamtbeweglichkeit der Ladungsträger in dem Steg **130** ähnlich zu dem  $\pi$ -Gate-FinFET **400** beeinflussen. In der Praxis kann die Gesamtbeweglichkeit des Stegs **130** in dem u-Gate-FinFET **500** basierend auf seinem Aspektverhältnis H/W stark korreliert sein (obwohl nicht notwendigerweise identisch) zu jener des Stegs **130** in dem  $\pi$ -Gate-FinFET **400**, wie er zuvor beschrieben ist. Diese Ähnlichkeit kann auf Grund der strukturellen Ähnlichkeiten zwischen einem  $\pi$ -förmigen Gate und einen u-förmigen Gate auftreten, die sich darin unterscheiden, dass der dritte Kanal auf der Oberseite oder der Unterseite des Stegs **130** angeordnet ist.

**[0057]** Ähnlich zu dem  $\pi$ -Gate-FinFET **400** kann die Gesamtladungsträgerbeweglichkeit des Stegs **130** in den u-Gate-FinFET **500** durch Variieren des Stegaspektverhältnisses H/W eingestellt werden. Die Gesamtladungsträgerbeweglichkeit des Stegs **130** kann mit einer Zunahme des Stegaspektverhältnisses H/W zunehmen oder abnehmen, abhängig davon, ob die Unterseite oder die Seitenflächen des Stegs **130** die höhere Ladungsträgerbeweglichkeit auf Grund der entsprechenden Kristallorientierung aufweist. Der Fachmann kann ohne aufwendiges Experimentieren auf der Grundlage der Offenbarung hierin geeignete

Einstellungen für das Stegaspektverhältnis H/W des Stegs **120** bestimmen, um eine gewünschte Gesamtladungsträgerbeweglichkeit des Stegs **120** in einem u-Gate-FinFET **500** zu erreichen.

#### Rundgate-FinFET

[0058] [Fig. 6a](#) zeigt eine Querschnittsansicht, die die Herstellung eines Rundgate-FinFET **600** aus der Struktur **210** der [Fig. 2a](#) und [Fig. 2b](#) gemäß Ausführungsformen der vorliegenden Erfindung zeigen. Es kann eine konventionelle Ätzchemie verwendet werden, um Bereiche der vergrabenen Oxidschicht **120** zu entfernen, wie dies zuvor mit Bezug zu [Fig. 5a](#) beschrieben ist. Ein zweiter Ätzprozess kann dann ausgeführt werden, um lateral durch den Bereich der vergrabenen Oxidschicht **120** unter dem Steg **130** zu ätzen. In einer beispielhaften Ausführungsform wird ein isotroper Ätzprozess unter Anwendung von beispielsweise HBr bei hohem Druck ausgeführt, um seitlich durch die vergrabene Oxidschicht **120**, die unter dem Steg **130** angeordnet ist, zu ätzen, wie dies in [Fig. 5b](#) gezeigt ist. Der Steg **130** ist somit effektiv über der vergrabenen Oxidschicht **120** aufgehängt, wie dies zuvor mit Bezug zu [Fig. 5b](#) beschrieben ist. Anders als in [Fig. 5b](#) wird, wenn der Rundgate-FinFET **600** hergestellt wird, die dielektrische Abdeckung **140** über dem Steg **130** entfernt (beispielsweise durch selektives Ätzen), wodurch der blanke Steg **130** zurückbleibt, der über der vergrabenen Oxidschicht **120** aufgehängt ist. Es wird dann eine Gate-Dielektrikumsschicht auf dem Steg **130** gebildet. Beispielsweise kann eine dünne Oxidschicht **610** thermisch auf allen freiliegenden Oberflächen des Stegs **130** thermisch aufgewachsen werden, um als eine Gatedielektrikumsschicht zu dienen, wie dies in [Fig. 6a](#) gezeigt ist. Die Oxidschicht **610** kann bis zu einer Dicke von ungefähr 10 Angstrom bis ungefähr 30 Angstrom aufgewachsen werden. Die dielektrische Abdeckung **140** schützt jedoch die Oberseite des Stegs **130**.

[0059] Es wird dann eine Gatematerialschicht **620** um die Stegstruktur **210** herum abgeschieden, wie in [Fig. 6a](#) gezeigt ist. Die Gatematerialschicht **620** kann das Gate material für die nachfolgend gebildete Gateelektrode aufweisen und kann Polysilizium enthalten, das unter Anwendung konventioneller chemischer Dampfabscheidungsverfahren (CVD) bis zu einer Dicke im Bereich von ungefähr 500 Angstrom bis ungefähr 1000 Angstrom abgeschieden wird. Alternativ können andere halbleitende Materialien, etwa Germanium oder Kombinationen aus Silizium und Germanium, oder diverse Metalle als das Gate material verwendet werden.

[0060] Die Gatematerialschicht **620** wird dann strukturiert und geätzt, um eine Gatestruktur **630** des Rund-Gate-FinFET **600** zu bilden. Beispielsweise zeigt [Fig. 6b](#) eine Draufsicht des Rundgate-FinFET's

**600** gemäß der vorliegenden Erfindung, nachdem die Gatestruktur **630** hergestellt ist. Wie gezeigt ist, enthält der Rundgate-FinFET **600** eine Gatestruktur **630** mit der Gatematerialschicht **620** ([Fig. 6a](#)), die alle vier Seiten des Stegs **130** umschließt.

[0061] Es sei wieder auf [Fig. 6a](#) verwiesen (entlang der Linie A-A' in [Fig. 6b](#)); die Kanäle in dem Steg **130** in den Rundgate-FinFET **600** können sich entlang der beiden Seitenwände, der Oberseite und der Unterseite des Stegs **130** benachbart zu dem Gateoxid **610** erstrecken. Die vier Kanäle entlang der Seitenwände, der Oberseite und der Unterseite des Stegs **130** führen zu dem Namen „Rundgate“ des Rundgate-FinFET **600**, da das Gate material **620** vier Gates „um“ den Steg **130** „herum“ bildet, die die vier Kanäle entlang der Seite, der Oberseite und der Unterseite des Stegs **130** steuern.

[0062] Die beiden Seitenwände des Stegs **120** in dem Rundgate-FinFET **600** besitzen eine gemeinsame Kristallorientierung (beispielsweise die Orientierung  $\langle 110 \rangle$ ), und die Oberseite und Unterseite des Stegs **130** besitzen eine gemeinsame, aber dazu unterschiedliche Kristallorientierung (beispielsweise die Orientierung  $\langle 100 \rangle$ ). Auf Grund dieser unterschiedlichen Kristallorientierungen der Kanäle in dem Steg **130** können Änderungen in dem Aspektverhältnis H/W des Stegs **130** in dem Rundgate-FinFET **690** die Gesamtbeweglichkeit der Ladungsträger in dem Steg **130** wie bei dem  $\pi$ -Gate-FinFET **400** und dem u-Gate-FinFET **500** beeinflussen. In der Praxis kann sich die Gesamtbeweglichkeit in dem Steg **130** in dem Rundgate-FinFET **600** auf der Grundlage seines Aspektverhältnisses H/W etwas unterschiedlich zu dem  $\pi$ -Gate-FinFET **400** und dem u-Gate-FinFET **500** verhalten, da zumindest der Steg **130** in dem Rundgate-FinFET **600** einen zusätzlichen horizontalen Kanal im Vergleich zu dem  $\pi$ -Gate-FinFET **400** und dem u-Gate-FinFET **500** aufweist. Insbesondere kann dieser zusätzliche horizontale Kanal auf der Oberseite oder der Unterseite des Stegs **130** die Gesamtbeweglichkeit für den Rundgate-FinFET **600** anders „mitteln“ im Vergleich zu den Gesamtbeweglichkeitswerten für den  $\pi$ -Wert-FinFET **400** oder den u-Gate-FinFET **500**.

[0063] Ähnlich zu dem  $\pi$ -Gate-FinFET **400** kann die Gesamtladungsträgerbeweglichkeit des Stegs **130** in dem Rundgate-FinFET **600** durch Variieren des Stegaspektverhältnisses H/W eingestellt werden. Die Gesamtladungsträgerbeweglichkeit des Stegs **130** kann mit einer Zunahme des Stegaspektverhältnisses H/W zunehmen oder abnehmen, abhängig davon, ob die obere/untere Fläche oder die Seitenflächen des Stegs **130** die höhere Ladungsträgerbeweglichkeit auf Grund ihrer Kristallorientierung aufweisen. Der Fachmann ist in der Lage, ohne aufwendiges Experimentieren auf der Grundlage der hierin offenbarten Lehre geeignete Einstellung für das Ste-

gaspektverhältnis  $H/W$  des Stegs **130** zu bestimmen, um eine gewünschte Gesamtladungsträgerbeweglichkeit des Stegs **130** in dem Rundgate-FinFET **600** zu erhalten.

#### BEISPIELHAFTE AUSFÜHRUNGSFORMEN MIT UNTERSCHIEDLICHEN LADUNGSTRÄGERBEWEGLICHKEITEN

**[0064]** [Fig. 7](#) zeigt schematisch eine Draufsicht einer Scheibe mit FinFET-Bauelementen **710**, **720** und **730** gemäß einer beispielhaften Ausführungsform der vorliegenden Erfindung. Die vergrabene Oxidschicht **120** repräsentiert die Scheibe (oder Chip), auf dem die drei dargestellten Bauelemente **710**, **720** und **730** gebildet sind. Zumindest zwei der Bauelemente **710**, **720** und **730** besitzen unterschiedliche Gesamtladungsträgerbeweglichkeiten. Die Bauelemente **710**, **720** und **730** können alle von der gleichen Bauteilsorte, d. h. ein  $\pi$ -Gate-FinFET **400**, ein u-Gate-FinFET **500** oder ein Rundgate-FinFET **600** sein. Alternativ können die Bauelemente **710**, **720** und **730** zwei oder mehr unterschiedliche Bauteilarten des Doppelgate-FinFET's **300**, des  $\pi$ -Gate-FinFET's **400** und des u-Gate-FinFET's **500** und des Rundgate-FinFET's **600** enthalten. Beispielsweise können ein Doppelgate-FinFET **300** und ein  $\pi$ -Gate-FinFET **400** oder ein u-Gate-FinFET **500** oder ein Rundgate-FinFET **600** das gleiche Stegaspektverhältnis  $H/W$  aufweisen, können dennoch unterschiedliche Gesamtladungsträgerbeweglichkeiten auf Grund des bzw. der zusätzlichen horizontal orientierten Kanäle bzw. Kanals in dem FinFET **400/500/600** besitzen.

**[0065]** Ferner kann die Gruppe der Bauelemente **710**, **720** und **730** jeweils ausschließlich N-MOS (NMOS) Bauelemente, P-MOS (PMOS) oder beliebige Kombinationen aus NMOS oder PMOS-Bauelementen (beispielsweise komplementäre MOS-(CMOS) Bauelemente) enthalten. Obwohl die Bauelemente **710**, **720** und **730** mit anderen Bauelementen verbunden sein können, sind in [Fig. 7](#) diese Verbindungen der Einfachheit halber nicht gezeigt.

**[0066]** Der Fachmann erkennt, dass auf Grund der Offenbarung hierin unterschiedliche Bauelemente (beispielsweise Bauelemente **710** und **720**) mit unterschiedlichen Gesamtladungsträgerbeweglichkeiten durch eine Vielzahl an Entwurfsstrategien hergestellt werden können (mittels unterschiedlicher Stegaspektverhältnisse  $H/W$ ). Beispielsweise kann die Gesamtladungsträgerbeweglichkeit auf der Grundlage der Bauteilart **710/720** variiert werden. In einer Ausführungsform gemäß der vorliegenden Erfindung können NMOS-Bauelemente mit einer Gesamtladungsträgerbeweglichkeit mittels eines ausgewählten Stegaspektverhältnisses hergestellt werden, die größer ist (im Absolutwert) als die Gesamtladungsträgerbeweglichkeit auf Grund eines anders gewählten

Stegaspektverhältnisses von PMOS-Bauelementen auf dem gleichen Substrat/Chip. Alternativ können PMOS-Bauelemente mit einer Gesamtladungsträgerbeweglichkeit gebildet werden, die größer ist als die Gesamtladungsträgerbeweglichkeit von NMOS-Bauelementen auf dem gleichen Substrat/Chip. Alternativ können die Stegaspektverhältnisse für ein NMOS-Bauelement (beispielsweise Bauelement **710**) und ein PMOS-Bauelement (beispielsweise Bauelement **720**) so gewählt werden, dass die Gesamtladungsträgerbeweglichkeit der Bauelemente ungefähr gleich sind.

**[0067]** Es kann auch vorteilhaft sein, die Stegaspektverhältnisse  $H/W$  in einem gegebenen Schaltungselement (beispielsweise einem Inverter, einem NAND-Gatter, ein Speicherelement, einem NOR-Gatter, etc.) zu variieren. Innerhalb eines einzelnen Schaltungselementes kann beispielsweise ein FinFET-Bauelement **710** ein erstes Stegaspektverhältnis  $H/W_1$  aufweisen. Ein weiteres FinFET-Bauelement **720** in dem Schaltungselement kann ein zweites Stegaspektverhältnis  $H/W_2$  aufweisen, um beispielsweise eine Symmetrie im Treibstrom zwischen den Bauelementen **710**, **720** zu erreichen. In einigen Ausführungsformen gemäß den Prinzipien der Erfindung können die Bauelemente **710** und **720** mit unterschiedlichen Stegaspektverhältnissen in dem Schaltungselement elektrisch verbunden sein (beispielsweise durch Verbinden eines Source/Drain-Gebiets in dem Bauelement **710** mit einem Drain/Source-Gebiet in dem Bauelement **720** in [Fig. 7](#)).

**[0068]** Alternativ oder zusätzlich können Stegaspektverhältnisse  $H/W$  zwischen den Schaltungselementen variiert werden. Beispielsweise kann ein Schaltungselement einen oder mehrere FinFET-Bauelemente enthalten, und ein FinFET-Bauelement **710** kann ein erstes Stegaspektverhältnis  $H/W_1$  aufweisen, das mit einer ersten Gesamtladungsträgerbeweglichkeit verknüpft ist. Ein separates Schaltungselement kann ein oder mehrere FinFET-Bauelemente **720** mit einem zweiten Stegaspektverhältnis  $H/W_2$  aufweisen, das mit einer zweiten Gesamtladungsträgerbeweglichkeit verknüpft ist.

**[0069]** Ferner kann mehr als einem Entwurfserfordernis Rechnung getragen werden, indem das bzw. die Stegaspektverhältniss(e) der Bauelemente **710** bis **730** entsprechend den hierin offenbarten Prinzipien der Erfindung variiert werden. Beispielsweise können die Bauelemente **710** und **720** eine NMOS-Komponente bzw. eine PMOS-Komponente eines CMOS-Bauelements sein. Ferner kann eine vorgegebene Entwurfsregel vorhanden sein, etwa (lediglich beispielhaft), dass die PMOS-Kanalbreite ein 2:1-Verhältnis zu der NMOS-Kanalbreite aufweist, so dass die Treiberströme typischer planarer MOSFET-Bauelemente, die in dieser Weise angeord-

net sind, eine gewisse vorgegebene Beziehung aufweisen. Das Einstellen der Stegaspektverhältnisse der Bauelemente **710** und **720** ermöglicht ein unterschiedliches Kanalbreitenverhältnis (beispielsweise 3:2), wobei die vorgegebene Beziehung zwischen den Treiberströmen der Bauelemente **710** und **720** beibehalten wird. D. h., die entsprechenden Breiten  $W_1$  und  $W_2$  der Bauelemente **710** und **720** werden so eingestellt, dass sie ein Verhältnis von 3:2 aufweisen, und die entsprechenden Höhen  $H_1$  und  $H_2$  der Bauelemente **710** und **720** können so eingestellt werden, dass die entsprechenden Stegaspektverhältnisse  $H_1/W_1$  und  $H_2/W_2$  das vorgegebene Treiberstromverhältnis erzeugen.

[0070] Alternativ ermöglicht das Einstellen der Stegaspektverhältnisse der Bauelemente **710** und **720** das gleiche Kanalbreitenverhältnis (beispielsweise 2:1), während ein neues Verhältnis zwischen den Treiberströmen der Bauelemente **710** und **720** erzeugt wird. D. h., die entsprechenden Breiten  $W_1$  und  $W_2$  der Bauelemente **710** und **720** können in einem Verhältnis von 2:1 festgelegt werden, und die entsprechenden Höhen  $H_1$  und  $H_2$  der Bauelemente **710** und **720** können so eingestellt werden, dass die entsprechenden Stegaspektverhältnisse  $H_1/W_1$  und  $H_2/W_2$  ein neues Verhältnis der Treiberströme hervorrufen (beispielsweise gleiche Treiberströme für die Bauelemente **710/720**).

[0071] Der Fachmann erkennt, dass die Stegbreiten der unterschiedlichen Bauelemente **710**, **720** (beispielsweise die Breiten  $W_1$  und  $W_2$ ) ausgewählt werden können durch die Maske(n), die beispielsweise zur Strukturierung der Photolackmaske **150** in [Fig. 1](#) verwendet wird bzw. werden, die zur Herstellung des Stegs **130** in [Fig. 2b](#) verwendet wird. In ähnlicher Weise können die Steghöhen der unterschiedlichen Bauelemente **710/720** (beispielsweise die Höhen  $H_1$  und  $H_2$ ) hergestellt werden, indem gewisse Stege **120** selektiv maskiert werden und andere freiliegende Stege **130** geätzt werden, um ihre Höhen zu reduzieren.

[0072] Somit können gemäß der vorliegenden Erfindung unterschiedliche FinFET-Bauelemente **710/720/730** mit unterschiedlichen Stegaspektverhältnissen hergestellt werden. Diese unterschiedlichen Bauelemente **710/720/730** können auf der gleichen Scheibe oder dem gleichen Chip hergestellt werden und können die gleiche Gesamtladungsträgerbeweglichkeit oder unterschiedliche Gesamtladungsträgerbeweglichkeiten aufweisen. Vorteilhafterweise zeigt die resultierende Struktur ein gutes Kurzkanalverhalten. Ferner liefert die vorliegende Erfindung eine erhöhte Flexibilität und kann effizient in den konventionellen Prozessablauf integriert werden.

## ANDERE AUSFÜHRUNGEN

[0073] In einigen Anwendungen kann es wünschenswert sein, einen Rundgate-FinFET in anderer Weise herzustellen, als dies zuvor beschrieben ist. [Fig. 8a](#) bis [Fig. 8c](#) sind Querschnittsansichten, die die Herstellung eines Rundgate-FinFET **800** gemäß einer weiteren Ausführungsform der vorliegenden Erfindung zeigen. [Fig. 8a](#) ist eine Querschnittsansicht, die eine Prozessphase nach der Stegherstellung (ähnlich zu [Fig. 2b](#)) zeigt. Ein Siliziumsteg **840** ist auf einer ersten dielektrischen Schicht **830**, einer zweiten dielektrischen Schicht **820** und einem Substrat **810** hergestellt. Obwohl in [Fig. 8a](#) dies nicht gezeigt ist, kann der Steg **840** mit einem Ende jeweils mit den Source- und Drain-Gebieten verbunden sein (ähnlich zu [Fig. 2a](#)).

[0074] Es kann dann ein selektives Ätzen ausgeführt werden, um den Bereich der ersten dielektrischen Schicht **830** unter dem Steg **840** zu entfernen, wie dies in [Fig. 8b](#) gezeigt ist. Der Steg **840** ist effektiv über der zweiten dielektrischen Schicht **820** aufgehängt. Die Endbereiche des Stegs **840** sind jedoch an der verbleibenden ersten dielektrischen Schicht **830** befestigt, und der hängende Bereich des Stegs **840**, der in [Fig. 8b](#) gezeigt ist, wird von der ersten dielektrischen Schicht **830** an den Enden des Stegs **840** benachbart zu den Source/Drain-Gebieten (nicht gezeigt) gehalten.

[0075] Es wird dann eine Gatedielektrikumsschicht auf dem Steg **840** gebildet. Beispielsweise kann eine dünne Oxidschicht **850** thermisch auf allen freiliegenden Oberflächen des Stegs **840** aufgewachsen werden, um als eine Gatedielektrikumsschicht zu dienen, wie dies in [Fig. 8c](#) gezeigt ist. Die Oxidschicht **850** kann bis zu einer Dicke von ungefähr 10 Angstrom bis ungefähr 30 Angstrom aufgewachsen werden.

[0076] Es wird dann eine Gatematerialschicht **860** um die Stegstruktur **840** herum abgeschieden, wie dies auch in [Fig. 6a](#) gezeigt ist. Die Gatematerialschicht **860** weist das Gatematerial für die nachfolgend hergestellte Gateelektrode auf und kann Polysilizium enthalten, das unter Anwendung konventioneller chemischer Dampfabscheidungsverfahren (CVD) mit einer Dicke im Bereich von ungefähr 500 Angstrom bis ungefähr 1000 Angstrom abgeschieden wird. Alternativ können andere halbleitende Materialien, etwa Germanium oder Kombinationen aus Silizium und Germanium, oder diverse Metalle als das Gatematerial verwendet werden. Die Gatematerialschicht **860** wird nachfolgend in ein Gate und eine Gateelektrode für den Rundgate-FinFET **800** strukturiert, wie dies zuvor beschrieben ist. In dieser Weise kann ein Rundgate-FinFET **800** durch Entfernen einer dielektrischen Schicht **830** (oder einer anderen Opferschicht) unter dem Steg **840** hergestellt werden.

**[0077]** In der vorhergehenden Beschreibung sind zahlreiche Details, etwa spezielle Materialien, Strukturen, Chemikalien, Prozesse, etc. aufgeführt, um ein gründliches Verständnis der vorliegenden Erfindung zu ermöglichen. Jedoch kann die vorliegende Erfindung auch ohne Bezugnahme auf die speziellen dargelegten Details praktiziert werden. In anderen Fällen wurden gut bekannte Strukturen nicht detailliert beschrieben, um das Wesen der vorliegenden Erfindung nicht unnötig zu verdunkeln.

**[0078]** Die dielektrischen und leitenden Schichten, wie sie zur Herstellung eines Halbleiterbauelements gemäß der vorliegenden Erfindung verwendet sind, können durch konventionelle Abscheideverfahren abgeschieden werden. Beispielsweise können Metalisierungsverfahren, etwa diverse Arten von CVD-Prozessen mit CVD bei geringem Druck (LP-CVD) und verstärkter CVD (ECVD) eingesetzt werden.

**[0079]** Die vorliegende Erfindung ist auf die Herstellung einer beliebigen Art von Halbleiterbauelementen anwendbar, und somit sind Details hierin nicht dargestellt, um das Wesen der vorliegenden Erfindung nicht zu verdunkeln. Bei der Realisierung der vorliegenden Erfindung werden konventionelle Photolithographie- und Ätzverfahren eingesetzt und somit sind die Details derartiger Verfahren nicht detailliert hierin beschrieben.

**[0080]** Obwohl ferner die Seitenflächen der Fin-FET-Bauelemente **400/500/600** so beschrieben sind, dass sie eine  $\langle 110 \rangle$  Kristallorientierung aufweisen und die oberen und unteren Flächen mit einer  $\langle 100 \rangle$  Kristallorientierung gezeigt sind, kann die Herstellung dieser Bauelemente in anderen Ausführungsformen zu Seitenflächen mit einer  $\langle 100 \rangle$  Kristallorientierung und einer Unterseite oder Oberseite mit einer anderen Kristallorientierung, etwa  $\langle 110 \rangle$  oder  $\langle 111 \rangle$  führen.

**[0081]** In der vorliegenden Offenbarung sind lediglich die bevorzugten Ausführungsformen der Erfindung und einige Beispiele ihrer Bandbreite beschrieben. Selbstverständlich kann die Erfindung in diversen anderen Kombinationen und Umgebungen ausgeführt werden und kann innerhalb des Schutzbereichs des erfindungsgemäßen Konzepts, wie es hierin beschrieben ist, modifiziert werden.

**[0082]** Es sollte kein Element, kein Schritt oder keine Anweisung, die bei der Beschreibung der vorliegenden Erfindung verwendet wurde, als entscheidend oder essenziell für die Erfindung betrachtet werden, sofern dies nicht explizit beschrieben ist. Ferner soll der Artikel „ein, eine, einer“, wie er hierin verwendet ist, ein oder mehrere Elemente bezeichnen. Wenn lediglich ein Element beabsichtigt ist, so wird der Begriff „ein einzelnes“ oder eine ähnliche Aus-

drucksweise angewendet. Der Schutzbereich der Erfindung ist durch die Patentansprüche und ihre Äquivalente festgelegt.

### Zusammenfassung

**[0083]** Ein Halbleiterbauelement (**100**) umfasst ein Substrat (**110**) und eine isolierende Schicht (**120**), die auf dem Substrat (**110**) gebildet ist. Ein erstes Bauelement (**710**) ist auf der isolierenden Schicht (**120**) ausgebildet und umfasst einen ersten Steg (**130**). Der erste Steg ist auf der isolierenden Schicht (**120**) ausgebildet und besitzt ein erstes Stegaspektverhältnis. Ein zweites Bauelement (**720**) ist auf der isolierenden Schicht (**120**) gebildet und umfasst einen zweiten Steg (**130**). Der zweite Steg (**130**) ist auf der isolierenden Schicht (**120**) ausgebildet und besitzt ein zweites Stegaspektverhältnis, das sich von dem ersten Stegaspektverhältnis unterscheidet.

### Patentansprüche

1. Halbleiterbauelement (**100**) mit:  
 einem Substrat (**110**);  
 einer isolierenden Schicht (**120**), die auf dem Substrat (**110**) gebildet ist;  
 einem ersten Bauelement (**710**), das auf der isolierenden Schicht (**120**) gebildet ist, mit:  
 einem ersten Steg (**120**), der auf der isolierenden Schicht (**120**) ausgebildet ist und ein erstes Stegaspektverhältnis aufweist;  
 einem zweiten Bauelement (**720**), das auf der isolierenden Schicht (**120**) ausgebildet ist und umfasst:  
 einen zweiten Steg (**130**), der auf der isolierenden Schicht (**120**) ausgebildet ist und ein zweites Stegaspektverhältnis aufweist, das sich von dem ersten Stegaspektverhältnis unterscheidet.

2. Halbleiterbauelement (**100**) nach Anspruch 1, wobei das erste Bauelement (**710**) ein NMOS-Bauelement und das zweite Bauelement (**720**) ein PMOS-Bauelement ist.

3. Halbleiterbauelement (**100**) nach Anspruch 1, wobei das erste Bauelement (**710**) und das zweite Bauelement (**720**) in einem einzelnen Schaltungselement enthalten sind.

4. Halbleiterbauelement (**100**) nach Anspruch 1, wobei eine erste Ladungsträgerbeweglichkeit in dem ersten Steg (**130**) des ersten Bauelements (**710**) unterschiedlich ist zu einer zweiten Ladungsträgerbeweglichkeit in dem zweiten Steg (**130**) des zweiten Bauelements (**720**).

5. Halbleiterbauelement (**100**) nach Anspruch 1, wobei das erste Bauelement (**710**) ferner umfasst:  
 ein erstes Gatedielektrikum (**410, 510, 610**), das auf mindestens drei Oberflächen des ersten Stegs (**130**) ausgebildet ist, und

ein erstes Gatematerial (**420, 520, 620**), das über den mindestens drei Oberflächen des ersten Stegs (**120**) gebildet ist; und  
 wobei das zweite Bauelement (**720**) ferner umfasst:  
 ein zweites Gatedielektrikum (**410, 510, 610**), das auf mindestens drei Oberflächen des zweiten Stegs (**130**) gebildet ist;  
 ein zweites Gatematerial (**420, 520, 620**), das über den mindestens drei Oberflächen des zweiten Stegs (**130**) gebildet ist.

6. Halbleiterbauelement (**100**) nach Anspruch 5, wobei das erste Gatedielektrikum (**610**) und das erste Gatematerial (**620**) über vier Oberflächen des ersten Stegs (**130**) ausgebildet sind.

7. Halbleiterbauelement (**100**) nach Anspruch 6, wobei das zweite Gatedielektrikum (**610**) und das zweite Gatematerial (**620**) über vier Oberflächen des zweiten Stegs (**130**) ausgebildet sind.

8. Halbleiterbauelement (**100**) mit:  
 einer isolierenden Schicht (**120**);  
 einem ersten Bauelement (**710**), das auf der isolierenden Schicht (**120**) gebildet ist, das umfasst:  
 einen ersten Steg (**130**), der auf der isolierenden Schicht (**120**) gebildet ist und eine erste Höhe und eine erste Breite aufweist,  
 eine erste dielektrische Schicht (**410, 510, 610**), die auf mindestens drei Seiten des ersten Stegs (**130**) gebildet ist, und  
 ein erstes Gate (**430, 530, 630**) benachbart zu der ersten dielektrischen Schicht (**410, 510, 610**); und  
 ein zweites Bauelement (**720**), das auf der isolierenden Schicht (**120**) ausgebildet ist und eine zweite Höhe und eine zweite Breite aufweist,  
 eine zweite dielektrische Schicht (**410, 510, 610**), die auf mindestens drei Seiten des zweiten Stegs (**130**) gebildet ist, und  
 ein zweites Gate (**430, 530, 630**) benachbart zu der zweiten dielektrischen Schicht (**410, 510, 610**),  
 wobei ein erstes Verhältnis der ersten Höhe und der ersten Breite unterschiedlich ist zu einem zweiten Verhältnis der zweiten Höhe zu der zweiten Breite.

9. Halbleiterbauelement (**100**) nach Anspruch 8, das ferner umfasst:  
 ein drittes Bauelement (**730**), das auf der isolierenden Schicht (**120**) ausgebildet ist und umfasst:  
 einen dritten Steg (**130**), der auf der isolierenden Schicht (**120**) ausgebildet ist und eine dritte Höhe und eine dritte Breite aufweist,  
 eine dritte dielektrische Schicht (**410, 510, 610**), die auf mindestens drei Seiten des dritten Stegs (**130**) ausgebildet ist, und  
 ein drittes Gate (**430, 530, 630**) benachbart zu der dritten dielektrischen Schicht (**410, 510, 610**),  
 wobei ein drittes Verhältnis der dritten Höhe zu der dritten Breite unterschiedlich ist zu dem ersten Verhältnis und zu dem zweiten Verhältnis.

10. Halbleiterbauelement (**100**) mit:  
 einer isolierenden Schicht (**120**);  
 einem n-Bauelement (**710**), das auf der isolierenden Schicht (**120**) ausgebildet ist und das umfasst:  
 einen ersten Steg (**130**), der auf der isolierenden Schicht (**120**) ausgebildet ist und eine erste Höhe und eine erste Breite aufweist; und  
 einem p-Bauelement (**720**), das auf der isolierenden Schicht (**120**) gebildet ist und umfasst:  
 einen zweiten Steg (**130**), der auf der isolierenden Schicht (**120**) ausgebildet ist und eine zweite Höhe und eine zweite Breite aufweist,  
 wobei die zweite Breite ein vorbestimmtes Vielfaches der ersten Breite ist, und  
 wobei die erste Höhe und die zweite Höhe so eingestellt sind, dass eine Ladungsträgerbeweglichkeit des n-Bauelements (**710**) ungefähr gleich einer Ladungsträgerbeweglichkeit des p-Bauelements (**720**) ist.

Es folgen 10 Blatt Zeichnungen

Anhängende Zeichnungen

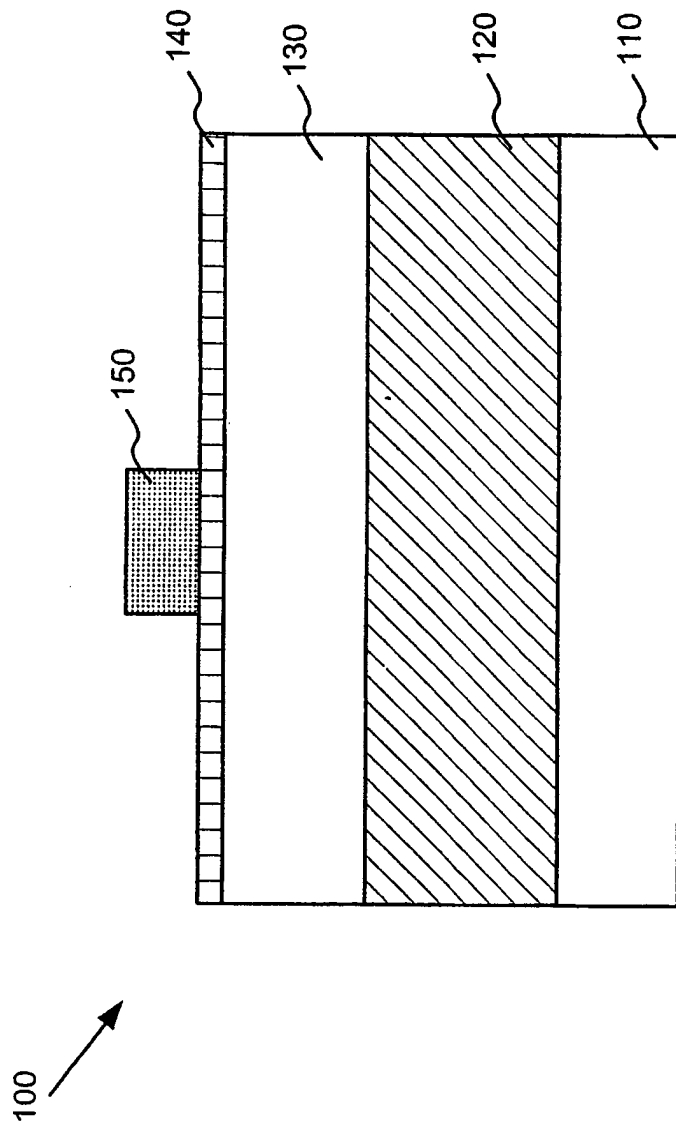


Fig. 1



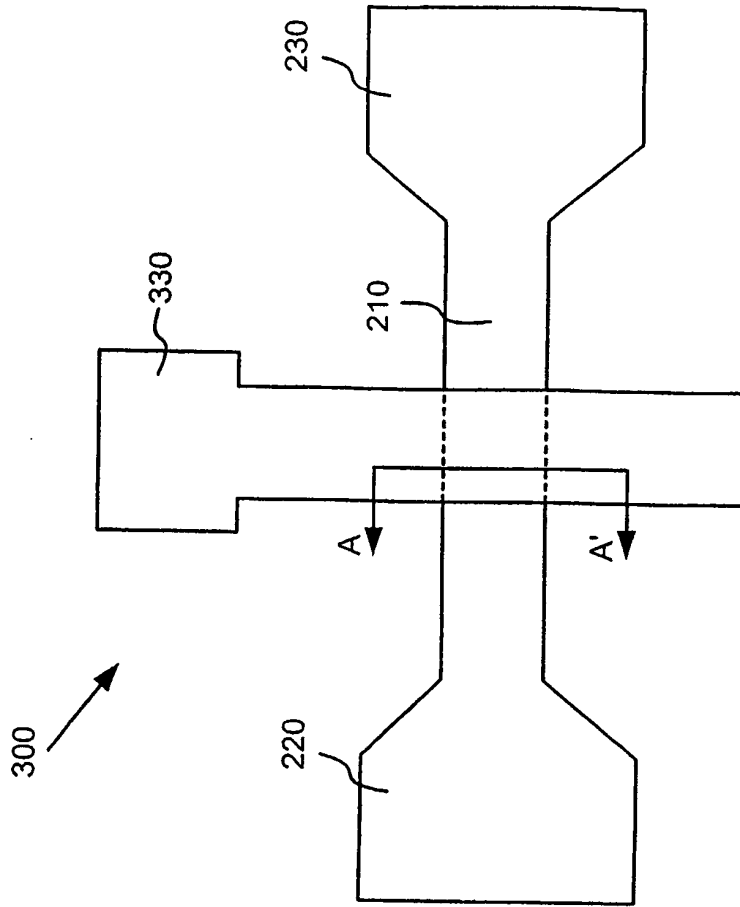


Fig. 3B

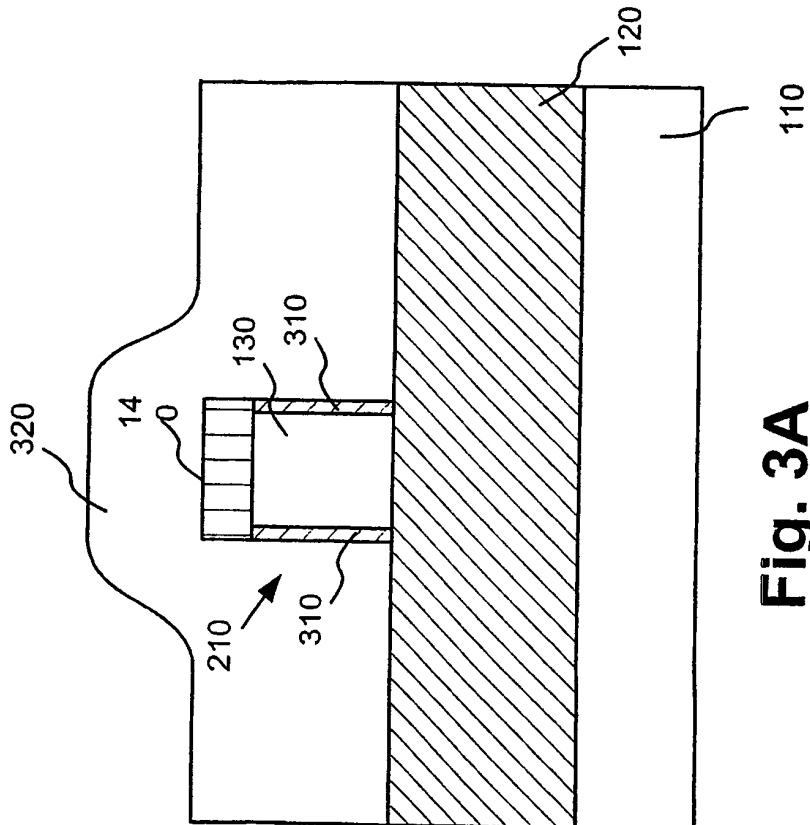


Fig. 3A

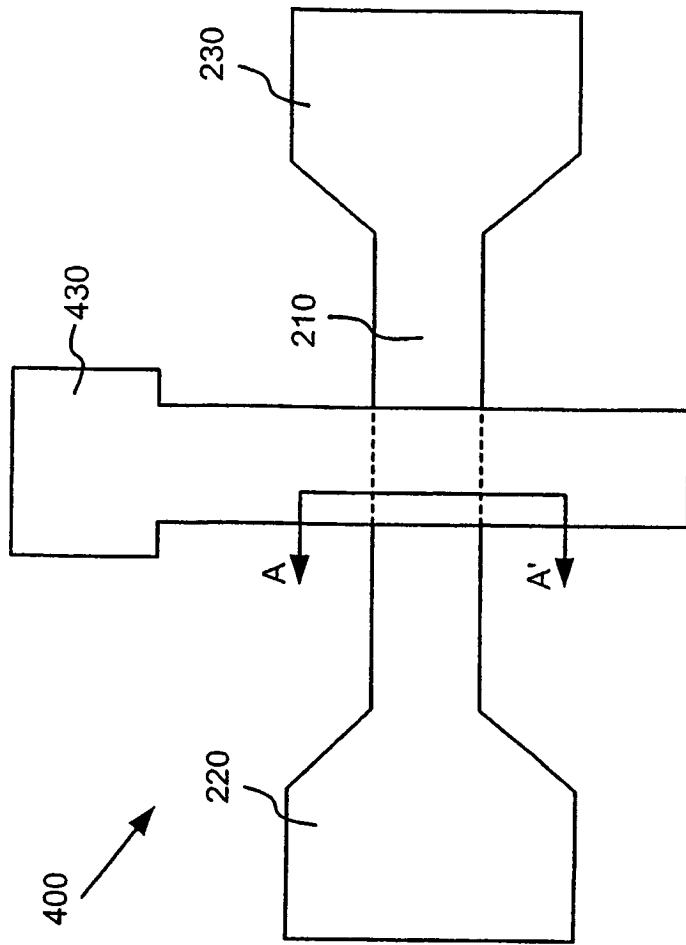


Fig. 4B

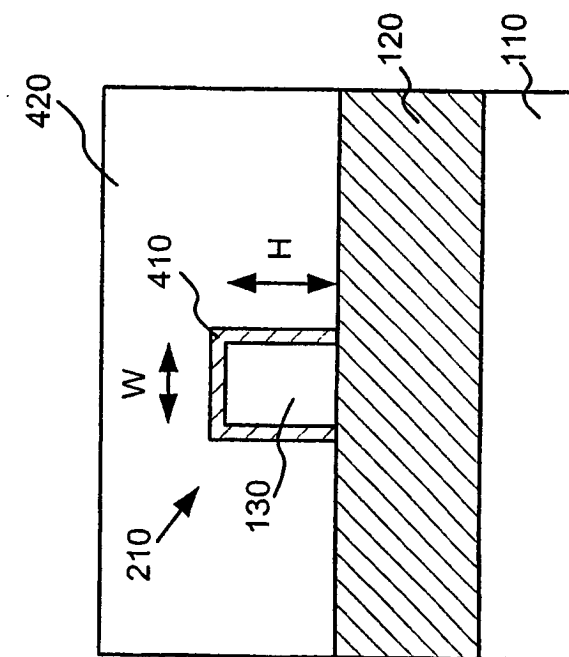


Fig. 4A

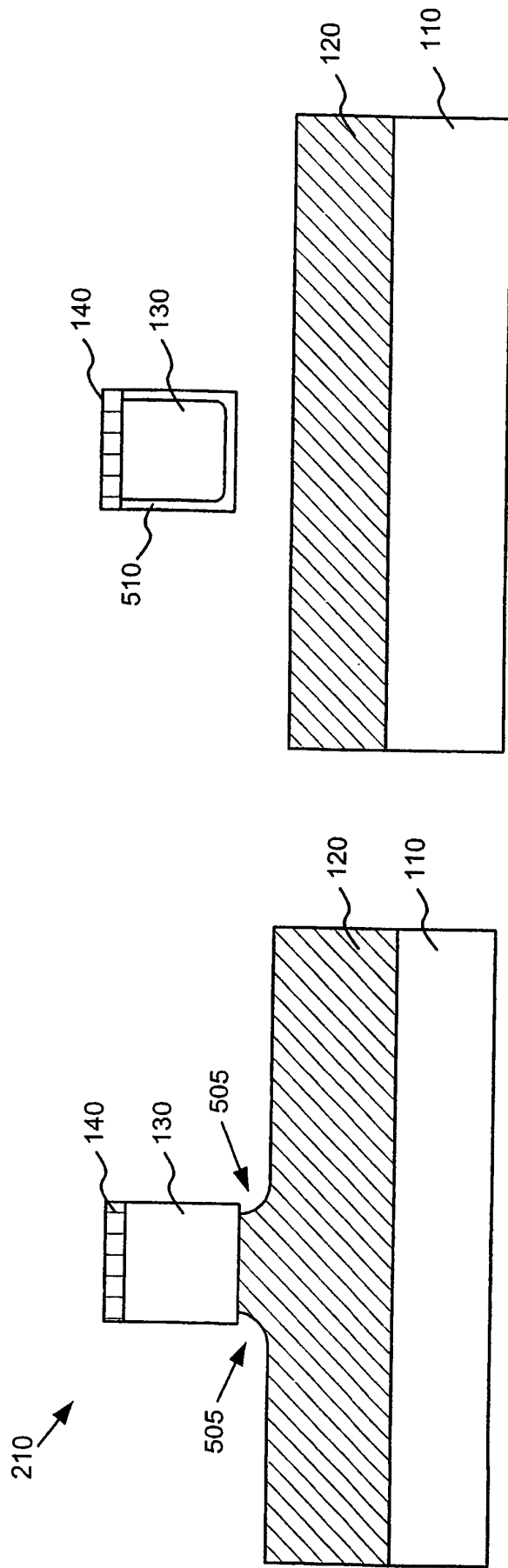


Fig. 5B

Fig. 5A

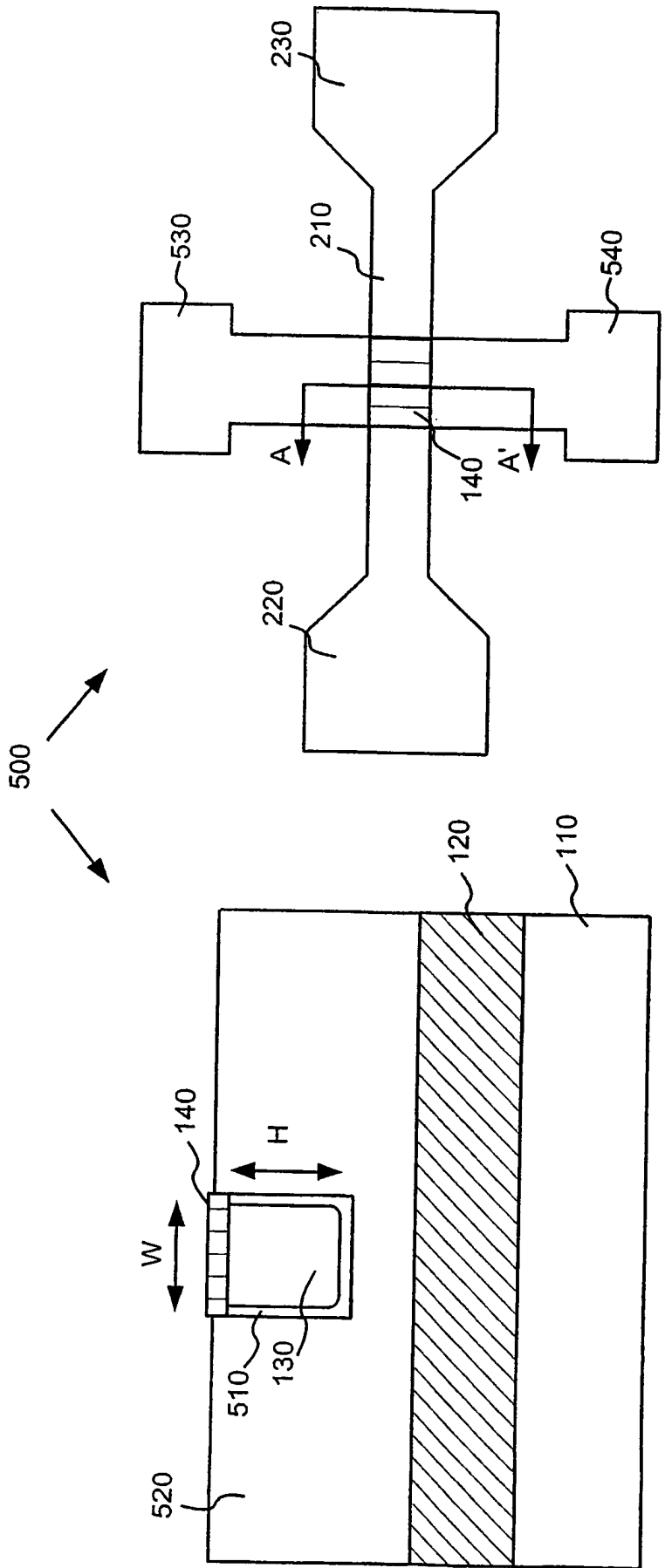


FIG. 5D

FIG. 5C

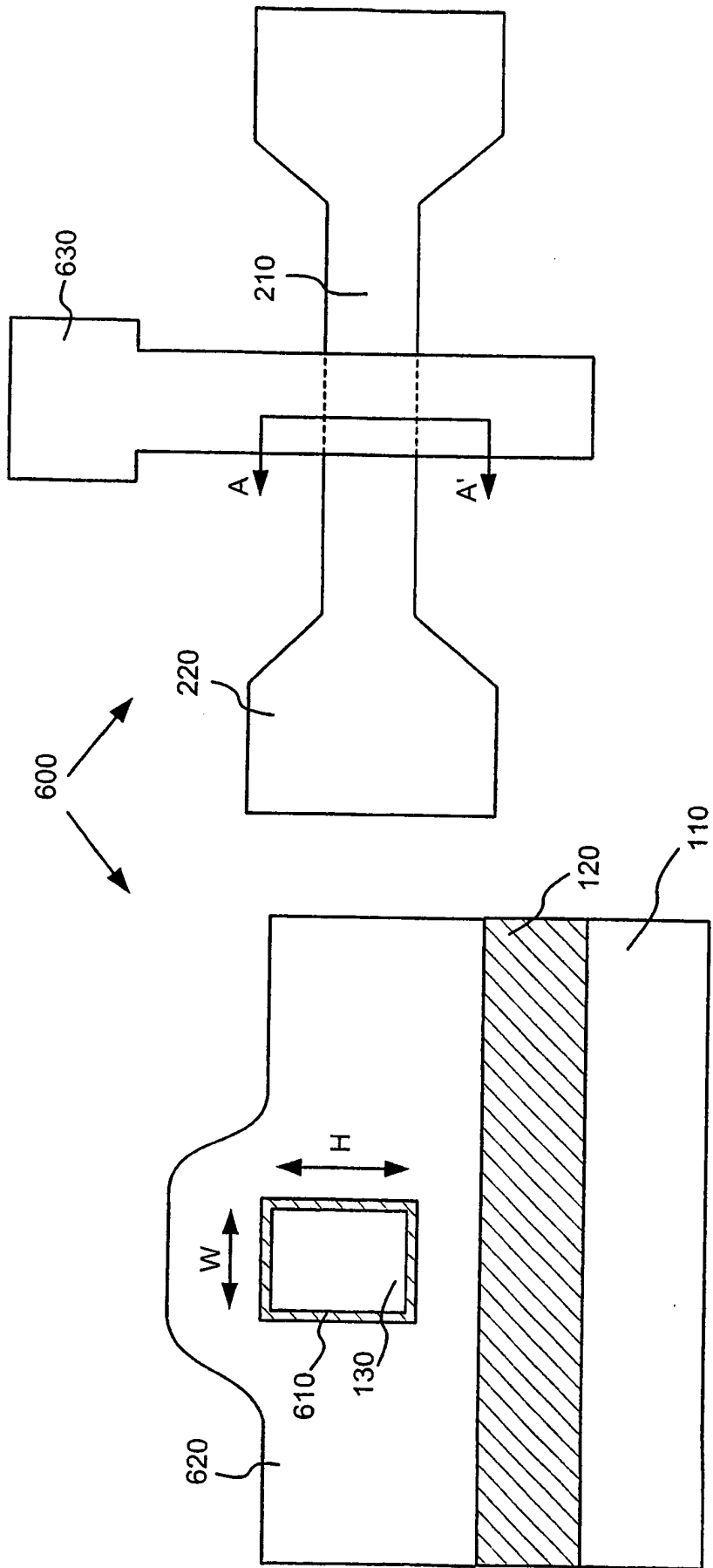


Fig. 6B

Fig. 6A

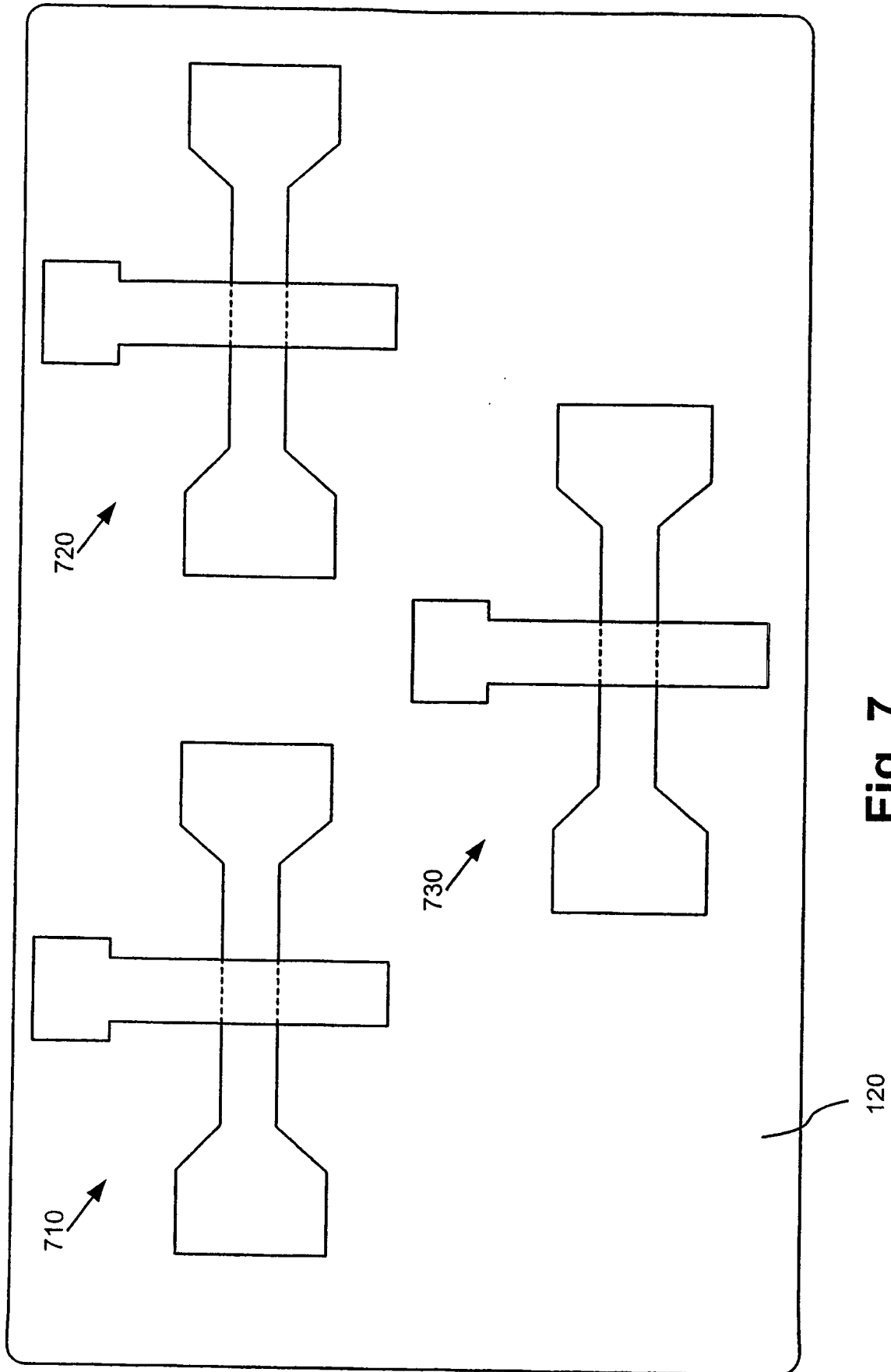
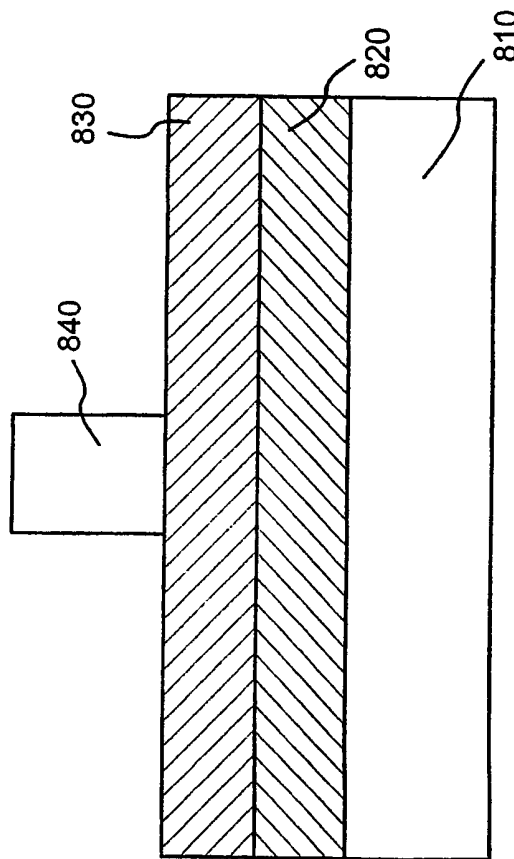
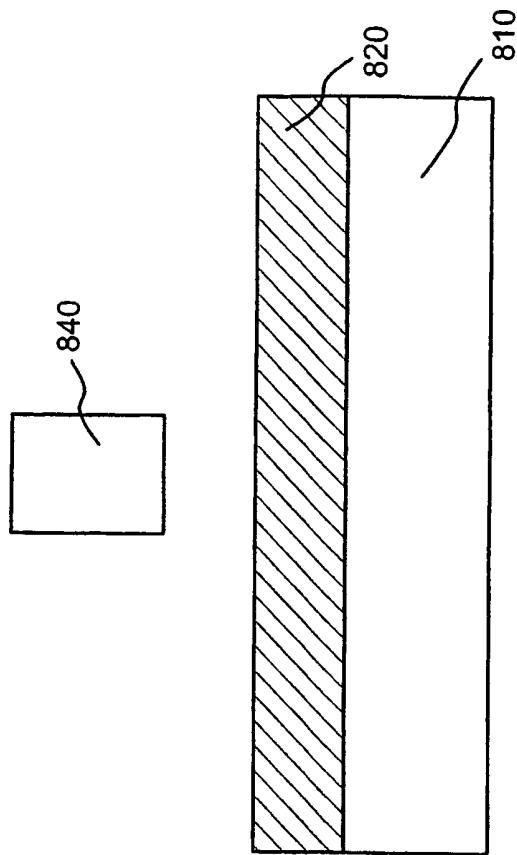


Fig. 7

800 ↗



**Fig. 8A**



**Fig. 8B**

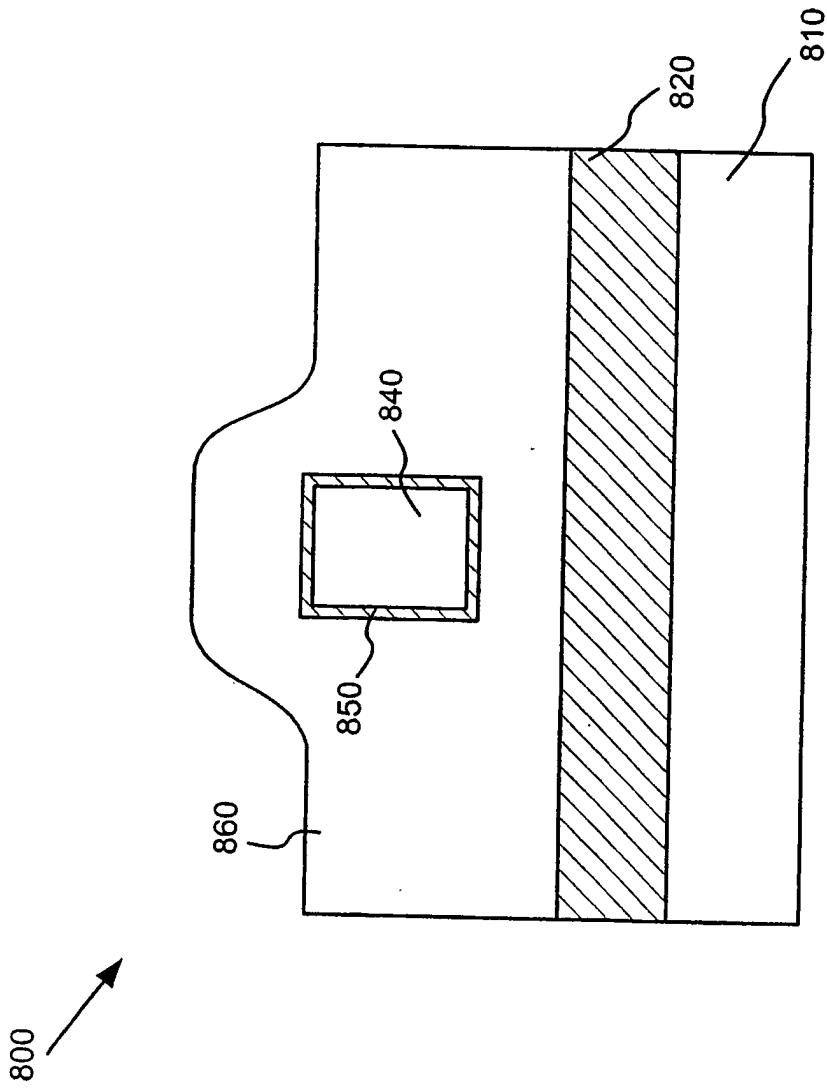


Fig. 8C