(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년02월12일
(11) 등록번호 10-2766446
(24) 등록일자 2025년02월06일

(51) 국제특허분류(Int. Cl.)
H03H 11/16 (2006.01) *H03H 7/18* (2006.01)
(52) CPC특허분류
H03H 11/16 (2013.01)
H03H 7/18 (2013.01)
(21) 출원번호 10-2023-0179069
(22) 출원일자 2023년12월11일
심사청구일자 2023년12월11일
(56) 선행기술조사문헌
US20220231391 A1
KR1020200114621 A
KR1020200079440 A
KR1020230061050 A

(73) 특허권자
충남대학교산학협력단
대전광역시 유성구 대학로 99 (궁동, 충남대학교)
(72) 발명자
김철영
대전광역시 서구 둔산로 155, 112동 1302호(둔산동, 크로바아파트)
송재혁
대전광역시 유성구 계룡로74번길 12, 508호 (봉명동, 더그린2차오피스텔)
(뒷면에 계속)
(74) 대리인
특허법인빛과소금

전체 청구항 수 : 총 7 항 심사관 : 정용택

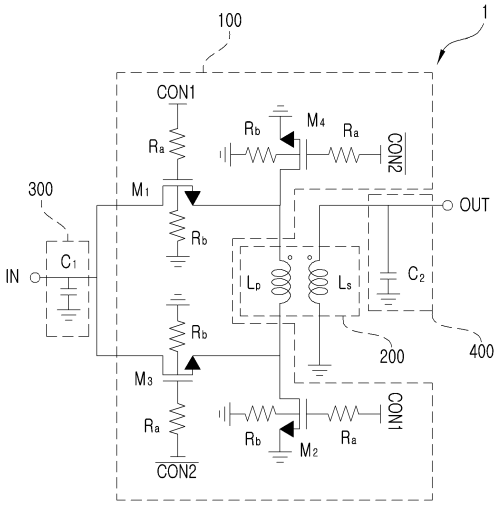
(54) 발명의 명칭 **위상 천이기**

(57) 요 약

본 발명은 삽입 손실을 최소화하여 광대역 대응이 가능하면서도 위상 천이의 오차를 최소화하고 소형화 요구에 부응할 수 있는 위상 천위기를 제공하기 위해 안출된 것이다.

본 발명에 따르면, 상호 커플링되는 제1인덕터 및 제2인덕터를 포함하되, 상기 제1인덕터에 인가되는 전압에 의하여 상기 제2인덕터에 유도되는 전압을 출력단 측에 제공하는 위상천이부; 입력단 측으로부터 제공받은 전압에 기초하여 상기 제1인덕터의 양단에 전압을 인가하되, 상기 제1인덕터에 인가되는 전압의 방향을 스위칭할 수 있는 스위칭부;를 포함하고, 상기 제2인덕터에 유도되는 전압은 상기 스위칭부의 스위칭에 의하여 180° 의 위상 차이를 가지고 스위칭되는 위상 천이기가 제안된다.

대 표 도 - 도4



(72) 발명자

임정택

대전광역시 대덕구 동서대로1754번길 39, A동 102호(비래동, 수정맨션)

김준형

세종특별자치시 다정북로 109, 316동 803호 (다정동, 가온마을3단지)

이 발명을 지원한 국가연구개발사업

과제고유번호	1345370812
과제번호	2021RIS-004
부처명	교육부
과제관리(전문)기관명	한국연구재단
연구사업명	지자체대학협력기반지역혁신사업
연구과제명	(대전세종충남지역혁신플랫폼)충남대학교
기 여 율	1/1
과제수행기관명	(대전세종충남지역혁신플랫폼)충남대학교
연구기간	2023.04.01 ~ 2024.02.29

명 세 서

청구범위

청구항 1

위상 천이기로서,

상호 커플링되는 제1인덕터 및 제2인덕터를 포함하되, 상기 제1인덕터에 인가되는 전압에 의하여 상기 제2인덕터에 유도되는 전압을 출력단 측에 제공하는 위상천이부;

입력단 측으로부터 제공받은 전압에 기초하여 상기 제1인덕터의 양단에 전압을 인가하되, 상기 제1인덕터에 인가되는 전압의 방향을 스위칭할 수 있는 스위칭부;를 포함하고,

상기 제2인덕터에 유도되는 전압은 상기 스위칭부의 스위칭에 의하여 180° 의 위상 차이를 가지고 스위칭되고,

상기 스위칭부는

드레인 단이 입력단 측에 연결되고, 소스 단이 상기 제1인덕터의 일단에 연결되는 제1트랜지스터;

드레인 단이 상기 제1인덕터의 타단에 연결되고, 소스 단은 접지되는 제2트랜지스터;

드레인 단이 입력단 측에 연결되고, 소스 단이 상기 제1인덕터의 타단에 연결되는 제3트랜지스터; 및

드레인 단이 상기 제1인덕터의 일단에 연결되고, 소스 단은 접지되는 제4트랜지스터;

를 포함하고,

상기 제1트랜지스터 및 상기 제2트랜지스터의 각 게이트에는 제1바이어스 전압이 인가되고,

상기 제3트랜지스터 및 상기 제4트랜지스터의 각 게이트에는 제2바이어스 전압이 인가되고,

제1바이어스 전압 및 제2바이어스 전압은 각각 선택적으로 인가됨으로써 상기 제1인덕터에 인가되는 전압의 방향을 스위칭하는

위상 천이기.

청구항 2

삭제

청구항 3

제1항에 있어서

상기 제1트랜지스터, 상기 제2트랜지스터, 상기 제3트랜지스터 및 상기 제4트랜지스터의 각 바디 단은 벌크 저항을 거쳐 접지되는

위상 천이기.

청구항 4

제1항에 있어서

입력단 및 상기 스위칭부 사이에서 입력단 측과의 임피던스 매칭을 수행하기 위한 제1매칭부; 및

출력단 및 상기 위상천이부 사이에서 출력단 측과의 임피던스 매칭을 수행하기 위한 제2매칭부;를 더 포함하는

위상 천이기.

청구항 5

제1항에 있어서

상기 스위칭부 및 상기 위상천이부 사이에서 임피던스 매칭을 수행하기 위한 제3매칭부;를 더 포함하는

위상 천이기.

청구항 6

제5항에 있어서

상기 제3매칭부는

일단이 상기 제1트랜지스터의 소스 단에 연결되고, 타단이 상기 제4트랜지스터의 드레인 단 및 상기 제1인덕터의 일단에 연결되는 제3인덕터; 및

일단이 상기 제3트랜지스터의 소스 단에 연결되고, 타단이 상기 제2트랜지스터의 드레인 단 및 상기 제1인덕터의 타단에 연결되는 제4인덕터;를 포함하는

위상 천이기.

청구항 7

제1항, 또는 제3항 내지 제6항 중 어느 한 항에 있어서

상기 제1인덕터 및 상기 제2인덕터는 가동접속되는

위상 천이기.

청구항 8

제1항, 또는 제3항 내지 제6항 중 어느 한 항에 있어서

상기 제1인덕터는 탑 메탈 레이어로 구현되는

위상 천이기.

발명의 설명

기 술 분 야

[0001] 본 발명은 선택적으로 180° 의 위상을 천이할 수 있는 위상 천이기에 관한 발명이다.

배 경 기 술

[0003] 위상 천이기(Phase Shifter)는 전기적 신호의 위상을 변화시키거나 조절하는 구성으로서, 빔 포밍(beam-forming) 또는 위상 배열(phased-array) 기술을 구현하는데 필수적으로 요구된다.

[0004] 그런데 이러한 위상 천이기는 대역폭 내에서 경유하는 신호를 낮은 오차로 위상 천이시켜 제공하는 것뿐 아니라 낮은 삽입 손실까지 요구된다. 또한 빔 포밍 및 위상 배열이 고주파 영역의 자원을 취급하기 때문에 필연적으로 광대역 특성의 확보까지 필요한 상황이다.

[0005] 한편, 위상 천이기는 적용되는 빔포밍 또는 위상 배열 기술에서 요구하는 바에 따라 0° ~ 180° 까지의 다양한 천이 단위를 마련해 둘 수 있다. 위상 천이의 여러 단위 중 180° 는 오차와 삽입 손실이 가장 크게 나타나는 단위이다.

[0006] 도 1 및 도 2는 기존의 180° 위상 천이기로서 필터형 구조를 채택한 위상 천이기의 회로도를 도시한 것이다.

[0007] 도 1에서 참조되는 바와 같이, 90° 회로 두 개를 직렬로 연결하여 구현된 180° 위상 천이기가 개시되어 있다. 이러한 구조는 비교적 간단하므로 구현하기 용이할 수 있으나, 180° 의 위상 변위를 위해서는 이러한 구조가 반복되어 사용되어야 하므로 단일 구조에 비해 삽입 손실이 크고, 따라서 충분한 대역폭을 확보하는 데에 무리가 있다.

[0008] 도 2에서 참조되는 바와 같이, 단일 회로로 구현된 180° 위상 천이기가 개시되어 있다. 이러한 단일 구조의 경우, 앞서 제안된 구조에 비하여는 대역폭이 넓다는 장점이 있다. 하지만 구조가 상대적으로 복잡하여 실제로 구현했을 시 소형화가 요구되는 빔 포밍 및 위상 배열 기술에 적용되기에 한계가 있다.

발명의 내용

해결하려는 과제

[0010] 본 발명은 상술한 기존의 각 위상 천이기가 가지는 각 문제점을 해결하기 위한 것으로, 구체적으로 삽입 손실을 최소화하여 광대역 대응이 가능하면서도 위상 천이의 오차를 최소화하고 소형화 요구에 부응할 수 있는 위상 천위기를 제공하기 위해 안출된 것이다.

과제의 해결 수단

[0012] 본 발명의 한 실시예에 따르면, 상술한 과제를 해결하기 위해 상호 커플링되는 제1인덕터 및 제2인덕터를 포함하되, 상기 제1인덕터에 인가되는 전압에 의하여 상기 제2인덕터에 유도되는 전압을 출력단 측에 제공하는 위상천이부; 입력단 측으로부터 제공받은 전압에 기초하여 상기 제1인덕터의 양단에 전압을 인가하되, 상기 제1인덕터에 인가되는 전압의 방향을 스위칭할 수 있는 스위칭부;를 포함하고, 상기 제2인덕터에 유도되는 전압은 상기 스위칭부의 스위칭에 의하여 180° 의 위상 차이를 가지고 스위칭되는 위상 천이기가 제공될 수 있다.

[0013] 상기 스위칭부는 드레인 단이 입력단 측에 연결되고, 소스 단이 상기 제1인덕터의 일단에 연결되는 제1트랜지스터; 드레인 단이 상기 제1인덕터의 타단에 연결되고, 소스 단은 접지되는 제2트랜지스터; 드레인 단이 입력단 측에 연결되고, 소스 단이 상기 제1인덕터의 타단에 연결되는 제3트랜지스터; 및 드레인 단이 상기 제1인덕터의 일단에 연결되고, 소스 단은 접지되는 제4트랜지스터;를 포함할 수 있다.

[0014] 더하여 상기 제1트랜지스터 및 상기 제2트랜지스터의 각 게이트에는 제1바이어스 전압이 인가되고, 상기 제3트랜지스터 및 상기 제4트랜지스터의 각 게이트에는 제2바이어스 전압이 인가되고, 제1바이어스 전압 및 제2바이어스 전압은 각각 선택적으로 인가됨으로써 상기 제1인덕터에 인가되는 전압의 방향을 스위칭할 수 있다.

[0015] 아울러, 상기 제1트랜지스터, 상기 제2트랜지스터, 상기 제3트랜지스터 및 상기 제4트랜지스터의 각 바디 단은 벌크 저항을 거쳐 접지될 수 있다.

[0016] 한편 상기 위상 천이기는 입력단 및 상기 스위칭부 사이에서 입력단 측과의 임피던스 매칭을 수행하기 위한 제1매칭부; 및 출력단 및 상기 위상천이부 사이에서 출력단 측과의 임피던스 매칭을 수행하기 위한 제2매칭부;를 더 포함할 수 있다.

[0017] 또한 상기 위상 천이기는 상기 스위칭부 및 상기 위상천이부 사이에서 임피던스 매칭을 수행하기 위한 제3매칭부;를 더 포함할 수 있다.

[0018] 상기 제3매칭부는 일단이 상기 제1트랜지스터의 소스 단에 연결되고, 타단이 상기 제4트랜지스터의 드레인 단 및 상기 제1인덕터의 일단에 연결되는 제3인덕터; 및 일단이 상기 제3트랜지스터의 소스 단에 연결되고, 타단이 상기 제2트랜지스터의 드레인 단 및 상기 제1인덕터의 타단에 연결되는 제4인덕터;를 포함할 수 있다.

[0019] 상기 제1인덕터 및 상기 제2인덕터는 가동접속될 수 있다.

[0020] 상기 제1인덕터는 탑 메탈 레이어로 구현될 수 있다.

발명의 효과

[0022] 본 발명에 따르면 다음과 같은 효과를 기대할 수 있다.

[0024] 첫째, 간단한 회로 추가 및 구조 변경을 통해 구현될 수 있으므로 소형화가 용이하고 증폭기 내부 공간 설계에 유리하여, 궁극적으로 증폭기의 소형화에 기여한다.

[0025] 둘째, 스위칭 타입을 채택함으로써 낮은 천이 오차를 가진다.

[0026] 셋째, 제1인덕터 및 제2인덕터가 위상 천이를 위해 결합할 때 온전히 결합할 수 있기 때문에 삽입 손실이 최소화되고, 따라서 광대역 특성을 확보할 수 있다.

[0028] 본 발명은 상술한 효과 이외에도 이하의 설명에 의하여 도출될 수 있는 다양한 효과를 가질 수 있다.

도면의 간단한 설명

[0030] 도 1 및 도 2는 기존의 위상 천이기의 회로도를 도시한 것이다.

도 3은 본 발명의 한 실시예에 따른 위상 천이기의 각 구성을 개념적으로 도시한 것이다.

도 4는 도 3에 따른 위상 천이기의 회로도의 일 실시예를 도시한 것이다.

도 5는 본 발명의 한 실시예에 따른 위상 천이기의 각 구성을 개념적으로 도시한 것이다.

도 6은 도 5에 따른 위상 천이기의 회로도를 도시한 것이다.

도 7 및 도 8은 본 발명의 한 실시예에 따른 위상천이부가 구현된 모습을 도시한 것이다.

발명을 실시하기 위한 구체적인 내용

[0031] 본 발명의 바람직한 실시 예에 대하여 첨부된 도면을 참조하여 더 구체적으로 설명하되, 이미 주지되어진 기술적 부분에 대해서는 설명의 간결함을 위해 생략하거나 압축하기로 한다.

[0032] 본 명세서에서 본 발명의 “일” 또는 “하나의” 실시예에 대한 언급들은 반드시 동일한 실시예에 대한 것은 아니며, 이들은 적어도 하나를 의미한다는 것에 유의해야 한다.

[0033] 본 명세서에서 2개 이상의 구성 간의 “연결”은 각 구성 사이에 제3구성이 개재되어 있는지 여부를 불문하고 쓰여졌다.

[0034] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용되었다.

[0035] 이하의 실시예에서, 단수의 표현은 문맥상 명백하게 다른 의미를 뜻하지 않는 한, 복수의 표현을 포함한다.

[0036] 이하의 실시예에서, “포함하다” 또는 “가지다” 등의 용어는 명세서상에 기재된 특징 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다.

[0037] 도면에서 나타난 각 구성은 설명의 편의를 위해 임의로 나타낸 것이므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.

[0039] 본 발명이 제공하는 위상 천이기(1)의 목적에 따라 취급됨으로써 위상이 천이될 수 있는 교류 신호를 이하에서 “페이로드 신호”라 한다.

[0041] 도 3은 본 발명의 한 실시예에 따른 위상 천이기의 각 구성을 개념적으로 도시한 것이다.

[0042] 도 4는 도 3에 따른 위상 천이기의 회로도의 일 실시예를 도시한 것이다.

[0043] 이하 도 3 및 도 4를 참조하여 설명한다.

[0044] 본 발명의 한 실시예에 따른 위상 천이기(1)는 페이로드 신호를 입력받는 입력단(IN) 및 페이로드 신호를 출력하는 출력단(OUT) 사이에 위치한다. 페이로드 신호는 위상 천이기(1)를 경유함으로써 선택적으로 위상이 천이될 수 있다. 입력단(IN)으로 입력된 페이로드 신호는 스위칭부(100) - 위상천이부(200)의 경로를 거쳐 출력단(OUT)으로 출력된다.

[0045] 본 발명의 한 실시예에 따른 위상 천이기(1)는 스위칭부(100) 및 위상천이부(200)를 포함한다.

[0046] 스위칭부(100)는 입력단(IN) 측으로부터 페이로드 신호를 제공받는다. 페이로드 신호에 의하여 스위칭부(100)의 입력단(IN) 측에는 전압이 인가된다. 스위칭부(100)는 입력단(IN) 측으로부터 제공받은 전압에 기초하여 후술할 제1인덕터(Lp)의 양단에 전압을 인가한다.

[0047] 스위칭부(100)는 제1인덕터(Lp)에 인가되는 전압의 방향을 스위칭할 수 있도록 마련된다. 자세한 내용은 하기와 같다.

[0048] 스위칭부(100)는 제1트랜지스터(M1), 제2트랜지스터(M2), 제3트랜지스터(M3) 및 제4트랜지스터(M4)를 포함할 수 있다.

[0049] 제1트랜지스터(M1)는 드레인 단이 입력단(IN) 측에 연결되고, 소스 단이 제1인덕터(Lp)의 일단에 연결된다. 또한 제1트랜지스터(M1)의 게이트 단에는 제1전압원(CON1)이 연결되어 있어 게이트에 제1바이어스 전압이 인가될 수 있다. 제1전압원(CON1) 및 제1트랜지스터(M1)의 드레인 단 사이에는 안정화를 위한 저항(Ra)이 개재될 수 있다.

[0050] 제2트랜지스터(M2)는 드레인 단이 제1인덕터(Lp)의 타단에 연결되고, 소스 단은 접지된다. 또한 제2트랜지스터

(M2)의 게이트 단에는 제1전압원(CON1)이 연결되어 있어 게이트에 제1바이어스 전압이 인가될 수 있다. 제1전압원(CON1) 및 제2트랜지스터(M2)의 드레인 단 사이에는 안정화를 위한 저항(Ra)이 개재될 수 있다.

[0051] 제3트랜지스터(M3)는 드레인 단이 입력단(IN) 측에 연결되고, 소스 단이 제1인덕터(Lp)의 타단에 연결된다. 또한 제3트랜지스터(M3)의 게이트 단에는 제2전압원(CON2)이 연결되어 있어 게이트에 제2바이어스 전압이 인가될 수 있다. 제2전압원(CON2) 및 제3트랜지스터(M3)의 드레인 단 사이에는 안정화를 위한 저항(Ra)이 개재될 수 있다.

[0052] 제4트랜지스터(M4)는 드레인 단이 제1인덕터(Lp)의 일단에 연결되고, 소스 단은 접지된다. 또한 제4트랜지스터(M4)의 게이트 단에는 제2전압원(CON2)이 연결되어 있어 게이트에 제2바이어스 전압이 인가될 수 있다. 제2전압원(CON2) 및 제4트랜지스터(M4)의 드레인 단 사이에는 안정화를 위한 저항(Ra)이 개재될 수 있다.

[0053] 한편 실시예에 따라 제1트랜지스터(M1), 제2트랜지스터(M2), 제3트랜지스터(M3) 및 제4트랜지스터(M4)의 각 바디 단은 벌크 저항(Rb)을 거쳐 접지될 수 있다. 이러한 실시예에 따르면 각 트랜지스터(M1, M2, M3, M4)의 드레인 - 소스 기생 커패시턴스가 최소화되어 위상 천이기(1)의 삽입 손실이 최소화된다.

[0054] 여기서 제1바이어스 전압 및 제2바이어스 전압은 각각 선택적으로 인가될 수 있다. 이하, 도 2를 참조하여 본다.

[0055] 제1바이어스 전압이 인가될 때, 제2바이어스 전압은 인가되지 않는다. 이 경우 제1트랜지스터(M1) 및 제2트랜지스터(M2)는 각각 드레인 - 소스 간 통전되고, 제3트랜지스터(M3) 및 제4트랜지스터(M4)는 각각 드레인 - 소스 간 개방된다. 따라서 입력단(IN) 측으로 인가된 전압에 의한 전류는 제1트랜지스터(M1) - 제1인덕터(Lp) - 제2트랜지스터(M2)의 경로(이하 '제1경로'라 함)를 통해 접지단으로 흐른다. 이때 제1인덕터(Lp)의 양단에 정방향(일단에서 타단)의 전압이 인가된다.

[0056] 제2바이어스 전압이 인가될 때, 제1바이어스 전압은 인가되지 않는다. 이 경우 제3트랜지스터(M3) 및 제4트랜지스터(M4)는 각각 드레인 - 소스 간 통전되고, 제1트랜지스터(M1) 및 제2트랜지스터(M2)는 각각 드레인 - 소스 간 개방된다. 따라서 입력단(IN) 측으로 인가된 전압에 의한 전류는 제3트랜지스터(M3) - 제1인덕터(Lp) - 제4트랜지스터(M4)의 경로(이하 '제2경로'라 함)를 통해 접지단으로 흐른다. 이 때 제1인덕터(Lp)의 양단에 역방향(타단에서 일단)의 전압이 인가된다.

[0057] 상기의 과정을 통해 스위칭부(100)는 제1인덕터(Lp)의 양단에 걸리는 전압의 방향을 스위칭할 수 있다.

[0058] 한편 제1트랜지스터(M1) 및 제2트랜지스터(M2)의 각 게이트에 인가되는 제1바이어스 전압은 서로 동일한 크기의 전압이라는 의미로 쓰여진 것이 아니다. 제2바이어스 전압도 같다. 제1바이어스 전압 및 제2바이어스 전압을 구별함은 상호 교번되어 서로 다른 지점에 인가되는 각 전압을 구별한 것일 뿐이고, 그 인가되는 전압의 크기가 같음을 의미하는 것은 아니다. 물론, 각 바이어스 전압은 인가되는 트랜지스터의 문턱전압 이상일 것은 당연히 요구된다.

[0059] 한편 제1트랜지스터(M1) 및 제2트랜지스터(M2)의 각 게이트에 인가되는 제1바이어스 전압은 반드시 동일한 전압원에 의하여 인가될 것이 요구되는 것이 아니다. 따라서 제1트랜지스터(M1) 및 제2트랜지스터(M2)의 각 게이트 단에 연결된 제1전압원(CON1)은 물리적으로 단일한 전압원일 것이 요구되는 것이 아니라, 서로 교번되어 각각 제1바이어스 전압 및 제2바이어스 전압을 인가하는 기능을 수행하는 물리적으로 단수 또는 복수개로 마련된 전압원인 것으로 이해되어야 한다. 제2전압원(CON2) 역시 같다.

[0060] 위상천이부(200)는 제1인덕터(Lp) 및 제2인덕터(Ls)를 포함한다. 제1인덕터(Lp) 및 제2인덕터(Ls)는 상호 커플링되어 마련된다. 따라서 제1인덕터(Lp)에 인가되는 전압에 의하여 제2인덕터(Ls)에 전압이 유도된다.

[0061] 한편 실시예에 따라 제1인덕터(Lp) 및 제2인덕터(Ls)는 가동접속되어 마련될 수 있다. 이러한 실시예에 따르면, 제1인덕터(Lp)의 양단에 동일한 크기의 전압이 인가되었을 때, 양자가 차동접속된 경우에 비하여 제2인덕터(Ls)에 유도되는 전압의 크기가 커지게 된다(차동접속된 경우에 비해 가동접속된 경우 양 인덕터의 실질 인덕턴스가 크기 때문). 그리고 이것은 출력단(OUT)에서 충분한 이득을 얻기 위해 요구되는 제1인덕터(Lp) 및 제2인덕터(Ls)의 크기가 감소한다는 의미이다. 따라서 이러한 실시예는 위상 천이기(1)의 소형화 달성에 기여하게 된다.

[0062] 제1인덕터(Lp)는 일단이 제1트랜지스터(M1)의 소스 단 및 제4트랜지스터(M4)의 드레인 단에 연결되고, 타단이 제3트랜지스터(M3)의 소스 단 및 제2트랜지스터(M2)의 드레인 단에 연결된다. 전술한 내용에 따르면, 제1인덕터(Lp)의 양단에는 스위칭부(100)의 동작에 따라 정방향 및 역방향 중 어느 한 방향의 전압이 인가될 수 있다.

[0063] 제2인덕터(Ls)는 일단이 출력단(OUT) 측에 연결되고, 타단은 접지되어 마련될 수 있다. 제2인덕터(Ls)는 제1인덕터(Lp)에 인가되는 전압에 의하여 유도되는 전압을 출력단(OUT) 측에 제공함으로써, 위상 천이기(1)로 하여금 페이로드 신호를 출력할 수 있도록 한다.

[0064] 제1인덕터(Lp)에 유도되는 전압의 방향이 스위칭부(100)의 스위칭에 의하여 스위칭되므로, 제2인덕터(Ls)에 유도되는 전압의 방향 역시 스위칭된다. 전술한 바와 같이 페이로드 신호는 교류 신호인 바, 스위칭되는 제2인덕터(Ls)에 유도되는 전압은 상호 180° 의 위상 차이를 가지고 스위칭된다.

[0065] 결과적으로 스위칭부(100)가 페이로드 신호의 경로를 제1경로 및 제2경로 중 어느 하나로 선택함으로써 위상천이부(200)를 경유해 출력되는 페이로드 신호는 0° 및 180° 중 어느 하나의 위상을 가지고 출력된다.

[0066] 조금 더 구체적으로 그 과정을 설명하기 위해, 제1인덕터(Lp) 및 제2인덕터(Ls)가 가동접속된 실시예를 상정하여 보자.

[0067] 첫 번째 동작예에서, 제1전압원(CON1)이 온(ON)되어 제1바이어스 전압이 각각 제1트랜지스터(M1) 및 제2트랜지스터(M2)의 각 게이트 단에 인가되고 제2전압원(CON2)이 오프(OFF)되면, 제1트랜지스터(M1) 및 제2트랜지스터(M2)의 각 드레인 - 소스 경로가 통전되고, 제3트랜지스터(M3) 및 제4트랜지스터(M4)의 각 드레인 - 소스 경로가 개방된다. 따라서 입력단(IN)으로 입력된 페이로드 신호에 따른 전류는 제1경로(제1트랜지스터(M1) - 제1인덕터(Lp) - 제2트랜지스터(M2))를 따라 흐른다. 이 과정에서 제1인덕터(Lp)의 양단에는 정방향 즉, 일단에서 타단 방향으로의 전압이 인가된다. 따라서 제1인덕터(Lp)와 가동접속된 제2인덕터(Ls)에는 일단(출력단(OUT))에서 타단(접지단) 방향으로의 전압이 유도된다. Φ의 위상각으로 입력된 페이로드 신호는 Φ + 180° 의 위상각으로 출력된다.

[0068] 두 번째 동작예에서, 제2전압원(CON2)이 온(ON)되어 제2바이어스 전압이 각각 제3트랜지스터(M3) 및 제4트랜지스터(M4)의 각 게이트 단에 인가되고 제1전압원(CON1)이 오프(OFF)되면, 제3트랜지스터(M3) 및 제4트랜지스터(M4)의 각 드레인 - 소스 경로가 통전되고, 제1트랜지스터(M1) 및 제2트랜지스터(M2)의 각 드레인 - 소스 경로가 개방된다. 따라서 입력단(IN)으로 입력된 페이로드 신호에 따른 전류는 제2경로(제3트랜지스터(M3) - 제1인덕터(Lp) - 제4트랜지스터(M4))를 따라 흐른다. 이 과정에서 제1인덕터(Lp)의 양단에는 역방향 즉, 타단에서 일단 방향으로의 전압이 인가된다. 따라서 제1인덕터(Lp)와 가동접속된 제2인덕터(Ls)에는 타단(접지단)에서 일단(출력단(OUT)) 방향으로의 전압이 유도된다. Φ의 위상각으로 입력된 페이로드 신호는 Φ의 위상각으로 출력된다.

[0069] 다만 주의할 점은 소개된 두 가지 작동 예가 각각 Φ + 180° 및 Φ의 위상각을 가진 페이로드 신호를 출력했다고 설명된 것이, 입력 신호와 출력 신호의 위상 차이에 있어서 첫 번째 동작예는 반드시 180° 의 위상 차를 가지는 것이고, 두 번째 동작예는 반드시 0° 의 위상 차를 가지는 것을 설명한 것이라고 이해되어서는 아니된다. 상기 두 가지 동작 예를 통해 설명하고자 하는 바는, 본 발명에 따른 위상 천이기(1)가 동일한 위상(Φ)을 가진 입력 신호에 대하여 상호 180° 의 위상 차이를 가지는 서로 다른 출력 신호를 선택적으로 출력할 수 있다는 점임을 명확히 해 둔다.

[0070] 본 발명에 따른 위상 천이기(1)에 의하여 구현되는 180° 의 위상 차이는 제2인덕터(Ls) 양단에 유도되는 전압의 방향에 의한 것이므로, 본 발명에 따르면 오차가 없는 180° 위상 천이가 가능하다.

[0071] 한편 본 발명의 어떤 실시예에 따르면, 위상 천이기(1)는 임피던스 매칭을 위한 제1매칭부(300) 및 제2매칭부(400)를 더 포함할 수 있다.

[0072] 제1매칭부(300)는 입력단(IN) 및 스위칭부(100) 사이에서 입력단(IN) 측과의 임피던스 매칭을 수행하기 위해, 일단이 입력단(IN) 측 및 스위칭부(100)에 연결되고, 타단이 접지된(병렬 연결된) 커패시터(C1)를 포함할 수 있다.

[0073] 제2매칭부(400)는 출력단(OUT) 및 위상천이부(200) 사이에서 출력단(OUT) 측과의 임피던스 매칭을 수행하기 위해, 일단이 출력단(OUT) 측 및 위상천이부(200)에 연결되고, 타단이 접지된(병렬 연결된) 커패시터(C2)를 포함할 수 있다.

[0074] 도 5는 본 발명의 어떤 실시예에 따른 위상 천이기의 각 구성을 개념적으로 도시한 것이다.

[0075] 도 6은 도 5에 따른 위상 천이기의 회로도를 도시한 것이다.

[0076] 도 5 및 도6에서 참조되는 바에 따르면, 본 발명에 따른 위상천이기는 제3매칭부(500)를 더 포함할 수 있다. 제

3매칭부(500)는 스위칭부(100) 및 위상천이부(200) 사이에서 임피던스 매칭을 수행하기 위해 마련된다.

[0077] 도 6을 참조하면, 제3매칭부(500)는 제3인덕터(La) 및 제4인덕터(Lb)를 포함할 수 있다.

[0078] 제3인덕터(La)는 일단이 상기 제1트랜지스터(M1)의 소스 단에 연결되고, 타단이 상기 제4트랜지스터(M4)의 드레인 단 및 상기 제1인덕터(Lp)의 일단에 연결된다.

[0079] 제4인덕터(Lb)는 일단이 상기 제3트랜지스터(M3)의 소스 단에 연결되고, 타단이 상기 제2트랜지스터(M2)의 드레인 단 및 상기 제1인덕터(Lp)의 타단에 연결된다.

[0080] 이러한 제3매칭부(500)는 미리 결정된 제1인덕터(Lp) 및 제2인덕터(Ls)의 자체 인덕턴스 값이 작아 스위칭부(100)와의 임피던스 매칭이 상실되었을 때 요구될 수 있다. 이 경우 제3인덕터(La) 및 제4인덕터(Lb)를 추가적으로 마련함으로써 위상천이부(200)의 결합 상수(K)를 낮춤으로써 스위칭부(100) 및 위상천이부(200) 간의 임피던스 매칭을 달성할 수 있다.

[0081] 한편 도시되지는 않았으나, 실시예에 따라서는 제3인덕터(La) 및 제4인덕터(Lb)의 각 인덕턴스 값이 지나치게 큰 경우, 제3인덕터(La) 및 제4인덕터(Lb)에 각각 병렬 커패시터(미도시)를 추가함으로써 임피던스 매칭을 달성하는 것도 제안될 수 있다.

[0082] 도 7 및 도 8은 본 발명의 한 실시예에 따른 위상천이부가 구현된 모습을 도시한 것이다. 도 7은 사시도이고, 도 8은 측면도이다.

[0083] 도 7 및 도 8에서 참조되는 바와 같이 본 발명의 한 실시예에 따른 위상천이부(200)는 시스템 온 칩(SOC : System On Chip)으로 구현되어 적층형으로 마련될 수 있다.

[0084] 도 8에서 참조되는 바와 같이 제1인덕터(Lp) 및 제2인덕터(Ls)는 양자 간에 이격되어 적층될 수 있다. 명백히 도시되지는 아니하였지만, 제1인덕터(Lp) 및 제2인덕터(Ls) 간 절연을 위해 별도의 절연층(미도시)이 마련되는 것도 얼마든지 가능하다.

[0085] 본 발명에 따르면 위상의 180° 천이를 위해 2개의 인덕터만이 사용되므로, 권선 라인이 연장됨에 따른 이득의 손실이 최소화된다.

[0086] 한편 도 8에서 참조되는 바와 같이, 제1인덕터(Lp)는 시스템 온 칩 상에서 탑 메탈(Top Metal) 레이어로만 구현될 수 있다. 탑 메탈 레이어는 CMOS 공정에서 이용되는 M1 내지 M9 즉, 9개의 메탈 레이어 중 M9를 의미하며, 다른 메탈 레이어에 비하여 그 두께가 두껍고 단면적이 넓어 전력 전달 효율이 우수하다. 따라서 길이당 기여 인덕턴스가 상대적으로 높아 제1인덕터(Lp)로서 요구되는 권선의 면적을 최소화할 수 있다. 이것은 위상 천이기(1)의 소형화에 기여한다.

[0088] 상술한 바와 같이, 본 발명에 대한 구체적인 설명은 도면을 참조한 실시예에 의해서 이루어졌지만, 상술한 실시예는 본 발명의 바람직한 예를들어 설명하였을 뿐이기 때문에, 본 발명이 상기의 실시예에만 국한되는 것으로 이해되어져서는 아니 되며, 본 발명의 권리범위는 후술하는 청구범위 및 그 균등범위로 이해되어야 할 것이다.

부호의 설명

[0090] 1 : 위상 천이기

100 : 스위칭부

M1 : 제1트랜지스터

M2 : 제2트랜지스터

M3 : 제3트랜지스터

M4 : 제4트랜지스터

CON1 : 제1전원부

CON2 : 제2전원부

Ra : 바이어스 저항

Rb : 벌크 저항

200 : 위상천이부

Lp : 제1인덕터

Ls : 제2인덕터

300 : 제1매칭부

400 : 제2매칭부

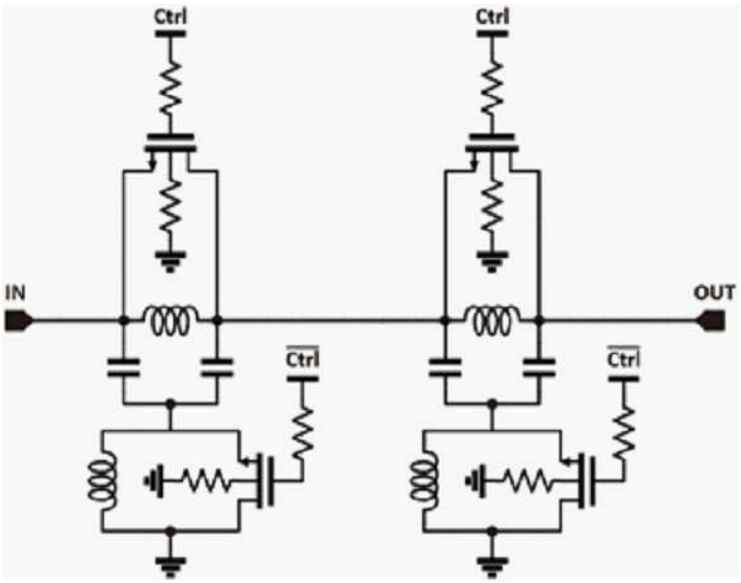
500 : 제3매칭부

La : 제3인덕터

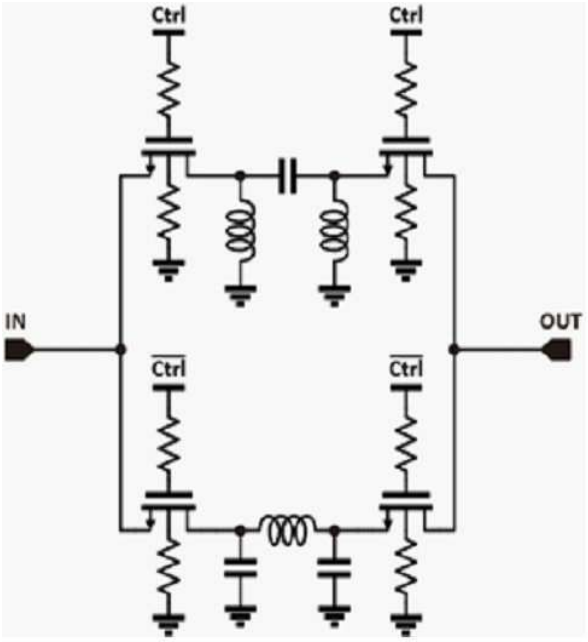
Lb : 제4인덕터

도면

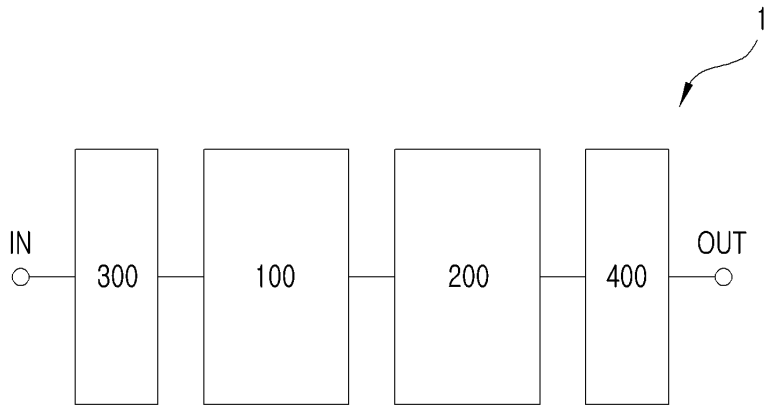
도면1



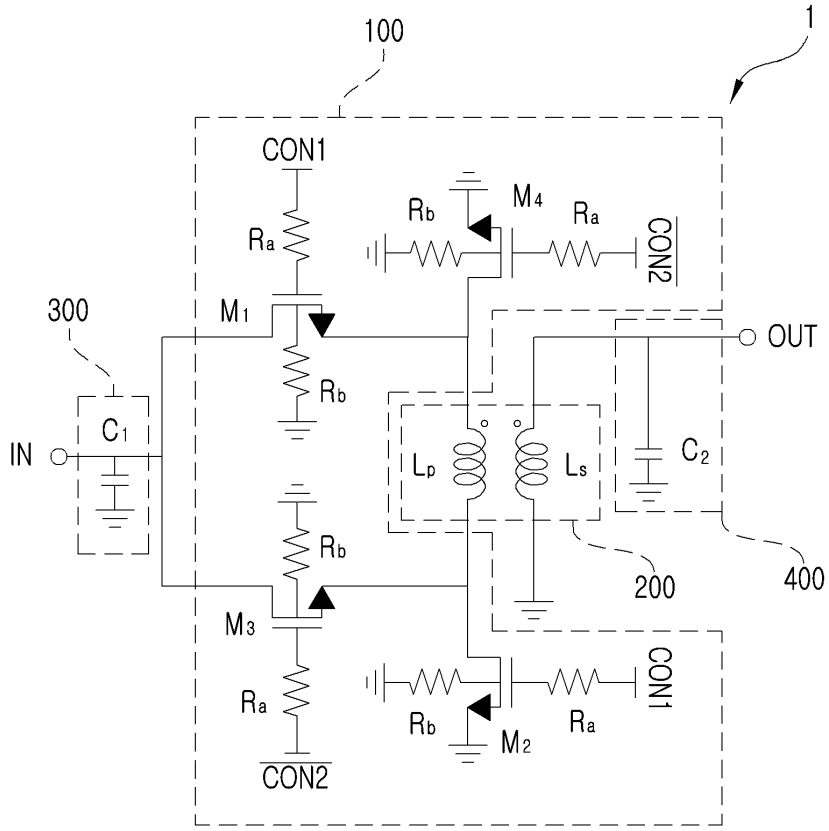
도면2



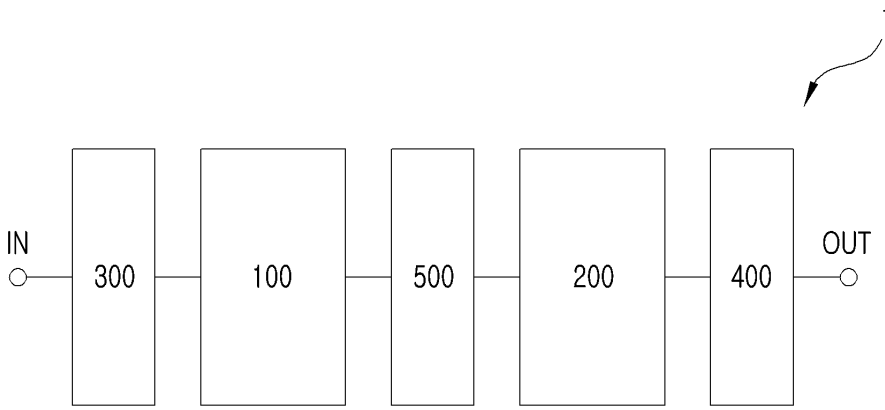
도면3



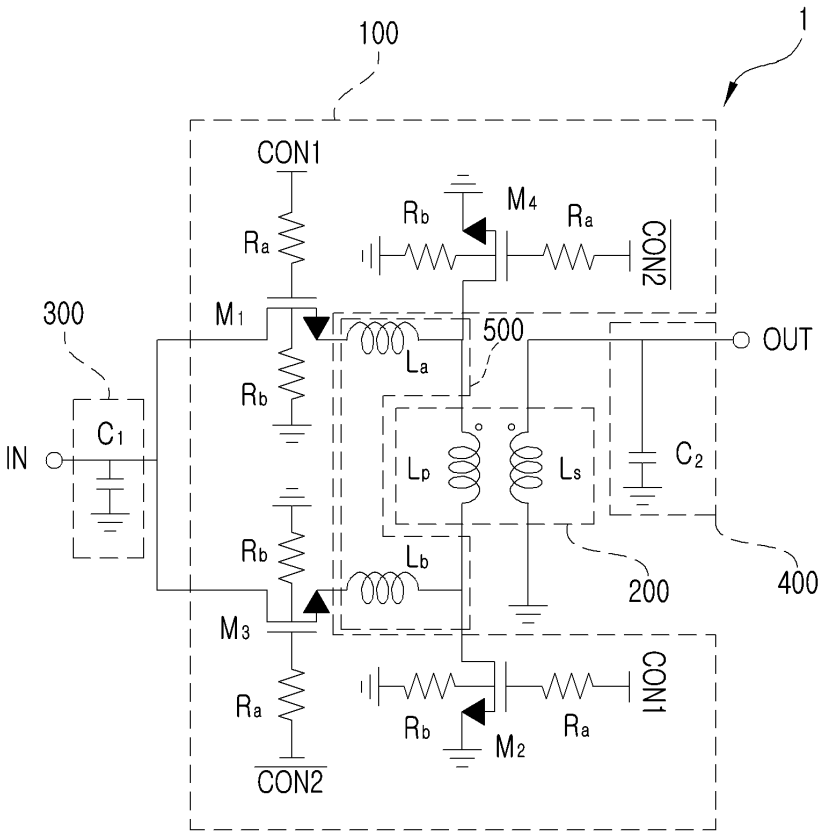
도면4


100
1
CON1
Ra
Rb
M4
Ra
CON2
300
M1
OUT
Rb
IN
C1
Lp
Ls
C2
Rb
200
400
M3
Ra
CON1
Rb
M2
Ra
CON2

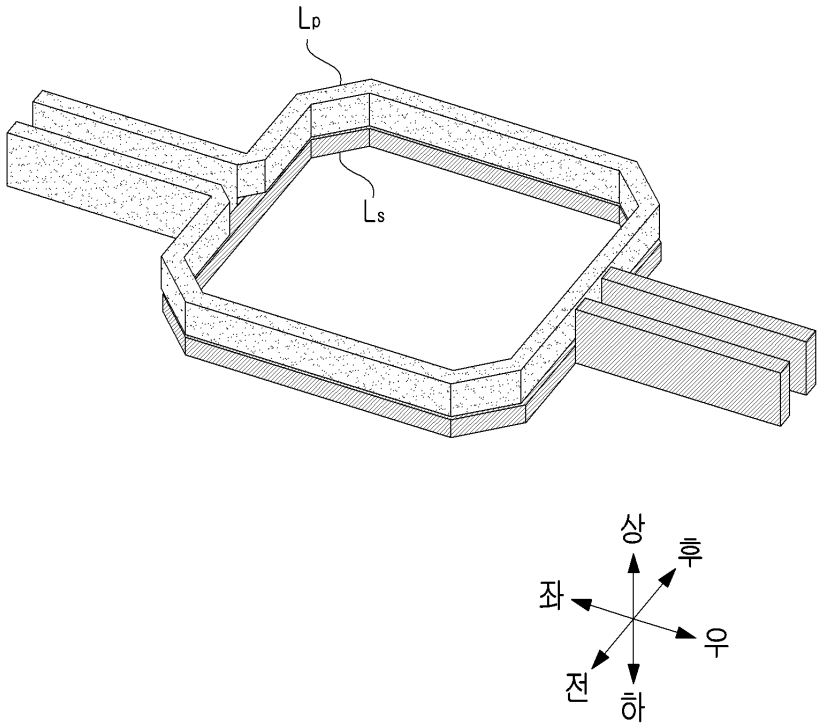
도면5


1
IN
300
100
500
200
400
OUT

도면6


100
1
CON1
Ra
Rb
M4
Ra
CON2
300
M1
500
OUT
La
Rb
C1
IN
Lp
Ls
C2
Rb
Lb
200
400
M3
Ra
CON1
Rb
M2
Ra
CON2

도면7



도면8

