

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))

of the data signal line (Dj) is held in a first capacitor (C1), and a threshold voltage of the drive transistor (M1) is held in a second capacitor (C2).

(57) 要約: 本願は、内部補償方式を採用し表示素子の輝度の不安定化を招くことなく非発光期間を短縮できる電流駆動型の表示装置を開示する。画素回路(15)にデータ信号線(Dj)の電圧が書き込まれる期間では、トランジスタ(M4), (M6)がオフ状態に制御されるとともにトランジスタ(M2), (M3), (M5)がオン状態に制御される。これにより、駆動トランジスタ(M1)につき、ダイオード接続が実現され、そのソース端子がハイレベル電源線(ELVDD)から切り離され、そのゲート端子および有機EL素子(OLED)のアノード電極が初期化電圧供給線(Vini)に接続される。その結果、駆動トランジスタ(M1)のゲート電圧(Vg)および有機EL素子(OLED)のアノード電圧(Va)が初期化されるとともに、データ信号線(Dj)の電圧に対応する電圧が第1キャパシタ(C1)に、駆動トランジスタ(M1)の閾値電圧が第2キャパシタ(C2)にそれぞれ保持される。

明 細 書

発明の名称：表示装置およびその駆動方法

技術分野

[0001] 本発明は表示装置に関し、より詳しくは、有機EL（Electro Luminescence）表示装置等の電流で駆動される表示素子を備えた電流駆動型の表示装置およびその駆動方法に関する。

背景技術

[0002] 近年、有機EL素子（有機発光ダイオード（Organic Light Emitting Diode：OLED）とも呼ばれる）を含む画素回路を備えた有機EL表示装置が実用化されている。有機EL表示装置の画素回路は、有機EL素子に加えて、駆動トランジスタや、書込制御トランジスタ、保持キャパシタ等を含んでいる。駆動トランジスタや書込制御トランジスタには、薄膜トランジスタ（Thin Film Transistor）が使用され、駆動トランジスタの制御端子としてのゲート端子に保持キャパシタが接続され、この保持キャパシタには、駆動回路からデータ信号線を介して、表示すべき画像を表す映像信号に応じた電圧（より詳しくは、当該画素回路で形成すべき画素の階調値を示す電圧）がデータ電圧として与えられる。有機EL素子は、それに流れる電流に応じた輝度で発光する自発光型表示素子である。駆動トランジスタは、有機EL素子と直列に設けられ、保持キャパシタに保持される電圧にしたがって、有機EL素子に流れる電流を制御する。

[0003] 有機EL素子と駆動トランジスタの特性には、ばらつきや変動が発生する。このため、有機EL表示装置において高画質表示を行うためには、これらの素子の特性のばらつきや変動を補償する必要がある。有機EL表示装置については、素子の特性の補償を画素回路の内部で行う方法と、画素回路の外部で行う方法とが知られている。前者の方法に対応する画素回路として、駆動トランジスタのゲート端子の電圧すなわち保持キャパシタに保持される電圧の初期化を行った後、ダイオード接続状態の駆動トランジスタを介してデ

ータ電圧で保持キャパシタを充電するように構成された画素回路が知られている。このような画素回路では、その内部で駆動トランジスタにおける閾値電圧のばらつきや変動が補償される（以下、この閾値電圧のばらつきや変動の補償を「閾値補償」という）。

[0004] 上記のように画素回路内で閾値補償を行う方式（以下「内部補償方式」という）の有機EL表示装置に関連する事項が例えば特許文献1に記載されている。すなわち特許文献1には、駆動トランジスタのゲート端子の電圧すなわち保持キャパシタに保持される電圧を所定レベルに初期化した後、ダイオード接続状態の駆動トランジスタを介してデータ電圧で保持キャパシタを充電するように構成された画素回路が幾つか開示されている。

[0005] また、本願で開示される有機EL表示装置における画素回路に関連する構成が特許文献2に記載されている。この特許文献2に記載の表示装置における画素回路では、発光素子Eの駆動電流を生成する駆動トランジスタTDRのゲート端子が、第1容量素子C1および選択トランジスタQSLを順に介して信号線14に接続されるとともに、第2容量素子C2を介して駆動電位VELの電位線に接続されており、階調電位VX[n]の書込動作と駆動トランジスタTDRのゲート電位VGの初期化動作とを同時に行えるように構成されている（同文献の図3、図10、図11、段落[0042]～[0044]参照）。

先行技術文献

特許文献

[0006] 特許文献1：米国特許出願公開第2012/0001896号明細書

特許文献2：日本国特開2013-57701号公報

発明の概要

発明が解決しようとする課題

[0007] 特許文献1に記載の内部補償方式の有機EL表示装置の画素回路のように、駆動トランジスタのゲート端子の電圧を初期化した後にダイオード接続状

態の駆動トランジスタを介してデータ電圧で保持キャパシタの充電するように構成されている場合には（後述の図2参照）、各画素回路につき、そのデータ書込の期間（データ電圧による保持キャパシタの充電期間）だけでなくその前の初期化の期間においても有機EL素子が点灯しないように制御され、少なくとも両期間は非発光状態となる（後述の図3参照）。

[0008] これに対し、特許文献2に記載の表示装置では、各画素回路において駆動トランジスタTDRのゲート端子の電圧の初期化がデータ書込と同時に行われるので（後述の図4～図6参照）、特許文献1の表示装置に比べ、各画素回路につき非発光状態である期間（非発光期間）を短くすることができる。しかし、この画素回路では、表示素子としての発光素子Eにおける寄生容量の放電（以下「表示素子の初期化」という）をデータ書込と同時に行うことができない。このため、表示素子の初期化が発光期間に行われることになり、これは、発光期間における表示素子の輝度の不安定化を招くおそれがある。

[0009] そこで、内部補償方式の電流駆動型の表示装置において、表示素子の輝度の不安定化等の表示品質の低下を招くことなく非発光期間を短縮することが望まれる。

課題を解決するための手段

[0010] 本発明の幾つかの実施形態に係る表示装置は、複数のデータ信号線と、前記複数のデータ信号線に交差する複数の走査信号線と、前記複数の走査信号線にそれぞれ対応する複数の発光制御線と、前記複数のデータ信号線および前記複数の走査信号線に沿ってマトリクス状に配置された複数の画素回路とを有する表示装置であって、

第1および第2電源線と、

初期化電圧供給線と、

基準電圧供給線と、

前記複数のデータ信号線を駆動するデータ信号線駆動回路と、

前記複数の走査信号線を選択的に駆動する走査信号線駆動回路と、

前記複数の発光制御線を駆動する発光制御回路と、

を備え、

各画素回路は、電流によって駆動される表示素子と、第1および第2キャパシタと、前記第1および第2キャパシタに保持される電圧に応じて前記表示素子の駆動電流を制御する駆動トランジスタと、発光制御スイッチング素子とを含み、

前記駆動トランジスタの第1導通端子は、前記発光制御スイッチング素子を介して前記第1電源線に接続され、

前記駆動トランジスタの第2導通端子は前記表示素子の第1端子に接続され、

前記駆動トランジスタの制御端子は、前記第2キャパシタを介して前記第1導通端子に接続されるとともに、前記第1キャパシタの第1端子に接続され、

前記表示素子の第2端子は前記第2電源線に接続され、

各画素回路は、

前記複数のデータ信号線のいずれか1つに対応するとともに前記複数の走査信号線のいずれか1つに対応し、

対応するデータ信号線の電圧が当該画素回路に書き込まれるときに、前記発光制御スイッチング素子がオフ状態に制御されており、対応する走査信号線の選択に応じて、前記第1キャパシタの第2端子に当該対応するデータ信号線の電圧が与えられるとともに、前記駆動トランジスタの前記制御端子および前記表示素子の前記第1端子に前記初期化電圧供給線の電圧が与えられるように構成されている。

[0011] 本発明の他の幾つかの実施形態に係る駆動方法は、複数のデータ信号線と、前記複数のデータ信号線に交差する複数の走査信号線と、前記複数の走査信号線にそれぞれ対応する複数の発光制御線と、第1および第2電源線と、初期化電圧供給線と、基準電圧供給線と、前記複数のデータ信号線および前記複数の走査信号線に沿ってマトリクス状に配置された複数の画素回路とを有する表示装置の駆動方法であって、

各画素回路は、

前記複数のデータ信号線のいずれか1つに対応するとともに前記複数の走査信号線のいずれか1つに対応し、

電流によって駆動される表示素子と、第1および第2キャパシタと、前記第1および第2キャパシタに保持される電圧に応じて前記表示素子の駆動電流を制御する駆動トランジスタと、発光制御スイッチング素子とを含み、

前記駆動トランジスタの第1導通端子は、前記発光制御スイッチング素子を介して前記第1電源線に接続され、

前記駆動トランジスタの第2導通端子は、前記表示素子の第1端子に接続され、

前記駆動トランジスタの制御端子は、前記第2キャパシタを介して前記第1導通端子に接続されるとともに、前記第1キャパシタの第1端子に接続され、

前記表示素子の第2端子は前記第2電源線に接続され、

前記駆動方法は、各画素回路に対応するデータ信号線の電圧を書き込むときに、当該画素回路において、前記発光制御スイッチング素子をオフ状態に制御し、前記第1キャパシタの第2端子に当該対応するデータ信号線の電圧を与えるとともに、前記駆動トランジスタの前記制御端子および前記表示素子の前記第1端子に前記初期化電圧供給線の電圧を与えるデータ書込ステップを含む。

発明の効果

[0012] 本発明の上記幾つかの実施形態によれば、各画素回路において、駆動トランジスタの第1導通端子は発光制御スイッチング素子を介して第1電源線に接続され、駆動トランジスタの第2導通端子は表示素子の第1端子に接続され、駆動トランジスタの制御端子は第2キャパシタを介して前記第1導通端子に接続されるとともに第1キャパシタの第1端子に接続され、表示素子の第2端子は第2電源線に接続されている。このような各画素回路に、対応するデータ信号線の電圧が書き込まれるときには、当該画素回路において、発

光制御スイッチング素子がオフ状態に制御されることで駆動トランジスタの第1導通端子が第1電源線から電氣的に切り離され、第1キャパシタの第2端子に当該対応するデータ信号線の電圧が与えられるとともに駆動トランジスタの制御端子および表示素子の第1端子に初期化電圧供給線の電圧が与えられる。これにより、駆動トランジスタの制御端子および表示素子の第1端子が初期化電圧供給線の電圧に初期化されるとともに、当該対応するデータ信号線の電圧と初期化電圧供給線の電圧との差に相当する電圧が第1キャパシタに保持される。また、駆動トランジスタの第1導通端子が第1電源線から電氣的に切り離された状態で当該駆動トランジスタの制御端子および第2導通端子が初期電圧供給線に接続されることから、駆動トランジスタの閾値電圧の絶対値 $|V_{th}|$ よりも大きな電圧が第2キャパシタに保持されている場合に、当該第2キャパシタはその電荷が流出して電圧 $|V_{th}|$ を保持する状態となる。このようにして、各画素回路に対応するデータ信号線の電圧が書き込まれるときに、当該画素回路において、駆動トランジスタのゲート端子および表示素子の第1端子が同時に初期化され、かつ、表示素子の駆動電流に対する上記閾値電圧のばらつきや変動の影響を抑えるための（閾値補償のための）第2キャパシタの充放電動作も同時に行われる。したがって、本発明の上記幾つかの実施形態によれば、電流駆動型の表示装置において、内部補償を行いつつ表示素子の輝度の不安定化等の表示品質の低下を招くことなく非発光期間を短縮することができる。

図面の簡単な説明

[0013] [図1]第1の実施形態に係る表示装置の全体構成を示すブロック図である。

[図2]従来の表示装置（第1従来例）における画素回路の構成を示す回路図である。

[図3]上記第1従来例の駆動を説明するための信号波形図である。

[図4]従来の他の表示装置（第2従来例）における画素回路の構成を示す回路図である。

[図5]上記第2従来例における画素回路の初期化およびデータ書込の動作を説

明するための回路図である。

[図6]上記第2従来例の駆動を説明するための信号波形図である。

[図7]上記第1の実施形態における画素回路の構成を示す回路図である。

[図8]上記第1の実施形態に係る表示装置の駆動を説明するための信号波形図である。

[図9]上記第1の実施形態における画素回路の初期化およびデータ書込の動作を示す回路図(A)、および、当該画素回路の点灯動作を示す回路図(B)である。

[図10]上記第1の実施形態における画素回路の各部における電荷量を示す図である。

[図11]上記第1の実施形態の変形例における画素回路の構成を示す回路図である。

発明を実施するための形態

[0014] 以下、添付図面を参照しながら実施形態について説明する。なお、以下で言及する各トランジスタにおいて、ゲート端子は制御端子に相当し、ドレイン端子およびソース端子の一方は第1導通端子に相当し、他方は第2導通端子に相当する。また、以下の実施形態におけるトランジスタはすべてPチャネル型であるものとして説明するが、本発明はこれに限定されない。さらに、以下の実施形態におけるトランジスタは例えば薄膜トランジスタであるが、本発明はこれに限定されない。さらにまた、本明細書における「接続」とは、特に断らない限り「電氣的接続」を意味し、本発明の要旨を逸脱しない範囲において、直接的な接続を意味する場合のみならず、他の素子を介した間接的な接続を意味する場合も含むものとする。

[0015] <1. 全体構成>

図1は、第1の実施形態に係る有機EL表示装置10の全体構成を示すブロック図である。この表示装置10は、内部補償を行う有機EL表示装置である。すなわち、この表示装置10において、各画素回路は、その内部の駆動トランジスタの閾値電圧のばらつきや変動を補償する機能を有している（

詳細は後述)。

[0016] 図1に示すように、この表示装置10は、表示部11、表示制御回路20、データ側駆動回路30、走査側駆動回路40、および、電源回路50を備えている。データ側駆動回路はデータ信号線駆動回路(「データドライバ」とも呼ばれる)として機能する。走査側駆動回路40は、走査信号線駆動回路(「ゲートドライバ」とも呼ばれる)および発光制御回路(「エミッションドライバ」とも呼ばれる)として機能する。図1に示す構成ではこれら2つの駆動回路が1つの走査側駆動回路40として実現されているが、これら2つの駆動回路が適宜分離された構成であってもよく、また、これら2つの駆動回路が表示部11の一方側と他方側に分離されて配置される構成であってもよい。また、走査側駆動回路およびデータ信号線駆動回路の少なくとも一部が表示部11と一体的に形成されていてもよい。これらの点は、後述の他の実施形態や変形例においても同様である。電源回路50は、表示部11に供給すべき後述のハイレベル電源電圧 $E_{LVD D}$ 、ローレベル電源電圧 E_{LVSS} 、初期化電圧 V_{ini} 、および基準電圧 V_{sus} と、表示制御回路20、データ側駆動回路30、および走査側駆動回路40に供給すべき電源電圧(不図示)とを生成する。

[0017] 表示部11には、 m 本(m は2以上の整数)のデータ信号線 $D_1 \sim D_m$ と、これらに交差する n 本(n は2以上の整数)の走査信号線 $G_1 \sim G_n$ とが配設されており、 n 本の走査信号線 $G_1 \sim G_n$ にそれぞれ沿って n 本の発光制御線(「エミッションライン」とも呼ばれる) $E_1 \sim E_n$ が配設されている。また図1に示すように、表示部11には $m \times n$ 個の画素回路15が設けられており、これら $m \times n$ 個の画素回路15は、 m 本のデータ信号線 $D_1 \sim D_m$ および n 本の走査信号線 $G_1 \sim G_n$ に沿ってマトリクス状に配置されており、各画素回路15は、 m 本のデータ信号線 $D_1 \sim D_m$ のいずれか1つに対応するとともに n 本の走査信号線 $G_1 \sim G_n$ のいずれか1つに対応する(以下、各画素回路15を区別する場合には、 i 番目の走査信号線 G_i および j 番目のデータ信号線 D_j に対応する画素回路を「 i 行 j 列目の画素回路」

ともいい、符号“ $P_{ix}(i, j)$ ”で示すものとする)。n本の発光制御線 $E_1 \sim E_n$ はn本の走査信号線 $G_1 \sim G_n$ にそれぞれ対応する。したがって各画素回路15は、n本の発光制御線 $E_1 \sim E_n$ のいずれか1つにも対応する。

[0018] また表示部11には、各画素回路15に共通の図示しない電源線が配設されている。すなわち、後述の有機EL素子を駆動するためのハイレベル電源電圧 $ELVDD$ を供給するための電源線（以下「ハイレベル電源線」といい、ハイレベル電源電圧と同じく符号“ $ELVDD$ ”で示す）、および、有機EL素子を駆動するためのローレベル電源電圧 $ELVSS$ を供給するための電源線（以下「ローレベル電源線」といい、ローレベル電源電圧と同じく符号“ $ELVSS$ ”で示す）が配設されている。さらに表示部11には、各画素回路15の初期化のためのリセット動作（「初期化動作」ともいう）に使用する初期化電圧（として固定電圧） V_{ini} を供給するための図示しない初期化電圧供給線（初期化電圧と同じく符号“ V_{ini} ”で示す）、および、発光期間における画素回路15の駆動のための基準電圧 V_{sus} を供給するための図示しない基準電圧供給線（基準電圧と同じく符号“ V_{sus} ”で示す）も配設されている。ハイレベル電源電圧 $ELVDD$ 、ローレベル電源電圧 $ELVSS$ 、初期化電圧 V_{ini} 、および基準電圧 V_{sus} は、電源回路50から供給される。

[0019] 表示制御回路20は、表示すべき画像を表す画像情報および画像表示のためのタイミング制御情報を含む入力信号 S_{in} を表示装置10の外部から受け取り、この入力信号 S_{in} に基づきデータ側制御信号 S_{cd} および走査側制御信号 S_{cs} を生成し、データ側制御信号 S_{cd} をデータ側駆動回路（データ信号線駆動回路）30に、走査側制御信号 S_{cs} を走査側駆動回路（走査信号線駆動／発光制御回路）40にそれぞれ出力する。

[0020] データ側駆動回路30は、表示制御回路20からのデータ側制御信号 S_{cd} に基づきデータ信号線 $D_1 \sim D_m$ を駆動する。すなわちデータ側駆動回路30は、データ側制御信号 S_{cd} に基づき、表示すべき画像を表すm個のデ

ータ信号 $D(1) \sim D(m)$ を並列に出力してデータ信号線 $D1 \sim Dm$ にそれぞれ印加する。

[0021] 走査側駆動回路40は、表示制御回路20からの走査側制御信号 S_{cs} に基づき、走査信号線 $G1 \sim Gn$ を駆動する走査信号線駆動回路、および、発光制御線 $E1 \sim En$ を駆動する発光制御回路として機能する。より詳細には、走査側駆動回路40は、走査信号線駆動回路として、走査側制御信号 S_{cs} に基づき、各フレーム期間において走査信号線 $G1 \sim Gn$ を1水平期間に対応する所定期間ずつ順次に選択し、選択した走査信号線 G_k に対してアクティブな信号（ローレベル電圧）を印加し、かつ、非選択の走査信号線には非アクティブな信号（ハイレベル電圧）を印加する。これにより、選択された走査信号線 G_k ($1 \leq k \leq n$) に対応した m 個の画素回路 $P_{ix}(k, 1) \sim P_{ix}(k, m)$ が一括して選択される。その結果、当該走査信号線 G_k の選択期間（以下「第 k 走査選択期間」という）において、データ側駆動回路30からデータ信号線 $D1 \sim Dm$ に印加された m 個のデータ信号 $D(1) \sim D(m)$ の電圧（以下では、これらの電圧を区別せずに単に「データ電圧」と呼ぶことがある）が画素データとして、画素回路 $P_{ix}(k, 1) \sim P_{ix}(k, m)$ にそれぞれ書き込まれる。

[0022] また走査側駆動回路40は、発光制御回路として、走査側制御信号 S_{cs} に基づき、 i 番目の発光制御線 E_i に対し、第 i 水平期間では非発光を示す発光制御信号（ハイレベル電圧）を印加し、それ以外の期間では発光を示す発光制御信号（ローレベル電圧）を印加する（後述の図8参照）。 i 番目の走査信号線 G_i に対応する画素回路（以下「 i 行目の画素回路」ともいう） $P_{ix}(i, 1) \sim P_{ix}(i, m)$ 内の有機EL素子は、発光制御線 E_i の電圧がローレベルである間、 i 行目の画素回路 $P_{ix}(i, 1) \sim P_{ix}(i, m)$ にそれぞれ書き込まれたデータ電圧に応じた輝度で発光する。

[0023] <2. 第1従来例における画素回路の構成および動作と問題点>

以下では、本実施形態における画素回路15の構成および動作を説明する前に、当該画素回路15と比較するための画素回路として従来の有機EL表

示装置（以下「第1従来例」という）における画素回路15aの構成および動作につき図2および図3を参照して説明する。この第1従来例の全体的な構成は、基本的には図1に示す構成と同様であるが、下記の点で図1に示す構成と相違する。すなわち第1従来例では、表示部11には、 n 本の走査信号線 $G_1 \sim G_n$ に加えて0番目の走査信号線 G_0 が配設されており、走査側駆動回路40は、走査信号線駆動回路として、走査側制御信号 S_{cs} に基づき、各フレーム期間において走査信号線 $G_0 \sim G_n$ を順次を選択する。また走査側駆動回路40は、発光制御回路として、走査側制御信号 S_{cs} に基づき、 i 番目の発光制御線 E_i に対し、第 $i-1$ 水平期間および第 i 水平期間では非発光を示す発光制御信号（ハイレベル電圧）を印加し、それ以外の期間では発光を示す発光制御信号（ローレベル電圧）を印加する（図3参照）。

[0024] 図2は、第1従来例における画素回路15aの構成を示す回路図、より詳しくは、 i 番目の走査信号線 G_i および j 番目のデータ信号線 D_j に対応する画素回路15aすなわち i 行 j 列目の画素回路 $P_{ix}(i, j)$ の構成を示す回路図である（ $1 \leq i \leq n$ 、 $1 \leq j \leq m$ ）。図2に示すように画素回路15aは、表示素子としての有機EL素子OLED、駆動トランジスタT1、書込制御トランジスタT2、閾値補償トランジスタT3、第1初期化トランジスタT4、第1発光制御トランジスタT5、第2発光制御トランジスタT6、第2初期化トランジスタT7、および、保持キャパシタ C_{st} を含んでいる。この画素回路15aにおいて、駆動トランジスタT1以外のトランジスタT2～T7はスイッチング素子として機能する。

[0025] 画素回路15aには、それに対応する走査信号線（以下、画素回路に注目した説明において「対応走査信号線」ともいう） G_i 、対応走査信号線 G_i の直前の走査信号線（走査信号線 $G_1 \sim G_n$ の走査順における直前の走査信号線であり、以下、画素回路に注目した説明において「先行走査信号線」ともいう） G_{i-1} 、それに対応する発光制御線（以下、画素回路に注目した説明において「対応発光制御線」ともいう） E_i 、それに対応するデータ信

号線（以下、画素回路に注目した説明において「対応データ信号線」ともいう） D_j 、初期化電圧供給線 V_{ini} 、ハイレベル電源線 $ELVDD$ 、および、ローレベル電源線 $ELVSS$ が接続されている。

[0026] 図2に示すように、画素回路15aでは、駆動トランジスタ T_1 のソース端子は、書込制御トランジスタ T_2 を介して対応データ信号線 D_j に接続されるとともに、第1発光制御トランジスタ T_5 を介してハイレベル電源線 $ELVDD$ に接続されている。駆動トランジスタ T_1 のドレイン端子は、第2発光制御トランジスタ T_6 を介して有機EL素子OLEDのアノード電極に接続されている。駆動トランジスタ T_1 のゲート端子は、保持キャパシタ C_{st} を介してハイレベル電源線 $ELVDD$ に接続され、かつ、閾値補償トランジスタ T_3 を介して当該駆動トランジスタ T_1 のドレイン端子に接続され、かつ、第1初期化トランジスタ T_4 を介して初期化電圧供給線 V_{ini} に接続されている。有機EL素子OLEDのアノード電極は第2初期化トランジスタ T_7 を介して初期化電圧供給線 V_{ini} に接続され、有機EL素子OLEDのカソード電極はローレベル電源線 $ELVSS$ に接続されている。また、書込制御トランジスタ T_2 、閾値補償トランジスタ T_3 、および第2初期化トランジスタ T_7 のゲート端子は対応走査信号線 G_i に接続され、第1および第2発光制御トランジスタ T_5 、 T_6 のゲート端子は対応発光制御線 E_i に接続され、第1初期化トランジスタ T_4 のゲート端子は先行走査信号線 G_{i-1} に接続されている。

[0027] 駆動トランジスタ T_1 は飽和領域で動作し、発光期間において有機EL素子OLEDに流れる駆動電流 I_1 は次式(1)で与えられる。式(1)に含まれる駆動トランジスタ T_1 のゲイン β は、次式(2)で与えられる。

$$I_1 = (\beta/2) (|V_{gs}| - |V_{th}|)^2 \\ = (\beta/2) (|V_g - ELVDD| - |V_{th}|)^2 \quad \dots (1)$$

$$\beta = \mu \times (W/L) \times C_{ox} \quad \dots (2)$$

ただし、上記の式(1)および式(2)において、 V_{th} 、 μ 、 W 、 L 、 C_{ox} は、それぞれ、駆動トランジスタ T_1 の閾値電圧、移動度、ゲート幅、

ゲート長、および、単位面積あたりのゲート絶縁膜容量を表す。

[0028] 図3は、第1従来例に係る表示装置の駆動を説明するための信号波形図であり、図2に示した画素回路15aすなわち*i*行*j*列目の画素回路 $P_{i \times (i, j)}$ のリセット動作、データ書込動作、および点灯動作における各信号線（対応発光制御線 E_i 、先行走査信号線 G_{i-1} 、対応走査信号線 G_i 、対応データ信号線 D_j ）の電圧、駆動トランジスタ T_1 のゲート端子の電圧（以下「ゲート電圧」という） V_g 、および、有機EL素子OLEDのアノード電極の電圧（以下「アノード電圧」という） V_a の変化を示している。図3において、時刻 $t_1 \sim t_6$ の期間は、*i*行目の画素回路 $P_{i \times (i, 1)} \sim P_{i \times (i, m)}$ の非発光期間である。時刻 $t_2 \sim t_4$ の期間は第*i*-1水平期間であり、時刻 $t_2 \sim t_3$ の期間は*i*-1番目の走査信号線（先行走査信号線） G_{i-1} の選択期間すなわち第*i*-1走査選択期間である。この第*i*-1走査選択期間は、*i*行目の画素回路 $P_{i \times (i, 1)} \sim P_{i \times (i, m)}$ のリセット期間に相当する。時刻 $t_4 \sim t_6$ の期間は第*i*水平期間であり、時刻 $t_4 \sim t_5$ の期間は*i*番目の走査信号線（対応走査信号線） G_i の選択期間すなわち第*i*走査選択期間である。この第*i*走査選択期間は、*i*行目の画素回路 $P_{i \times (i, 1)} \sim P_{i \times (i, m)}$ のデータ書込期間に相当する。

[0029] *i*行*j*列目の画素回路 $P_{i \times (i, j)}$ では、図3に示すように時刻 t_1 において発光制御線 E_i の電圧がローレベルからハイレベルに変化すると、第1および第2発光制御トランジスタ T_5 、 T_6 はオン状態からオフ状態に変化し、有機EL素子OLEDは非発光状態となる。

[0030] 時刻 t_2 において、先行走査信号線 G_{i-1} の電圧がハイレベルからローレベルに変化することで先行走査信号線 G_{i-1} が選択状態となる。このため、第1初期化トランジスタ T_4 がオン状態に変化する。これにより、駆動トランジスタ T_1 のゲート端子の電圧すなわちゲート電圧 V_g が初期化電圧 V_{ini} に初期化される。初期化電圧 V_{ini} は、画素回路 $P_{i \times (i, j)}$ へのデータ電圧の書き込み時に、駆動トランジスタ T_1 をオン状態に維持

できる程度の電圧である。

[0031] 時刻 $t_2 \sim t_3$ の期間は、 i 行目の画素回路 $P_{ix}(i, 1) \sim P_{ix}(i, m)$ におけるリセット期間であり、画素回路 $P_{ix}(i, j)$ では、このリセット期間において上記のように第 1 初期化トランジスタ T_4 がオン状態であることによりゲート電圧 V_g が初期化される。図 3 に、このときの画素回路 $P_{ix}(i, j)$ におけるゲート電圧 $V_g(i, j)$ の変化が示されている。なお、画素回路 $P_{ix}(i, j)$ におけるゲート電圧 V_g を他の画素回路におけるゲート電圧 V_g と区別する場合に符号 “ $V_g(i, j)$ ” を使用するものとする（以下においても同様）。

[0032] 時刻 t_3 において、先行走査信号線 G_{i-1} の電圧がハイレベルに変化することで先行走査信号線 G_{i-1} が非選択状態となる。このため、第 1 初期化トランジスタ T_4 がオフ状態に変化する。この時刻 t_3 から第 i 走査選択期間の開始時点 t_4 までの間に、データ側駆動回路 30 により、 i 行 j 列目の画素のデータ電圧としてのデータ信号 $D(j)$ のデータ信号線 D_j への印加が開始され、少なくとも第 i 走査選択期間の終了時点 t_5 まで当該データ信号 $D(j)$ の印加が継続する。

[0033] 時刻 t_4 において、対応走査信号線 G_i の電圧がハイレベルからローレベルに変化することで対応走査信号線 G_i が選択状態となる。このため、書込制御トランジスタ T_2 がオン状態に変化する。また、閾値補償トランジスタ T_3 もオン状態に変化するので、駆動トランジスタ T_1 は、そのゲート端子とドレイン端子とが接続された状態すなわちダイオード接続状態となる。これにより、対応データ信号線 D_j の電圧すなわちデータ信号 $D(j)$ の電圧がデータ電圧 V_{data} として、ダイオード接続状態の駆動トランジスタ T_1 を介して保持キャパシタ C_{st} に与えられる。その結果、図 3 に示すように、ゲート電圧 $V_g(i, j)$ は、次式 (5) で与えられる値に向かって変化する。

$$V_g(i, j) = V_{data} - |V_{th}| \quad \dots (5)$$

また、時刻 t_4 において、対応走査信号線 G_i の電圧がハイレベルからロー

レベルに変化することにより第2初期化トランジスタT7もオン状態に変化する。その結果、有機EL素子OLEDの寄生容量における蓄積電荷が放電されて有機EL素子のアノード電圧 V_a が初期化電圧 V_{ini} に初期化される(図3参照)。なお、画素回路 $P_{ix}(i, j)$ におけるアノード電圧 V_a を他の画素回路におけるアノード電圧 V_a と区別する場合に符号“ $V_a(i, j)$ ”を使用するものとする(以下においても同様)。

[0034] 時刻 $t_4 \sim t_5$ の期間は、 i 行目の画素回路 $P_{ix}(i, 1) \sim P_{ix}(i, m)$ におけるデータ書込期間であり、画素回路 $P_{ix}(i, j)$ では、このデータ書込期間において、上記のように閾値補償の施されたデータ電圧が保持キャパシタ C_{st} に書き込まれ、ゲート電圧 $V_g(i, j)$ は上記式(5)で与えられる値となる。

[0035] その後、時刻 t_6 において、発光制御線 E_i の電圧がローレベルに変化する。これに伴い、第1および第2発光制御トランジスタT5, T6がオン状態に変化する。このため時刻 t_6 以降、ハイレベル電源線 $ELVDD$ から第1発光制御トランジスタT5、駆動トランジスタT1、第2発光制御トランジスタT6、および、有機EL素子OLEDを経由してローレベル電源線 $ELVSS$ に電流 I_1 が流れる。この電流 I_1 は上記式(1)で与えられる。駆動トランジスタT1がPチャネル型であって $ELVDD > V_g$ であることを考慮すると、上記式(1)および(5)より、この電流 I_1 は次式で与えられる。

$$\begin{aligned} I_1 &= (\beta/2) (ELVDD - V_g - |V_{th}|)^2 \\ &= (\beta/2) (ELVDD - V_{data})^2 \quad \dots (6) \end{aligned}$$

上記より、時刻 t_6 以降、有機EL素子OLEDは、駆動トランジスタT1の閾値電圧 V_{th} に拘わらず、第 i 走査選択期間における対応データ信号線 D_j の電圧であるデータ電圧 V_{data} に応じた輝度で発光する。

[0036] 既述のように、第1従来例のような表示装置、すなわち駆動トランジスタのゲート電圧を初期化した後にダイオード接続状態の駆動トランジスタを介して保持キャパシタにデータ電圧を書き込むように構成された画素回路を用

いた表示装置では、各画素回路は、そのデータ書込の期間（図3に示す第 i 走査選択期間）だけでなく、その前のリセット期間（図3に示す第 $i-1$ 走査選択期間）においても有機EL素子が点灯しないように制御され、少なくとも両期間は非発光状態となる。

[0037] <3. 第2従来例における画素回路の構成および動作と問題点>

第1従来例における画素回路15aでは、図3に示すように、データ書込期間の前にリセット期間（初期化のための期間）が設けられるが、既述のように、駆動トランジスタのゲート電圧 V_g の初期化とデータ書込とを同時に行えるように構成された画素回路も知られている。以下、このような画素回路を備える従来の他の有機EL表示装置（以下「第2従来例」という）の構成および動作につき図4～図6を参照して説明する。この第2従来例の全体的な構成は、基本的には図1に示す構成と同様であるが、下記の点で図1に示す構成と相違する。すなわち第2従来例では、表示部11には、各走査信号線 G_i に沿って制御線129, 125, 127が配設されており、走査側駆動回路40は、制御信号 $G_{IN1}[i]$, $G_{IN1}[i]$, $GP[i]$ を生成してそれらの制御線129, 125, 127にそれぞれ印加する（ $i=1\sim n$ ）。また、図1に示す構成と同様、表示部11には発光制御線 E_i に相当する制御線123も配設されており、この制御線123には走査側駆動回路40から発光制御信号 $E[i]$ が印加される（ $i=1\sim n$ ）。さらに表示部11には、第1基準電圧 V_{ST1} を供給するための給電線36および第2基準電圧 V_{ST2} を供給するための給電線35が配設されている。また、表示部11における m 本のデータ信号線 $D_1\sim D_m$ は3本を1組として $m/3$ 個のデータ信号線群にグループ化されている（ここで m は3の倍数であるものとする）。データ側駆動回路30では、これら $m/3$ 個のデータ信号線群にそれぞれ対応する $m/3$ 個の内部データ信号 $S[k]$ （ $k=1\sim m/3$ ）が生成され、各組における3本のデータ信号線 G_{3k-2} , G_{3k-1} , G_{3k} のうち内部データ信号 $S[k]$ をデータ信号 $D[3k-p]$ として印加すべきデータ信号線 G_{3k-p} （ p は0, 1, 2のいずれか）が、表示制御回路20

で生成される選択信号SEL[1]～SEL[3]によって各水平期間において順次切り替えられる(図6参照)。なお、この第2従来例は特許文献2に記載の第2実施形態に相当するが、図4～図6では説明の便宜のために、本実施形態と第2従来例の間で信号や構成要素の対応が明確になるようにそれらの名称や符号を適宜に変更している。

[0038] 図4に示すように第2従来例における画素回路15bは、発光素子E(有機EL素子OLEDに相当)と、Pチャネル型の駆動トランジスタTDRと、第1および第2容量素子C1、C2と、Nチャネル型の選択トランジスタ(書込制御トランジスタ)QSLと、発光制御スイッチQELおよび第1～第3スイッチR1～R3としてそれぞれ機能する4個のNチャネル型トランジスタとを含んでいる。駆動トランジスタTDRのソース端子はハイレベル電源線ELVDDに接続されており、駆動トランジスタTDRのドレイン端子は、発光制御スイッチQELを介して発光素子Eのアノード電極に接続されるとともに、第3スイッチR3を介して給電線35に接続されている。駆動トランジスタTDRのゲート端子は、第2容量素子C2を介してハイレベル電源線ELVDDに接続され、かつ、第1容量素子C1の第1端子(電極e2)に接続され、かつ、第2スイッチR2を介して駆動トランジスタTDRのドレイン端子に接続されている。発光素子Eのカソード電極はローレベル電源線ELVSSに接続されている。上記第1容量素子C1の第2端子(電極e1)は、選択トランジスタQSLを介して対応データ信号線Djに接続されるとともに、第1スイッチR1を介して給電線36に接続されている。また、選択トランジスタQSLのゲート端子は対応走査信号線Giに接続され、第1、第2および第3スイッチR1、R2、R3の制御端子(ゲート端子)は、対応する制御線129、125、127にそれぞれ接続され、発光制御スイッチQELの制御端子(ゲート端子)は、対応する制御線123に接続されている。

[0039] 上記のように構成された図4に示す画素回路15bすなわちi行j列目の画素回路 $P_{i \times (i, j)}$ は、図6に示すような走査信号G[i]、内部データ信号S[k]、発光制御信号E[i]、および、制御信号GINI1[

$i]$, $GIN12[i]$, $GP[i]$ によって駆動される。この第2従来例における画素回路 $Pix(i, j)$ において初期化とデータ書込が同時に行われ(図6に示す期間 TRD , T_w 参照)、この期間(以下「初期化・書込期間」という)では、各スイッチ $R1 \sim R3$, QEL および選択トランジスタ QSL は、図5に示すような動作状態(オン/オフ状態)となる。図5において、点線の円は、その中のスイッチング素子としてのトランジスタがオフ状態であることを示し、点線の矩形は、その中のスイッチング素子としてのトランジスタがオン状態であることを示している(このような表現方法は、後述の図9においても採用されている)。

[0040] 図6は、第2従来例に係る表示装置の駆動を説明するための信号波形図であり、図4に示した画素回路15bすなわち i 行 j 列目の画素回路 $Pix(i, j)$ の初期化動作、データ書込動作、および点灯動作における各信号(走査信号 $G[i]$ 、発光制御信号 $E[i]$ 、内部データ信号 $S[k]$ 、制御信号 $GP[i]$, $GIN11[i]$, $GIN12[i]$ 、選択信号 $SEL[1] \sim SEL[3]$)の変化を示している。なお、第2従来例における走査信号 $G[i]$ 、発光制御信号 $E[i]$ 、データ信号 $D[j]$ は、本実施形態における走査信号線 G_i の信号、発光制御線 E_i の信号、データ信号線 D_j の信号にそれぞれ対応する($i = 1 \sim n$, $j = 1 \sim m$)。

[0041] 図6に示すように、この第2従来例における画素回路 $Pix(i, j)$ では、初期化の期間 TRD とデータ書込の期間 T_w とが一致しており、この期間(初期化・書込期間)では、制御信号 $GP[i]$, $GIN12[i]$, 走査信号 $G[i]$ がハイレベル(アクティブ)であることから、第2および第3スイッチ $R2$, $R3$ および選択トランジスタ QSL がオン状態である。このため、駆動トランジスタ TDR のゲート端子に基準電圧 V_{ST2} が与えられてゲート電圧 V_g がこの基準電圧 V_{ST2} に初期化されるとともに、第1容量素子 $C1$ の電極 $e1$ にデータ信号 $D[j]$ (データ信号 $D[3k-2]$, $D[3k-1]$, $D[3k]$ のいずれか)が与えられることにより第1容量素子 $C1$ の充電(データ信号 $D[j]$ によるデータ書込)が行われる。なお初期化

・書込期間では、制御信号 $GIN1[i]$ および発光制御信号 $E[i]$ がローレベル（非アクティブ）であることから、第1スイッチ $R1$ および発光制御スイッチ QEL はオフ状態である。

[0042] 上記の初期化・書込期間（ TRD 、 TW ）の直後に補償期間 TH が設けられており、この補償期間 TH では、制御信号 $GIN2[i]$ はハイレベルに維持されるが制御信号 $GP[i]$ はローレベルである。駆動トランジスタ TDR の閾値電圧を Vth とすると、この補償期間 TH においてゲート電圧 Vg が $ELVDD - |Vth|$ に漸近し、これにより、直後の発光期間において駆動トランジスタ TDR のゲート・ソース間電圧が閾値補償の施された値となる。

[0043] その後、制御信号 $GIN2[i]$ および走査信号 $G[i]$ もローレベル（非アクティブ）に変化し、制御信号 $GIN1[i]$ がハイレベル（アクティブ）に変化し、さらにその後、発光制御信号 $E[i]$ がハイレベル（アクティブ）に変化して発光期間 TL が開始する。この発光期間 TL の開始直後に放電期間 TD が設けられており、この放電期間 TD では、制御信号 $GP[i]$ 、 $E[i]$ がハイレベルである。このため、発光素子 E の寄生容量に充電されていた電荷が、発光制御スイッチ QEL とスイッチ $R3$ とを介して放電される。これにより、直前のフレームの発光状態に応じて充電された電荷を放電させることができるので、現在のフレームで正確な階調を表示することが可能となる。

[0044] 上記のような第2従来例によれば、各画素回路 $15b$ において駆動トランジスタ TDR のゲート電圧 Vg の初期化がデータ書込と同時に行われるので（図5、図6参照）、第1従来例（図2、図3）に比べ、各画素回路 $15b$ につき非発光期間を短くすることができる。しかし、この画素回路 $15b$ では、発光素子 E における寄生容量の放電（発光素子 E のアノード電圧の初期化）をデータ書込と同時に行うことができない。このため、発光素子 E の寄生容量の放電が発光期間 TL 内に行われる（図6に示す放電期間 TD 参照）。これは発光期間 TL における発光素子 E の輝度の不安定化を招くおそれがある。

る。

[0045] <4. 本実施形態における画素回路の構成および動作>

次に、本実施形態における画素回路15の構成および動作につき図7～図10を参照して説明する。図7は、本実施形態における画素回路15の構成を示す回路図である。図8は、本実施形態に係る有機EL表示装置10の駆動を説明するための信号波形図である。図9(A)は、本実施形態における画素回路15の初期化動作およびデータ書込動作を示す回路図であり、図9(B)は、当該画素回路15の点灯動作を示す回路図である。図10は、本実施形態における発光期間での駆動トランジスタの動作を説明するための図であり、本実施形態における画素回路の各部における電荷量を示している。

[0046] 図7は、本実施形態におけるi番目の走査信号線G_iおよびj番目のデータ信号線D_jに対応する画素回路15すなわちi行j列目の画素回路P_i×(i, j)の構成を示している(1≤i≤n、1≤j≤m)。この画素回路15は、表示素子としての有機EL素子OLEDと、第1および第2キャパシタC₁、C₂と、駆動トランジスタM₁と、第1および第2初期化トランジスタM₂、M₃と、発光制御トランジスタM₄と、第1および第2書込制御トランジスタM₅、M₆と含んでいる。この画素回路15において、駆動トランジスタM₁以外のトランジスタM₂～M₆はスイッチング素子として機能する。この画素回路15に含まれるトランジスタは全てPチャネル型であるが、それらの一部または全部がNチャネル型であってもよい。

[0047] 図1に示すように、画素回路15には、それに対応する走査信号線(対応走査信号線)G_i、それに対応する発光制御線(対応発光制御線)E_i、それに対応するデータ信号線(対応データ信号線)D_j、初期化電圧供給線V_{ini}、基準電圧供給線V_{sus}、ハイレベル電源線ELVDD、および、ローレベル電源線ELVSSが接続されている。なお、初期化電圧V_{ini}はローレベル電源電圧ELVSSと異なる電圧であってもよいが、初期化電圧V_{ini}としてローレベル電源電圧ELVSSに等しい電圧を選定した場合、初期化電圧供給線V_{ini}を設けずに、ローレベル電源線ELVSSが

初期化電圧供給線 V_{ini} としても使用される構成とするのが好ましい。また、基準電圧 V_{sus} はハイレベル電源電圧 $ELVDD$ と異なる電圧であってもよいが、基準電圧 V_{sus} としてハイレベル電源電圧 $ELVDD$ に等しい電圧を選定した場合、基準電圧供給線 V_{sus} を設けずに、ハイレベル電源線 $ELVDD$ が基準電圧供給線 V_{sus} としても使用される構成とするのが好ましい。

[0048] 図7に示すように、画素回路15では、駆動トランジスタM1の第1導通端子としてのソース端子は、発光制御トランジスタM4を介してハイレベル電源線 $ELVDD$ に接続されている。駆動トランジスタM1の第2導通端子としてのドレイン端子は、有機EL素子OLEDの第1端子としてのアノード電極に接続されている。駆動トランジスタM1の制御端子としてのゲート端子は、第2キャパシタC2を介して上記第1導通端子に接続され、かつ、第1キャパシタC1の第1端子に接続され、かつ、第1初期化トランジスタM2を介して上記第2導通端子に接続されている。有機EL素子OLEDのアノード電極は第2初期化トランジスタM3を介して初期化電圧供給線 V_{ini} に接続され、有機EL素子OLEDの第2端子としてのカソード電極はローレベル電源線 $ELVSS$ に接続されている。第1キャパシタC1の第2端子は、第1書込制御トランジスタM5を介して対応データ信号線 D_j に接続されるとともに、第2書込制御トランジスタM6を介して基準電圧供給線 V_{sus} に接続されている。また、第1書込制御トランジスタM5、第1初期化トランジスタM2、および第2初期化トランジスタM3のゲート端子は対応走査信号線 G_i に接続され、発光制御トランジスタM4および第2書込制御トランジスタM6のゲート端子は対応発光制御線 E_i に接続されている。なお、図7を図4と比較するとわかるように、本実施形態における画素回路15に含まれるトランジスタM1～M6は、第2従来例における画素回路15bに含まれるトランジスタTDR, R2, R3, QEL, QSL, R1にそれぞれ対応する。しかし、第2従来例における画素回路15bでは、発光制御スイッチとしてのトランジスタQELが駆動トランジスタTDRのドレイン端子

と発光素子Eのアノード電極との間に接続されているのに対し、本実施形態における画素回路15では、発光制御トランジスタM4は駆動トランジスタM1のソース端子とハイレベル電源線ELVDDとの間に接続されている。

[0049] 図8は、図7に示した画素回路15すなわち*i*行*j*列目の画素回路 $P_{i \times j}$ (*i*, *j*)の初期化動作、データ書込動作、および点灯動作における各信号線(対応発光制御線 E_i 、対応走査信号線 G_i 、対応データ信号線 D_j)の電圧、駆動トランジスタM1のゲート電圧 V_g 、駆動トランジスタM1のソース端子の電圧(以下「ソース電圧」という) V_s 、有機EL素子OLEDのアノード電極の電圧(アノード電圧) V_a の変化を示している。図8において、時刻 $t_1 \sim t_4$ の期間は、*i*行目の画素回路 $P_{i \times j}$ (*i*, 1) $\sim$ $P_{i \times j}$ (*i*, *m*)の非発光期間である。時刻 $t_2 \sim t_4$ の期間は第*i*水平期間であり、時刻 $t_2 \sim t_3$ の期間は*i*番目の走査信号線(対応走査信号線) G_i の選択期間すなわち第*i*走査選択期間である。この第*i*走査選択期間は、*i*行目の画素回路 $P_{i \times j}$ (*i*, 1) $\sim$ $P_{i \times j}$ (*i*, *m*)において初期化およびデータ書込が同時に行われる初期化・書込期間に相当する。なお本実施形態では、画素回路 $P_{i \times j}$ (*i*, *j*)において、対応発光制御線 E_i の電圧がローレベル(アクティブ)であって発光制御トランジスタM4がオン状態である期間を「発光期間」と呼び、対応発光制御線 E_i の電圧がハイレベル(非アクティブ)であって発光制御トランジスタM4がオフ状態である期間を「非発光期間」と呼ぶものとする。これら発光期間および非発光期間は、有機EL素子OLEDが発光状態である期間および非発光状態である期間にそれぞれ対応するが、本実施形態では後述のように、発光期間は有機EL素子OLEDが実際に発光する期間とは若干相違する(したがって、非発光期間(時刻 $t_1 \sim t_4$)も有機EL素子OLEDが非発光状態である期間と若干相違する)。

[0050] 本実施形態における*i*行*j*列目の画素回路 $P_{i \times j}$ (*i*, *j*)では、図8に示すように時刻 t_1 において発光制御線 E_i の電圧がローレベルからハイレベル(非アクティブ)に変化すると、発光制御トランジスタM4がオン状態

からオフ状態に変化し、有機EL素子OLEDは非発光状態となる。このとき、第2書込制御トランジスタM6もオン状態からオフ状態に変化することで第1キャパシタC1の第2端子がフローティング状態となる。この時刻 t_1 から第 i 走査選択期間の開始時点 t_2 までの間に、データ側駆動回路30により、 i 行 j 列目の画素に対応するデータ電圧としてのデータ信号 $D(j)$ のデータ信号線 D_j への印加が開始され、少なくとも第 i 走査選択期間の終了時点 t_3 まで当該データ信号 $D(j)$ の印加が継続する。

[0051] 時刻 t_2 において、図8に示すように、対応走査信号線 G_i の電圧がハイレベルからローレベル（アクティブ）に変化することで対応走査信号線 G_i が選択状態となる。このため、第1書込制御トランジスタM5がオフ状態からオン状態に変化する。このとき、第1および第2初期化トランジスタM2, M3もオフ状態からオン状態に変化する。

[0052] 時刻 $t_2 \sim t_3$ の期間は、既述のように i 行目の画素回路 $P_{ix}(i, 1) \sim P_{ix}(i, m)$ における初期化・書込期間であり、この初期化・書込期間では、上記のように第1および第2初期化トランジスタM2, M3ならびに第1書込制御トランジスタM5はオン状態である。図9(A)は、この初期化・書込期間における画素回路 $P_{ix}(i, j)$ の状態すなわち初期化およびデータ書込が同時に行われるときの回路状態を模式的に示している。この初期化・書込期間では、初期化電圧供給線 V_{ini} の電圧が第1および第2初期化トランジスタM2, M3を介して駆動トランジスタM1のゲート端子に与えられことで、図8に示すようにゲート電圧 V_g が初期化電圧 V_{ini} に初期化される。また、この初期化・書込期間では、対応データ信号線 D_j の電圧がデータ電圧 V_{data} として第1書込制御トランジスタM5を介して第1キャパシタC1の第2端子に与えられる。その結果、図10に示すように、初期化・書込期間の終了時点において第1キャパシタC1に蓄積されている電荷量（駆動トランジスタM1のゲート端子側の電荷量）は、 $C_1(V_{ini} - V_{data})$ となる。

[0053] 直前のフレーム期間における発光期間では、通常、駆動トランジスタM1

の閾値電圧の絶対値 $|V_{th}|$ よりも大きい電圧が第2キャパシタC2に保持されており、時刻 $t_1 \sim t_2$ の期間では、トランジスタM2, M4, M5, M6がオフ状態であるので、第2キャパシタC2の当該保持電圧（駆動トランジスタM1のゲート端子を基準とする保持電圧）が維持され、駆動トランジスタM1はオン状態である。初期化・書込期間（時刻 $t_2 \sim t_3$ ）では、この駆動トランジスタM1のソース端子がオフ状態の発光制御トランジスタM4によってハイレベル電源線ELVDDから電氣的に切り離されており、この駆動トランジスタM1はそのゲート端子とドレイン端子とがオン状態の第1初期化トランジスタM2を介して電氣的に接続されることでダイオード接続状態となっている。これにより、直後の発光期間における駆動トランジスタM1のゲート・ソース間電圧に対する閾値電圧 V_{th} のばらつきや変動の影響を抑えるための補償動作が行われる。また、この初期化・書込期間では、駆動トランジスタM1のソース端子がハイレベル電源線ELVDDから電氣的に切り離されており、駆動トランジスタM1のゲート端子がオン状態の第1および第2初期化トランジスタM2, M3を介して初期化電圧供給線Vin1に電氣的に接続されているので、これにより当該補償動作が行われるとも言える。この初期化・書込期間における補償動作は、駆動トランジスタM1の閾値電圧に等しい電圧を第2キャパシタC2に保持させるための動作であり、具体的には次の様な動作である。すなわち、時刻 t_2 において駆動トランジスタM1のゲート端子が初期化電圧供給線Vin1に接続されることにより又は当該駆動トランジスタM1のドレイン端子に接続されることにより、第2キャパシタC2における蓄積電荷が流出して駆動トランジスタM1に電流が流れ始める。第2キャパシタC2の蓄積電荷が流出すると第2キャパシタC2の保持電圧が低下し、その保持電圧が駆動トランジスタM1の閾値電圧の絶対値 $|V_{th}|$ と等しくなると電荷流出が停止する。このようにして、直前フレームの発光状態に応じて第2キャパシタC2に充電された電荷は、初期化・書込期間（時刻 $t_2 \sim t_3$ ）において、第2キャパシタC2の保持電圧が駆動トランジスタM1の閾値電圧の絶対値 $|V_{th}|$ よ

りも大きい間は駆動トランジスタM1を介して流出し、第2キャパシタC2の保持電圧が閾値電圧の絶対値 $|V_{th}|$ に等しくなると、その電荷の流出が停止する。その結果、図10に示すように、初期化・書込期間の終了時点において第2キャパシタC2に蓄積されている電荷量（駆動トランジスタM1のゲート端子側の電荷量）は、 $-C2|V_{th}|$ となる。すなわち、第2キャパシタC2は、駆動トランジスタM1のゲート端子を基準として電圧 $|V_{th}|$ に充電された状態となる。

[0054] さらに、この初期化・書込期間では、有機EL素子OLEDのアノード電極が第2初期化トランジスタM3を介して初期化電圧供給線 V_{ini} に電氣的に接続されているので、図8に示すように、有機EL素子OLEDの寄生容量の蓄積電荷が放電されてアノード電圧 V_a も初期化電圧 V_{ini} に初期化される。なお初期化・書込期間において、このようにアノード電圧 V_a を初期化電圧 V_{ini} （ $=ELV_{IS}$ ）で初期化することにより、有機EL素子OLEDは発光制御トランジスタの有無に拘わらず発光しない。

[0055] 初期化・書込期間としての第 i 走査選択期間の終了時点である時刻 t_3 において、対応走査信号線 G_i の電圧はハイレベルに変化し、これにより第1および第2初期化トランジスタM2、M3ならびに第1書込制御トランジスタM5がオフ状態に変化する。

[0056] その後、時刻 t_4 において、発光制御線 E_i の電圧がローレベルに変化する。このため、発光制御トランジスタM4がオン状態となって発光期間が開始する。また、このとき、第2書込制御トランジスタM6がオン状態に変化することで、第1キャパシタC1の第2端子に基準電圧 V_{sus} が印加される。時刻 t_4 を開始時点とする発光期間では、画素回路 $P_{ix}(i, j)$ において、上記のようにして発光制御トランジスタM4および第2書込制御トランジスタM6はオン状態であり、第1初期化トランジスタM2、第2初期化トランジスタM3、および、第1書込制御トランジスタM5はオフ状態である。このように発光期間の開始時 t_4 において発光制御トランジスタM4がオフ状態からオン状態に変化するときに、駆動トランジスタM1のゲート

端子が初期化電圧供給線 V_{ini} から電氣的に切り離されており、駆動トランジスタ $M1$ のソース端子にハイレベル電源電圧 $ELVDD$ が与えられるとともに、第1キャパシタ $C1$ の第2端子に基準電圧 V_{sus} が与えられる。これにより、第1キャパシタ $C1$ と第2キャパシタ $C2$ との間で電荷が移動することで、対応データ信号線の電圧に対し発光期間直前（時刻 t_4 直前）における第2キャパシタ $C2$ の保持電圧に基づき閾値補償の施された電圧に相当する電圧が第2キャパシタ $C2$ に保持されるようになる。このため有機 EL 素子 $OLED$ は、発光期間が開始すると直ちに所望の輝度（上記対応データ信号線の電圧に応じた輝度）で発光するのではなく、上記電荷移動にしたがって黒表示の状態から所望輝度の発光状態へと漸次的に変化する。図9（B）は、この発光期間における画素回路 $P_{ix}(i, j)$ の状態すなわち点灯動作時の回路状態を模式的に示している。この発光期間では、ハイレベル電源線 $ELVDD$ から発光制御トランジスタ $M4$ 、駆動トランジスタ $M1$ 、および、有機 EL 素子 $OLED$ を経由してローレベル電源線 $ELVSS$ に電流 I_1 が流れる。この電流 I_1 は、上記の初期化・書込期間の終了時点 t_3 における第1および第2キャパシタ $C1$ 、 $C2$ の保持電圧に応じたものであり、この電流 I_1 を示す式を以下のようにして導出することができる。

[0057] 既述のように初期化・書込期間の終了時点 t_3 において、第1キャパシタ $C1$ における蓄積電荷量は $C1(V_{ini} - V_{data})$ であり、第2キャパシタ $C2$ における蓄積電荷量は $-C2|V_{th}|$ であるので、駆動トランジスタ $M1$ のゲート端子を含むノード（以下「ノードG」という）における初期化・書込期間の終了時点 t_3 の電荷量 $Q_g(t_3)$ は、

$$Q_g(t_3) = C1(V_{ini} - V_{data}) - C2|V_{th}| \quad \dots (7)$$

である。一方、発光期間におけるゲート電圧 V_g を V_{out} で示すものとする、発光期間において、第1キャパシタ $C1$ における蓄積電荷量は $C1(V_{out} - V_{sus})$ であり、第2キャパシタ $C2$ における蓄積電荷量は $C2(V_{out} - ELVDD)$ である。したがって、この発光期間におけるノードGの電荷量 $Q_g(t_e)$ は、

$$Q_g(t_e) = C1(V_{out} - V_{sus}) + C2(V_{out} - ELVDD) \quad \dots (8)$$

である（ t_e は当該発光期間内の時刻を示す（ $t_e > T_4$ ））。ノードGに関する電荷保存則より $Q_g(t_3) = Q_g(t_e)$ であるので、上記式（7）および（8）より、

$$C1(V_{ini} - V_{data}) - C2|V_{th}| = C1(V_{out} - V_{sus}) + C2(V_{out} - ELVDD)$$

である。したがって、発光期間におけるゲート電圧 $V_g = V_{out}$ は次式で与えられる。

$$V_{out} = \{C1/(C1+C2)\} (V_{ini} - V_{data} + V_{sus}) + \{C2/(C1+C2)\} (ELVDD - |V_{th}|) \quad \dots (9)$$

上記式（9）より、駆動トランジスタM1のゲート・ソース間電圧（ソース端子を基準とするゲート端子の電圧） V_{gs} は、

$$\begin{aligned} V_{gs} &= V_{out} - ELVDD \\ &= \{C1/(C1+C2)\} (V_{ini} - V_{data} + V_{sus} - ELVDD) - \{C2/(C1+C2)\} |V_{th}| \quad \dots (10) \end{aligned}$$

である。発光期間における電流 I_1 は、第1従来例と同様、既述の式（1）で与えられる。したがって、上記式（9）で示される $V_g = V_{out}$ または上記式（10）を式（1）に代入すると、

$$I_1 = (\beta/2) [\{C1/(C1+C2)\} (V_{data} - V_{ini} - |V_{th}| - V_{sus} + ELVDD)]^2 \quad \dots (11)$$

となる。発光期間では、画素回路 $P_{ix}(i, j)$ における有機EL素子OLEDは、上記式（11）により示される電流 I_1 に応じた輝度で発光する。

[0058] <5. 効果>

上記のように本実施形態によれば、第2従来例と同様、駆動トランジスタM1のゲート電圧 V_g の初期化とデータ書込とが同時に行われるので（図8、図9（A））、第1従来例（図2、図3）に比べ、各画素回路 $P_{ix}(i, j)$ において、非発光期間を短くすることができ、先行走査信号線 $G_i -$

1の接続が不要となる。また本実施形態は、第2従来例（図6参照）とは異なり、駆動トランジスタM1の閾値電圧に等しい電圧を第2キャパシタC2に保持させるための補償動作も上記の初期化およびデータ書込と同時に行われるので、第2従来例に比べても非発光期間の短縮化において有利である。さらに本実施形態によれば、第2従来例とは異なり、有機EL素子OLEDのアノード電圧 V_a の初期化もデータ書込と同時に行われる（図8、図9（A））。このため、発光素子Eのアノード電圧の初期化が発光期間 T_L 内に行われる第2従来例（図6に示す放電期間 T_D 参照）とは異なり、アノード電圧 V_a の初期化によって有機EL素子OLEDの輝度の不安定化を招くことはない。また、アノード電圧 V_a の初期化のための第2初期化トランジスタM3の制御信号として第1初期化トランジスタM2の制御信号と同様に走査信号 $G(i)$ が使用されるので（図7参照）、第1従来例だけでなく第2従来例と比べても制御信号のための配線領域が低減される。

[0059] 本実施形態では、発光期間において画素回路 $P_{ix}(i, j)$ の有機EL素子OLEDに流れる電流 I_1 は上記式（11）で示され、この式には $|V_{th}|$ に関する項が含まれている。しかし、第1従来例における電流 I_1 の式（1）に含まれる括弧内の $|V_{th}|$ に関する項は“ $-|V_{th}|$ ”であるのに対し、本実施形態における電流 I_1 の式（11）に含まれる大括弧内の $|V_{th}|$ に関する項は“ $-\{C_1 / (C_1 + C_2)\} |V_{th}|$ ”である。このため本実施形態では、第1および第2キャパシタ C_1 , C_2 の容量値の設定により、有機EL素子OLEDの駆動電流 I_1 に対する閾値電圧 V_{th} の影響を十分に小さくすることができる。したがって、第1および第2キャパシタ C_1 , C_2 の容量値の適切な設定により、点灯動作において閾値電圧 V_{th} のばらつきや変動が実質的に補償される。また、上記式（11）に含まれる大括弧内のデータ電圧 V_{data} に関する項は“ $\{C_1 / (C_1 + C_2)\} V_{data}$ ”であり、係数として $C_1 / (C_1 + C_2)$ を含むので、データ電圧 V_{data} を大きく変化させても表示素子としての有機EL素子OLEDの駆動電流 I_1 の変化は比較的小さい。したがって本実施形態

によれば、階調制御性を高めることができる。

[0060] 既述のように本実施形態では、有機EL素子OLEDは、その発光期間が開始すると直ちに所望の輝度で発光するのではなく、黒表示の状態から所望輝度の発光状態へと漸次的に変化する。このため、画像表示において、非発光期間による黒挿入に加えて、発光期間の開始時（対応発光制御線E_iの電圧がローレベルに変化した時）において有機EL素子OLEDが黒表示状態から所望輝度の発光状態へと漸次的に変化することによっても黒挿入が行われる。したがって、非発光期間による黒挿入が短くても、このような有機EL素子OLEDの漸次的な状態変化による黒挿入により、黒表示の期間を十分に確保して良好な動画性能を得ることができる。

[0061] <6. 変形例>

本発明は上記実施形態に限定されるものではなく、本発明の範囲を逸脱しない限りにおいてさらに種々の変形を施すことができる。例えば既述のように、初期化電圧V_{ini}としてローレベル電源電圧ELVSSに等しい電圧を選定し、ローレベル電源線ELVSSを初期化電圧供給線V_{ini}として共用してもよい。また既述のように、基準電圧V_{sus}としてハイレベル電源電圧ELVDDに等しい電圧を選定し、ハイレベル電源線ELVDDを基準電圧供給線V_{sus}として共用してもよい。これらの構成によれば、表示部11における配線領域を低減することができる。

[0062] また、上記実施形態において、初期化・書込期間（第i走査選択期間）の終了時点t₃から発光期間の開始時点t₄までの期間を画素回路15において誤動作や不具合が生じない範囲でできる限り短くすることで、初期化・書込期間（時刻t₂～t₃）または発光期間を長くすることができる。また、非発光期間の開始時点t₁から初期化・書込期間（第i走査選択期間）の開始時点t₂までの期間を画素回路15において誤動作や不具合が生じない範囲でできる限り短くすることで、初期化・書込期間（時刻t₂～t₃）または発光期間を長くすることができる。また、上記t₁～t₂の期間および上記t₃～t₄の期間を画素回路15において誤動作や不具合が生じない範囲

のできる限り短くすることで、有機EL素子OLEDが非発光状態である期間すなわち黒挿入の期間をできるだけ短くすることにより（黒挿入の期間を初期化・書込期間に略等しくすることにより）、発光期間を長くすることができる。

[0063] また、上記実施形態における画素回路15では、図7に示すように、駆動トランジスタ

M1のゲート端子は、第1初期化トランジスタM2を介して駆動トランジスタM1のドレイン端子に接続されており、第1および第2初期化トランジスタM2、M3を介して初期化電圧供給線Vin1に接続されている。しかし、これに代えて、図11に示すように、駆動トランジスタM1のゲート端子が第1初期化トランジスタM2のみを介して初期化電圧供給線Vin1に接続されていてもよい。この図11に示す画素回路16を用いた表示装置は、初期化・書込期間において第1および第2初期化トランジスタM2、M3により駆動トランジスタM1におけるダイオード接続が実現される点で、第1初期化トランジスタM2のみにより当該ダイオード接続が実現される上記実施形態と相違するが、上記実施形態と実質的に同様に動作し（図8参照）、同様の効果を奏する。

[0064] また以上においては、有機EL表示装置を例に挙げて実施形態およびその変形例が説明されたが、本発明は、有機EL表示装置に限定されるものではなく、電流で駆動される表示素子を用いた内部補償方式の表示装置であれば適用可能である。ここで使用可能な表示素子は、電流によって輝度または透過率等が制御される表示素子であり、例えば、有機EL素子すなわち有機発光ダイオード（Organic Light Emitting Diode（OLED））の他、無機発光ダイオードや量子ドット発光ダイオード（Quantum dot Light Emitting Diode（QLED））等が使用可能である。

符号の説明

[0065] 10 …有機EL表示装置

11 …表示部

15, 16 …画素回路

$P_{ix}(j, i)$ …画素回路 ($i = 1 \sim n$ 、 $j = 1 \sim m$)

20 …表示制御回路

30 …データ側駆動回路 (データ信号線駆動回路)

40 …走査側駆動回路 (走査信号線駆動／発光制御回路)

G_i …走査信号線 ($i = 1 \sim n$)

E_i …発光制御線 ($i = 1 \sim n$)

D_j …データ信号線 ($j = 1 \sim m$)

V_{ini} …初期化電圧供給線、初期化電圧

V_{sus} …基準電圧供給線、基準電圧

$ELVDD$ …ハイレベル電源線 (第1電源線)、ハイレベル電源電圧

$ELVSS$ …ローレベル電源線 (第2電源線)、ローレベル電源電圧

OLED …有機EL素子 (表示素子)

C1 …第1キャパシタ

C2 …第2キャパシタ

M1 …駆動トランジスタ

M2 …第1初期化トランジスタ (第1初期化スイッチング素子)

M3 …第2初期化トランジスタ (第2初期化スイッチング素子)

M4 …発光制御トランジスタ (発光制御スイッチング素子)

M5 …第1書込制御トランジスタ (第1書込制御スイッチング素子)

M6 …第2書込制御トランジスタ (第2書込制御スイッチング素子)

V_a …アノード電圧

V_g …ゲート電圧

V_s …ソース電圧

請求の範囲

[請求項1]

複数のデータ信号線と、前記複数のデータ信号線に交差する複数の走査信号線と、前記複数の走査信号線にそれぞれ対応する複数の発光制御線と、前記複数のデータ信号線および前記複数の走査信号線に沿ってマトリクス状に配置された複数の画素回路とを有する表示装置であって、

第1および第2電源線と、

初期化電圧供給線と、

基準電圧供給線と、

前記複数のデータ信号線を駆動するデータ信号線駆動回路と、

前記複数の走査信号線を選択的に駆動する走査信号線駆動回路と、

前記複数の発光制御線を駆動する発光制御回路と、

を備え、

各画素回路は、

電流によって駆動される表示素子と、

第1および第2キャパシタと、

前記第1および第2キャパシタに保持される電圧に応じて前記表示素子の駆動電流を制御する駆動トランジスタと、

発光制御スイッチング素子とを含み、

前記駆動トランジスタの第1導通端子は、前記発光制御スイッチング素子を介して前記第1電源線に接続され、

前記駆動トランジスタの第2導通端子は前記表示素子の第1端子に接続され、

前記駆動トランジスタの制御端子は、前記第2キャパシタを介して前記第1導通端子に接続されるとともに、前記第1キャパシタの第1端子に接続され、

前記表示素子の第2端子は前記第2電源線に接続され、

各画素回路は、

前記複数のデータ信号線のいずれか1つに対応するとともに前記複数の走査信号線のいずれか1つに対応し、

対応するデータ信号線の電圧が当該画素回路に書き込まれるときに、前記発光制御スイッチング素子がオフ状態に制御されており、対応する走査信号線の選択に応じて、前記第1キャパシタの第2端子に当該対応するデータ信号線の電圧が与えられるとともに、前記駆動トランジスタの前記制御端子および前記表示素子の前記第1端子に前記初期化電圧供給線の電圧が与えられるように構成されている、表示装置。

[請求項2] 各画素回路では、前記発光制御スイッチング素子がオフ状態に制御されていて、かつ、対応する走査信号線が選択状態であるときに、前記初期化電圧供給線の電圧が前記駆動トランジスタの前記制御端子および前記表示素子の前記第1端子に供給されるとともに、対応するデータ信号線の電圧が前記第1キャパシタの前記第2端子に供給されることにより、前記対応するデータ信号線の電圧と前記初期化電圧供給線の電圧との差に相当する電圧が前記第1キャパシタに保持され、前記駆動トランジスタの閾値電圧が検出されて前記第2キャパシタに保持される、請求項1に記載の表示装置。

[請求項3] 各画素回路は、当該画素回路において前記第1および第2キャパシタの保持電圧に基づき前記表示素子が駆動されるときに、前記駆動トランジスタの前記制御端子および前記表示素子の前記第1端子が前記初期化電圧供給線から電氣的に切り離され、前記第1キャパシタの前記第2端子に前記基準電圧供給線の電圧が与えられるとともに、前記発光制御スイッチング素子がオン状態に制御されるように構成されている、請求項1に記載の表示装置。

[請求項4] 各画素回路では、前記駆動トランジスタの前記制御端子および前記表示素子の前記第1端子が前記初期化電圧供給線から電氣的に切り離されていて、かつ、前記発光制御スイッチング素子がオフ状態からオ

ン状態に制御されるときに、前記駆動トランジスタの前記第1導通端子に前記第1電源線の電圧が与えられるとともに前記第1キャパシタの前記第2端子に前記基準電圧供給線の電圧が与えられることにより、前記対応するデータ信号線の電圧に応じた電圧が前記第2キャパシタに保持されるように前記第1キャパシタと前記第2キャパシタの間で電荷が移動する、請求項3に記載の表示装置。

[請求項5] 各画素回路では、前記駆動トランジスタの前記制御端子および前記表示素子の前記第1端子が前記初期化電圧供給線から電氣的に切り離されていて、かつ、前記発光制御スイッチング素子がオフ状態からオン状態に制御されるときに、前記表示素子は、黒表示状態から前記対応するデータ信号線の電圧に応じた輝度の発光状態へと漸次的に変化する、請求項3に記載の表示装置。

[請求項6] 各画素回路は、第1および第2書込制御スイッチング素子を更に含み、

各画素回路において、前記第1キャパシタの前記第2端子は、前記第1書込制御スイッチング素子を介して対応するデータ信号線に接続されるとともに、前記第2書込制御スイッチング素子を介して前記基準電圧供給線に接続されている、請求項1または3に記載の表示装置。

[請求項7] 各画素回路は、第1および第2初期化スイッチング素子を更に含み、

各画素回路において、前記駆動トランジスタの前記制御端子は前記第1初期化スイッチング素子を介して前記第2導通端子に接続され、前記表示素子の前記第1端子は前記第2初期化スイッチング素子を介して前記初期化電圧供給線に接続されている、請求項1から6のいずれか1項に記載の表示装置。

[請求項8] 各画素回路において、前記第1書込制御スイッチング素子、前記第1初期化スイッチング素子、および前記第2初期化スイッチング素子

の制御端子は、対応する走査信号線に接続され、前記第2書込制御スイッチング素子および前記発光制御スイッチング素子の制御端子は、前記対応する走査信号線に対応する発光制御線に接続されている、請求項7に記載の表示装置。

[請求項9] 前記走査信号線駆動回路は、前記複数の走査信号線が順次に選択されるように順次にアクティブとなる複数の走査信号を前記複数の走査信号線にそれぞれ印加し、

前記発光制御回路は、前記複数の走査信号線のそれぞれにつき、当該走査信号線の選択期間を含む非発光期間は非アクティブであって当該走査信号線以外の走査信号線の選択期間を含む発光期間はアクティブである発光制御信号を、当該走査信号線に対応する発光制御線に印加する、請求項8に記載の表示装置。

[請求項10] 前記第2電源線は、前記初期化電圧供給線として共用されている、請求項1から9のいずれか1項に記載の表示装置。

[請求項11] 前記第1電源線は、前記基準電圧供給線として共用されている、請求項1から9のいずれか1項に記載の表示装置。

[請求項12] 前記第1電源線は高圧側電源線であり、前記第2電源線は低圧側電源線であり、

前記駆動トランジスタはPチャネル型トランジスタである、請求項1から11のいずれか1項に記載の表示装置。

[請求項13] 複数のデータ信号線と、前記複数のデータ信号線に交差する複数の走査信号線と、前記複数の走査信号線にそれぞれ対応する複数の発光制御線と、第1および第2電源線と、初期化電圧供給線と、基準電圧供給線と、前記複数のデータ信号線および前記複数の走査信号線に沿ってマトリクス状に配置された複数の画素回路とを有する表示装置の駆動方法であって、

各画素回路は、

前記複数のデータ信号線のいずれか1つに対応するとともに前記

複数の走査信号線のいずれか1つに対応し、

電流によって駆動される表示素子と、第1および第2キャパシタと、前記第1および第2キャパシタに保持される電圧に応じて前記表示素子の駆動電流を制御する駆動トランジスタと、発光制御スイッチング素子とを含み、

前記駆動トランジスタの第1導通端子は、前記発光制御スイッチング素子を介して前記第1電源線に接続され、

前記駆動トランジスタの第2導通端子は前記表示素子の第1端子に接続され、

前記駆動トランジスタの制御端子は、前記第2キャパシタを介して前記第1導通端子に接続されるとともに、前記第1キャパシタの第1端子に接続され、

前記表示素子の第2端子は前記第2電源線に接続され、

前記駆動方法は、各画素回路に対応するデータ信号線の電圧を書き込むときに、当該画素回路において、前記発光制御スイッチング素子をオフ状態に制御し、前記第1キャパシタの第2端子に当該対応するデータ信号線の電圧を与えるとともに、前記駆動トランジスタの前記制御端子および前記表示素子の前記第1端子に前記初期化電圧供給線の電圧を与えるデータ書込ステップを含む、駆動方法。

[請求項14]

前記データ書込ステップにおいて、前記第2キャパシタは前記駆動トランジスタの閾値電圧に相当する電圧に充電され、前記第1キャパシタは前記対応するデータ信号線の電圧と前記初期化電圧供給線の電圧との差に相当する電圧に充電される、請求項13に記載の駆動方法。

[請求項15]

前記第1および第2キャパシタの保持電圧に基づき前記表示素子を駆動するときに、前記駆動トランジスタの前記制御端子および前記表示素子の前記第1端子を前記初期化電圧供給線から電氣的に切り離し、前記第1キャパシタの前記第2端子に前記基準電圧供給線の電圧を

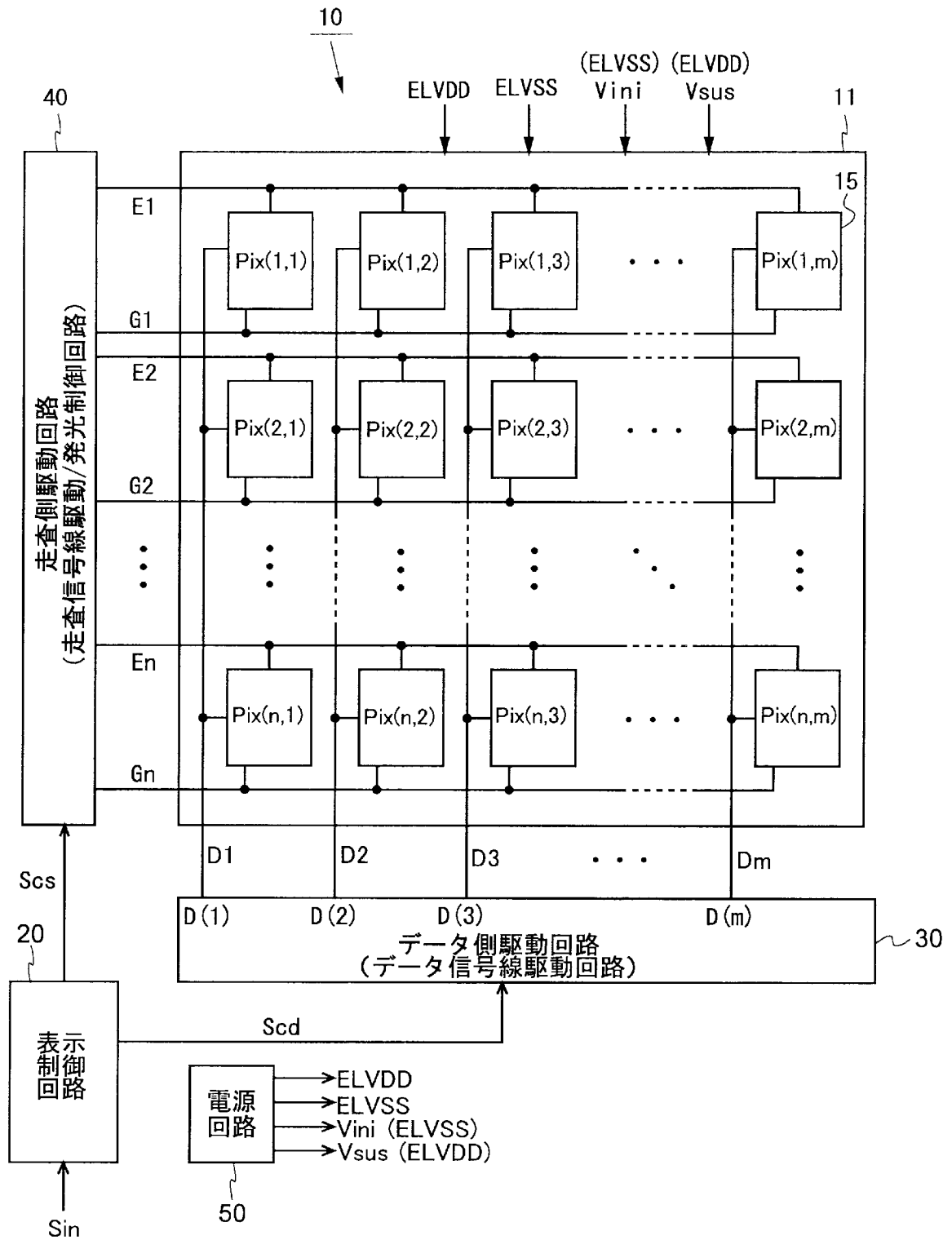
与えるとともに、前記発光制御スイッチング素子をオン状態に制御する点灯ステップを更に備える、請求項 13 または 14 に記載の駆動方法。

[請求項16] 前記点灯ステップにおいて、前記駆動トランジスタの前記制御端子と前記第 1 導通端子との間の電圧 V_{gs} は次式で示される値である、請求項 15 に記載の駆動方法：

$$V_{gs} = \{C1/(C1+C2)\} (V_{ini} - V_{data} + V_{sus} - ELVDD) - \{C2/(C1+C2)\} |V_{th}|$$

ここで、 $C1$ は第 1 キャパシタの容量値であり、 $C2$ は第 2 キャパシタの容量値であり、 V_{data} は前記対応するデータ信号線の電圧であり、 V_{ini} は前記初期化電圧供給線の電圧であり、 V_{sus} は前記基準電圧供給線の電圧であり、 $ELVDD$ は前記第 1 電源線の電圧であり、 V_{th} は前記駆動トランジスタの閾値電圧である。

[図1]



The circuit diagram, labeled 15a (Pix(i, j)), shows a pixel circuit. It includes a storage capacitor C_{st} connected between the ELVDD supply and a node connected to the gates of transistors T1 and T5. Transistors T1 and T2 have their sources connected to the ELVSS supply and their drains connected to the data line Dj. Transistors T3 and T4 have their sources connected to the ELVSS supply and their drains connected to the gate of T1. Transistors T5, T6, and T7 have their sources connected to the ELVSS supply. The gate of T5 is connected to the ELVDD supply. The gates of T6 and T7 are connected to the gate of T1. The drain of T6 is connected to the gate of T7 and the anode of an OLED load. The cathode of the OLED is connected to the ELVSS supply. The current through the OLED is labeled I₁. The input signals are V_g (gate of T1), V_{in} (gate of T7), and V_{in-1} (gate of T4). The output signal is Dj (data line).

The diagram illustrates the timing for the i -th row of a display panel. The horizontal axis represents time, with key points t_1 through t_6 marked. The vertical axis shows the following signals:

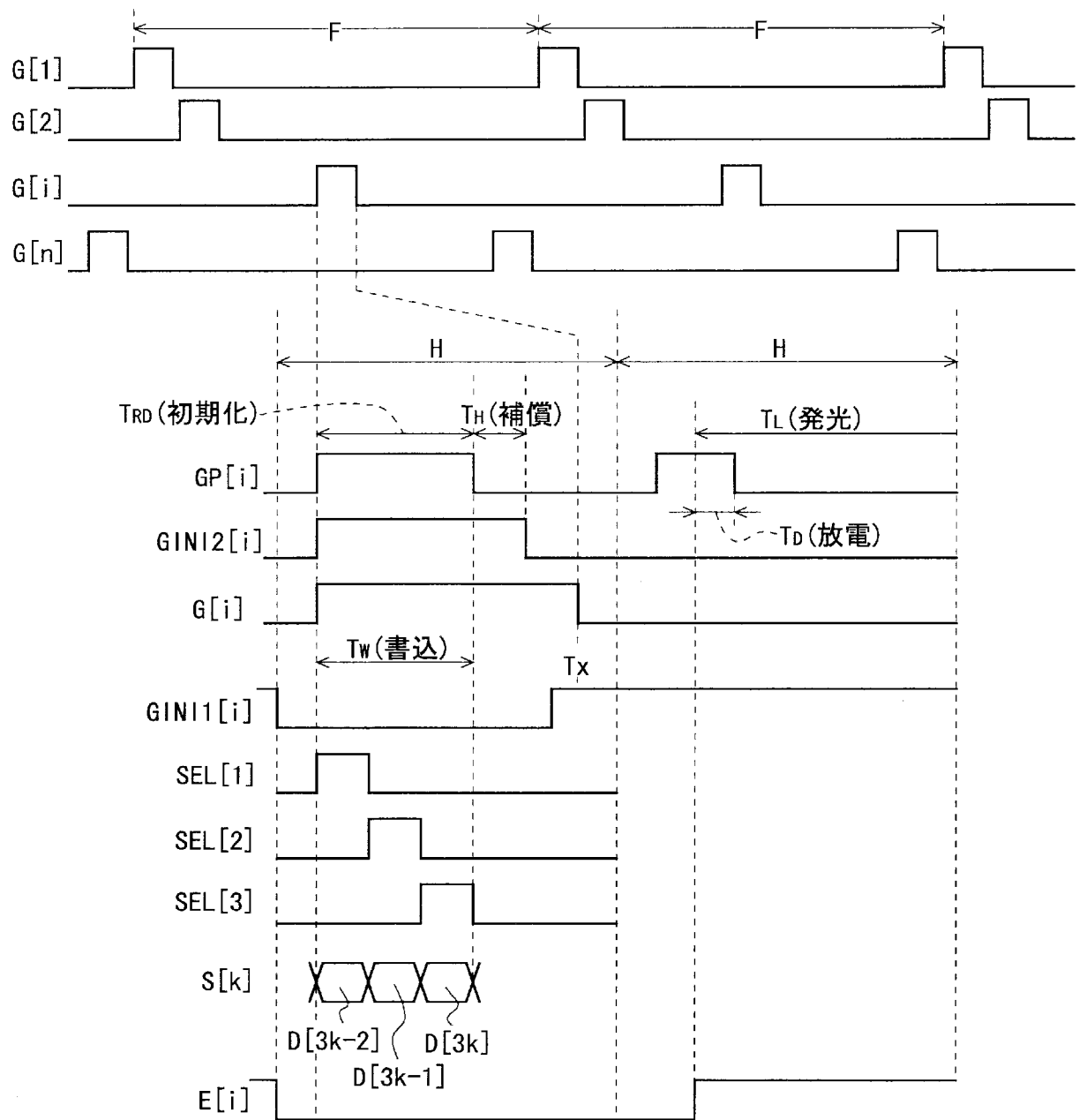
- E_i : Row enable signal, which is high during the emission period and low during the non-emission period.
- G_{i-1} : Gate signal for the previous row, which is low during the non-emission period and high during the emission period.
- G_i : Gate signal for the current row, which is high during the non-emission period and low during the emission period.
- D_j : Data signal for the j -th column, which is a constant level during the non-emission period and switches to a new level at t_4 during the emission period.
- $V_{g(i,j)}$: Gate voltage for the i -th row, which is high during the non-emission period and switches to a low level at t_2 during the emission period.
- $V_{a(i,j)}$: Anode voltage for the i -th row, which is low during the non-emission period and switches to a high level at t_4 during the emission period.

The diagram is divided into two main periods:

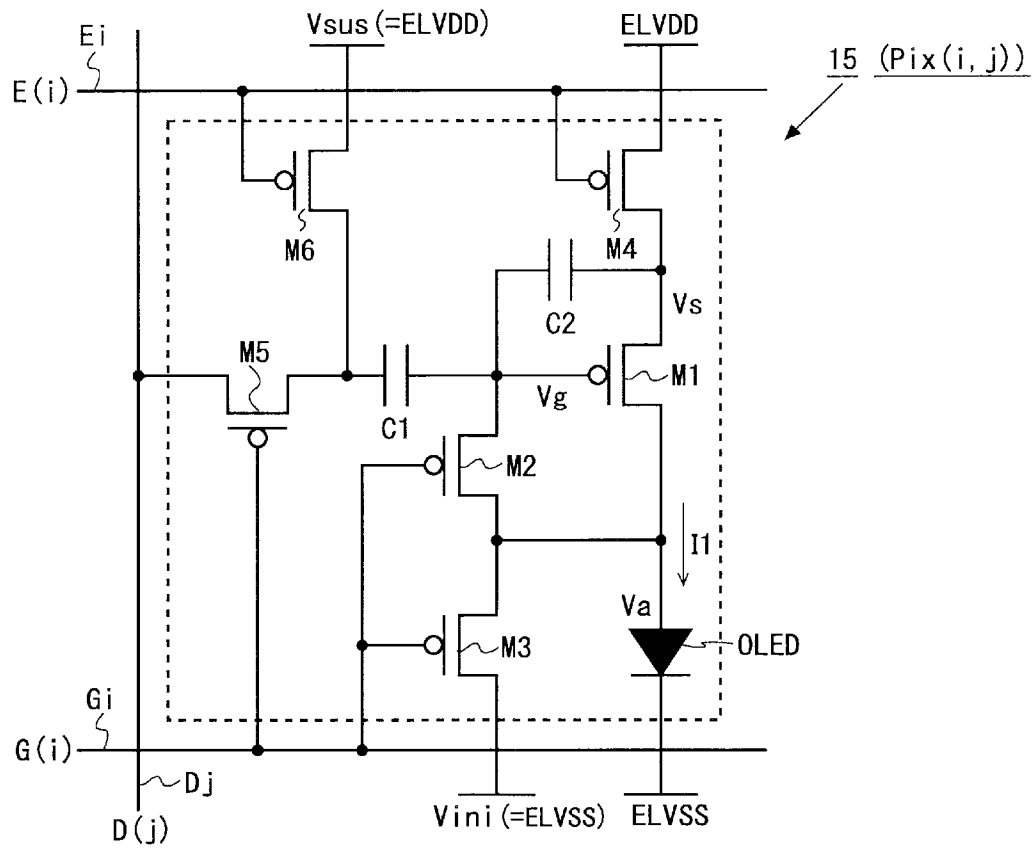
- 非発光期間 (Non-emission period)**: From t_1 to t_4 . This period includes the **第*i*-1走査選択期間 (i-1th scanning selection period)** and the **リセット期間 (Reset period)**.
- 発光期間 (Emission period)**: From t_4 to t_6 . This period includes the **第*i*走査選択期間 (i-th scanning selection period)** and the **データ書込期間 (Data writing period)**.

The circuit diagram shows a pixel circuit 15b (Pix(i, j)). It includes a gate line G_i and a data line D_j . The circuit contains a transistor T_{DR} , capacitors C_1 and C_2 , resistors R_1 , R_2 , and R_3 , and a diode connected to a common data line E . The circuit is controlled by signals $GINI1[i]$, $GINI2[i]$, $GP[i]$, and $E[i]$. The source line is labeled $ELVDD$ and the common data line is labeled E . The circuit is also connected to a common data line E and a common data line E . The circuit is also connected to a common data line E and a common data line E .

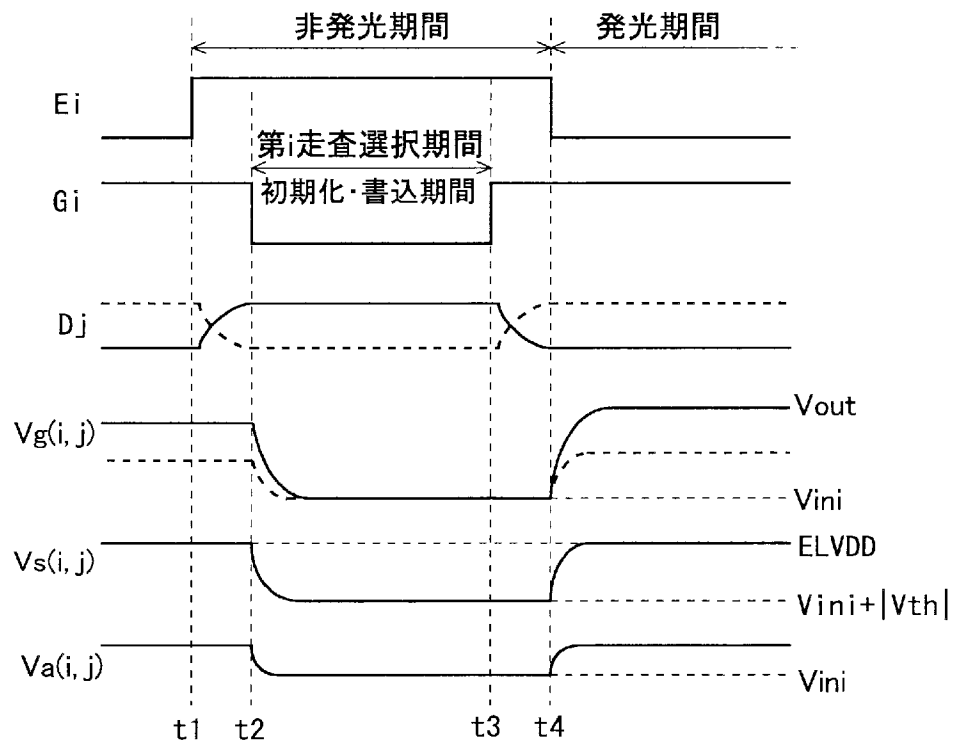
[図6]



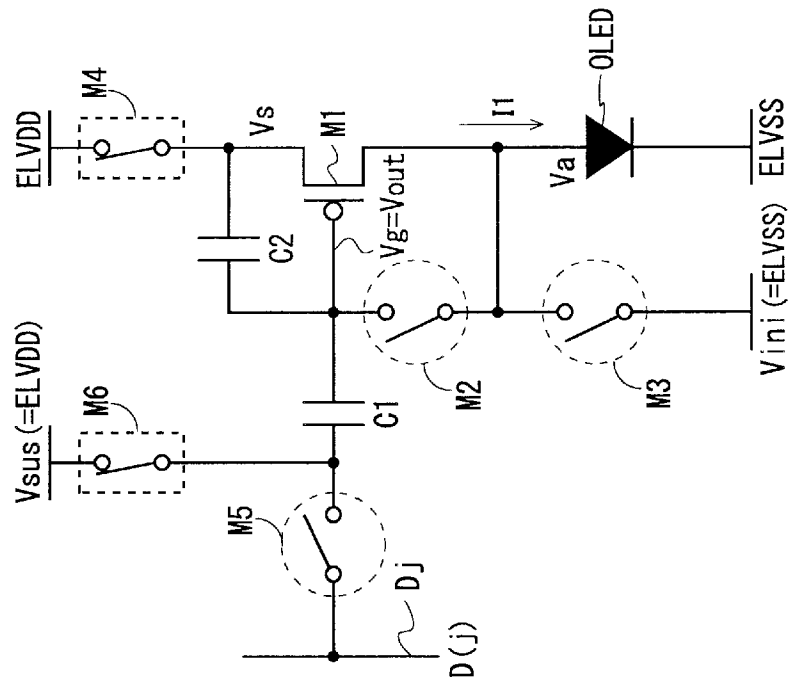
[図7]



[図8]



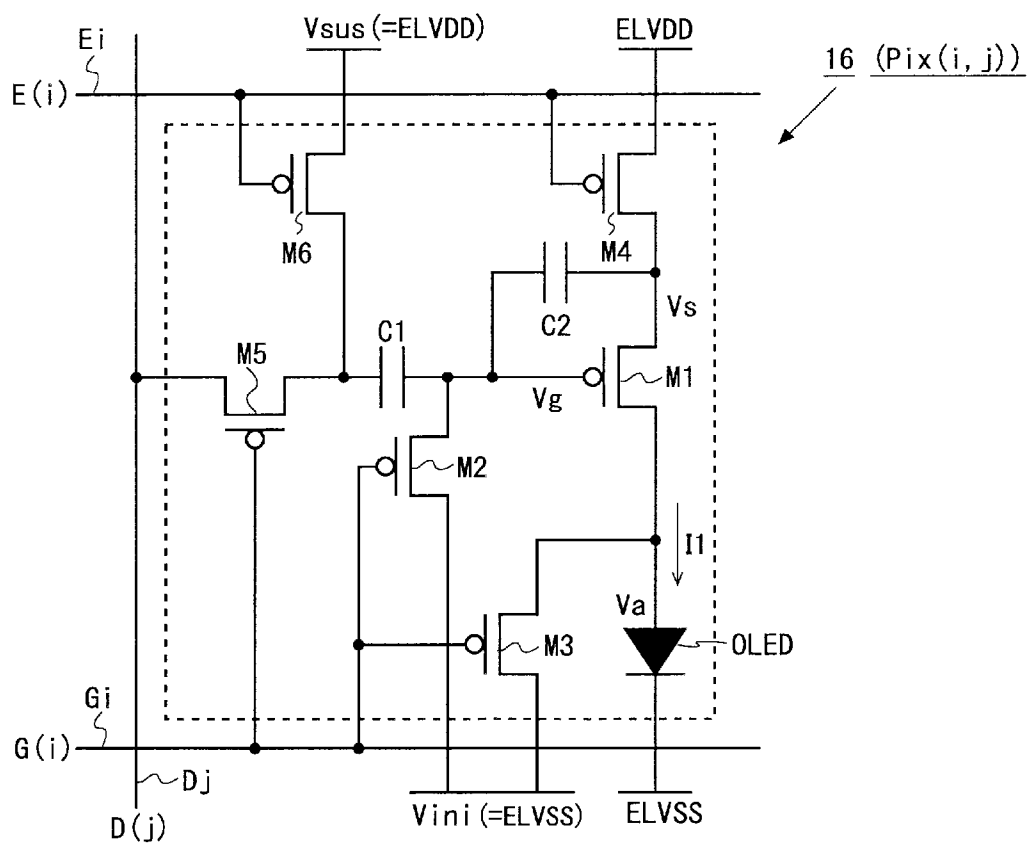
(A) 初期化およびデータ書込



[図10]

	C1の電荷量	C2の電荷量	ノードGの電荷量
初期化・書込期間終了時	$C1(V_{ini}-V_{data})$	$-C2 V_{th} $	$C1(V_{ini}-V_{data})-C2 V_{th} $
発光期間	$C1(V_{out}-V_{sus})$	$C2(V_{out}-ELVDD)$	$C1(V_{out}-V_{sus})+C2(V_{out}-ELVDD)$

[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/025309

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. G09G3/3233 (2016.01) i, G09G3/20 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. G09G3/3233, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2017/0061876 A1 (CHO et al.) 02 March 2017, paragraphs [0082]-[0122], fig. 1-3 & EP 3136376 A1 & KR 10-2017-0026757 A & CN 106486060 A	1-16
A	JP 2007-41586 A (SAMSUNG SDI CO., LTD.) 15 February 2007, paragraphs [0036]-[0068], fig. 3-5 & US 2007/0024543 A1, paragraphs [0055]-[0091], fig. 3-5 & EP 1750246 A2 & KR 10-2007-0015829 A & CN 19909041 A	1-16
A	US 2018/0082636 A1 (CAI) 22 March 2018, entire text, all drawings & WO 2017/177501 A1 & CN 105702214 A	1-16

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21.09.2018

Date of mailing of the international search report
02.10.2018

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/025309

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2015-45830 A (SAMSUNG DISPLAY CO., LTD.) 12 March 2015, entire text, all drawings & US 2015/0062193 A1, entire text, all drawings & CN 104424892 A & KR 10-2015-0026806 A	1-16
A	JP 2014-6521 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 16 January 2014, paragraphs [0042]-[0115], fig. 1-7 & US 2013/0321249 A1, paragraphs [0089]-[0162], fig. 1-7 & KR 10-2013-0135774 A	1-16

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G09G3/3233(2016.01)i, G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G09G3/3233, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2017/0061876 A1 (CHO et al.) 2017.03.02, 段落 [0082]-[0122], 図 1-3 & EP 3136376 A1 & KR 10-2017-0026757 A & CN 106486060 A	1-16
A	JP 2007-41586 A (三星エスディアイ株式会社) 2007.02.15, 段落 [0036]-[0068], 図 3-5 & US 2007/0024543 A1, 段落 [0055]-[0091], 図 3-5 & EP 1750246 A2 & KR 10-2007-0015829 A & CN 1909041 A	1-16
A	US 2018/0082636 A1 (CAI) 2018.03.22, 全文, 全図 & WO 2017/177501 A1 & CN 105702214 A	1-16

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

21.09.2018

国際調査報告の発送日

02.10.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

後藤 亮治

21

6201

電話番号 03-3581-1101 内線 3273

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2015-45830 A (三星ディスプレイ株式会社) 2015. 03. 12, 全文, 全図 & US 2015/0062193 A1, 全文, 全図 & CN 104424892 A & KR 10-2015-0026806 A	1-16
A	JP 2014-6521 A (株式会社半導体エネルギー研究所) 2014. 01. 16, 段落 [0042]-[0115], 図 1-7 & US 2013/0321249 A1, 段落 [0089]-[0162], 図 1-7 & KR 10-2013-0135774 A	1-16