

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：96136398

※ 申請日期：2007 年 9 月 28 日

※IPC 分類：

G04B 35/01 (2006.01)

G04B 38/00 (2006.01)

H05H 7/14 (2006.01)

一、發明名稱：(中文/英文)

具受控電阻之抗電漿陶瓷

PLASMA-RESISTANT CERAMICS WITH CONTROLLED
ELECTRICAL RESISTIVITY

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商·應用材料股份有限公司

APPLIED MATERIALS, INC.

代表人：(中文/英文)

鄺錦安

KWONG, RAYMOND K.

住居所或營業所地址：(中文/英文)

美國加州聖大克勞拉市波爾斯大道 3050 號

3050 Bowers Avenue, Santa Clara, CA 95054, U.S.A.

國籍：(中文/英文)

美國/USA

三、發明人：(共 7 人)

姓名：(中文/英文)

1. 孫珍妮佛 Y/SUN, JENNIFER Y.

2. 柯林肯尼 S/COLLINS, KENNETH S.

3. 段仁官/DUAN, REN-GUAN

4. 薩奇山恩/THACH, SENH

- 5.葛瑞夫斯湯瑪斯/GRAVES, THOMAS
- 6.賀小明/HE, XIAOMING
- 7.袁傑/YUAN, JIE

國 籍：(中文/英文)

- 1.美國/USA
- 2.美國/USA
- 3.中華人民共和國/P.R.C.
- 4.美國/USA
- 5.美國/USA
- 6.中華人民共和國/P.R.C.
- 7.美國/USA

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

美國；2007年8月2日；11/890,156

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

- 5.葛瑞夫斯湯瑪斯/GRAVES, THOMAS
- 6.賀小明/HE, XIAOMING
- 7.袁傑/YUAN, JIE

國 籍：(中文/英文)

- 1.美國/USA
- 2.美國/USA
- 3.中華人民共和國/P.R.C.
- 4.美國/USA
- 5.美國/USA
- 6.中華人民共和國/P.R.C.
- 7.美國/USA

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

美國；2007年8月2日；11/890,156

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明的實施方式關於主要由高度抗存在於半導體處理裝置中的電漿腐蝕的固溶體陶瓷組成的特種含氧化鈮陶瓷。

【先前技術】

該部分描述關於本發明所揭示的實施方式的背景主題。並沒有意圖表示或暗指在該部分討論的背景技術組成習知技術。

抗侵蝕（包括腐蝕）性是在存在侵蝕性環境的半導體處理腔室中使用的裝置構件和襯墊的關鍵屬性。儘管侵蝕電漿存在於多數半導體處理環境中，包括電漿增強化學氣相沈積（PECVD）和物理氣相沈積（PVD），但是侵蝕性最強的電漿環境是用於處理裝置清洗和用於蝕刻半導體基材的電漿。這對於存在有高能量電漿並結合化學反應性以作用於存在於環境中的構件表面尤其是如此。當侵蝕性氣體，即使在不存在電漿，與處理裝置表面接觸時，裝置構件表面或製程腔室襯墊表面的低化學反應性是重要的屬性。

存在於用於製造電子元件和微電子機械系統（MEMS）的處理腔室內的製程腔室襯墊和組成裝置通常由鋁和鋁合金構成。製程腔室和組成裝置（存在於腔室內）的表面通常陽極化以提供對侵蝕性環境的一定程度的隔離。然而，

鋁或鋁合金中的雜質可能破壞陽極化層的完整性，從而侵蝕較早地開始，縮短了保護塗層的有效期限。與其他陶瓷材料相比，鋁氧化物的耐電漿屬性並不積極。因此，各種組分的陶瓷塗層已經用於替代以上所提及的鋁氧化物層；以及，在一些例子中，已經用在陽極化層的表面上以改善下層鋁基材料的保護。

氧化鈮是很有希望用於保護暴露於製造半導體元件中使用類型的含鹵素電漿的鋁和鋁合金表面的陶瓷材料。氧化鈮塗層已經用於並施加在高純度鋁合金製程腔室表面的陽極化表面上，或者製程構件表面上，以產生良好的侵蝕保護（例如，以上提及的 Sun 等人的美國專利案號 6,777,873）。可使用諸如噴塗、物理氣相沈積（PVD）、化學氣相沈積（CVD）等方法施加保護塗層。

Al_2O_3 、或 Al_2O_3 和 Y_2O_3 膜已經形成於處理腔室的內壁表面上以及需要高度耐侵蝕性和絕緣屬性的腔室內的構件的暴露表面上。在一個示例性應用中，腔室的基材可以為陶瓷材料（ Al_2O_3 、 SiO_2 、 AlN 等）、鋁或不銹鋼，或在基材之上具有噴塗膜的其他金屬或金屬合金。該膜可以由週期表的 III-B 元素的化合物諸如 Y_2O_3 製成。該膜可主要包含 Al_2O_3 和 Y_2O_3 。鈮 - 鋁 - 石榴石（yttrium-aluminum-garnet, YAG）的噴塗膜也在以上提到過。噴塗膜厚度的實施例從 $50\mu m$ 到 $300\mu m$ 之間變化。

【發明內容】

已經研發了在採用含鹵素電漿的半導體處理條件下耐侵蝕的特種燒結陶瓷材料。已經改質特種材料以具有與以前用於半導體處理裝置的燒結陶瓷材料相比的改善的耐電漿腐蝕性和適合的機械屬性。已經調整燒結陶瓷材料的電屬性，從而材料的電阻率屬性（其在電漿材料腔室中具有影響）滿足特定腔室構件的需要。這些電阻率屬性要求之前僅被具有低耐電漿腐蝕性質的材料滿足。本發明的特種材料（其具有耐電漿腐蝕性、機械性能和電阻率性能各種結合）與之前所用的半導體處理裝置的材料充分相似。該相似的電屬性的一個優點在於不需要改變目前在半導體元件製造中使用的製程程式（recipe）或通用的處理條件。

用於製造半導體材料腔室構件的特種燒結陶瓷材料可使用例如熱/火焰噴塗或電漿噴塗、物理氣相沈積（諸如來自由特種燒結陶瓷材料組成的靶的濺射）或化學氣相沈積等而施加到下層材料之上。或者，燒結的陶瓷材料可使用模製製程而用於製造整體構件，例如，當這對於塗層的使用有利的時候。

討論的燒結陶瓷材料包含氧化釷基的固溶體。在一個實施方式中，改變燒結的含氧化釷陶瓷材料的電阻率。在一個示例性實施方式技術中，將其他氧化物添加到氧化釷中，並且燒結該混合物。其他氧化物的陽離子具有與 Y^{3+} 離子不同的原子價 (valence)，以形成 Y 空位，導致電阻率降低。該其他的氧化物的實施例包括 CeO_2 、 TiO_2 、 ZrO_2 、 HfO_2 和 Nb_2O_5 等，僅以示例方式而並不限制於此。在可選

示例性實施方式技術中，其他氧化物添加到氧化釷中並燒結該混合物。其他氧化物的陽離子具有與 Y^{3+} 離子相同的原子價，但是具有與 Y^{3+} 離子顯著不同的離子半徑。在還原氣氛中燒結前驅混合物。這產生 O 空位，其也降低了電阻率。具有與 Y^{3+} 離子相同原子價但是具有顯著不同的離子半徑的氧化物的實施例包括 Nd_2O_3 、 Sm_2O_3 、 Sc_2O_3 、 Yb_2O_3 、 Er_2O_3 、 Ho_2O_3 和 Dy_2O_3 ，僅以示例方式而並不限制於此。

在通常與含釷燒結陶瓷相比需要較低電阻率的半導體處理腔室中的主要構件其中之一是靜電夾盤。靜電夾盤設計者建議在半導體處理條件下靜電夾盤的介電表面的電阻率在從約 10^9 到 $10^{11} \Omega \cdot cm$ 的範圍內，以減小在靜電夾盤處形成電漿電弧的可能。電阻率範圍與在約 10^{-9} 到 $10^{-7} S/m$ 範圍內的電導率等價。這是比體 Si_3N_4 顯著低的電阻率，例如，其具有電導率 $10^{-13} S/m$ 。對於電漿電弧可能產生不利影響的其他耐侵蝕表面，諸如升降杆，在需靜電夾盤需要的那個範圍內的電阻率是有益的。對於耐侵蝕表面諸如製程腔室襯墊，電阻率較高，可能與 $10^{14} \Omega \cdot cm$ 一樣高或者高於 $10^{14} \Omega \cdot cm$ ，並仍然可接受。

至少一種固溶體形成有效用作電改質的耐侵蝕材料的燒結陶瓷材料的主要莫耳百分比%。當存在用於形成固溶體的兩者氧化物時，這些氧化物通常包含氧化釷結合其他氧化物，其通常選自氧化鋯、氧化鈾、氧化鈾、氧化鈾及其組合。其他氧化物諸如氧化鈾、氧化鈾、氧化鈾、氧化鈾

鎢、氧化鉬和氧化鈾（以及其他鑼系列元素氧化物）可考慮用於這些實施例中。

當存在用於形成一種或多種固溶體的多於兩種的氧化物時，這些氧化物通常包含氧化鈮、氧化鋯和至少一種其他氧化物，該氧化物通常選自氧化鈣、氧化銦、氧化釷、氧化鈳、氧化鈹、氧化鎢、氧化鉬、氧化鈾及其組合物。在特別實施例中還可能使用其他鑼系元素。當燒結陶瓷包含多個固溶相時，通常有兩個相或三個相。除了至少一個固溶相，可能在燒結陶瓷記憶體在化合物或元素金屬的其他相。

通過示例方式，而並不限制於此，關於使用兩種前驅物氧化物的燒結陶瓷，已經通過試驗確定包含固溶體的燒結陶瓷，其中存在約 40% 莫耳百分比到小於 100% 莫耳百分比範圍內的氧化鈮，並存在從大約 0% 莫耳百分比到約 60% 莫耳百分比範圍內的氧化鋯，產生具有在室溫下從約 10^7 到約 $10^{15} \Omega \cdot \text{cm}$ 範圍內的電阻率。預期可由其中存在大於 0% 莫耳百分比到小於 100% 莫耳百分比範圍內的氧化鈮和大於 0% 莫耳百分比至小於 100% 莫耳百分比的氧化鈾的前驅氧化物的組合得到相同範圍內的電阻率。還預期可由其中存在大於 0% 莫耳百分比到小於 100% 莫耳百分比範圍內的氧化鈮和大於 0% 莫耳百分比至小於 100% 莫耳百分比的氧化鈣的前驅氧化物組合得到從約 10^9 到約 $10^{11} \Omega \cdot \text{cm}$ 範圍內的電阻率。還預期可由其中存在從約 48% 莫耳百分比到小於 100% 莫耳百分比範圍內的氧化鈮和大於 0% 莫耳百分

比至約 52%莫耳百分比範圍內的氧化鋁的前驅氧化物組合得到具有約 10^9 到約 $10^{11} \Omega \cdot \text{cm}$ 範圍內電阻率的陶瓷。

用於實施例，並不限制於此，關於使用多於兩種前驅氧化物的燒結陶瓷，在一個實施方式中，當燒結陶瓷包含固溶體並且其中燒結陶瓷材料由以下氧化物形成時，其中：存在從約 40%莫耳百分比至小於 100%莫耳百分比範圍內的氧化鋁；存在從大於 0%莫耳百分比至約 50%莫耳百分比範圍內的氧化鋇；以及存在大於約 0%莫耳百分比到小於 100%莫耳百分比範圍內的氧化鈔，燒結陶瓷具有從約 10^7 到約 $10^{15} \Omega \cdot \text{cm}$ 範圍內的電阻率。

在另一實施方式中，當燒結的陶瓷包含固溶體並且燒結陶瓷材料由以下氧化物製成時：存在從約 40%莫耳百分比至小於 100%莫耳百分比範圍內的氧化鋁；存在從大於 0%莫耳百分比至約 50%莫耳百分比範圍內的氧化鋇；以及存在大於約 0%莫耳百分比到小於 100%莫耳百分比範圍內的氧化鈔，燒結陶瓷將具有在約 10^7 到約 $10^{15} \Omega \cdot \text{cm}$ 範圍內的電阻率。

在又一實施方式中，當燒結的陶瓷包含固溶體並且燒結陶瓷材料由以下氧化物製成時：存在從約 40%莫耳百分比至小於 100%莫耳百分比範圍內的氧化鋁；存在從大於 0%莫耳百分比至約 45%莫耳百分比範圍內的氧化鋇；以及存在大於約 0%莫耳百分比到小於 80%莫耳百分比範圍內的氧化鋁時，燒結陶瓷將具有在約 10^7 到約 $10^{15} \Omega \cdot \text{cm}$ 範圍內的電阻率。

在一個實施方式中，燒結的陶瓷材料包含三個相，其包括：包含 $Y_2O_3-ZrO_2-Nb_2O_5$ 的第一固溶相，其占燒結陶瓷材料的從約 60% 莫耳百分比到約 90% 莫耳百分比範圍內； Y_3NbO_7 的第二相，其占燒結陶瓷材料的從約 5% 莫耳百分比到約 30% 莫耳百分比範圍內；以及 Nb 元素形式的第三相，其占燒結陶瓷材料的從約 1% 莫耳百分比到約 10% 莫耳百分比範圍內。

包含三個相的燒結陶瓷材料的另一實施方式中，氧化鈮在從約 60% 莫耳百分比至小於約 75% 莫耳百分比範圍內；氧化鋇在從大於約 15% 莫耳百分比至約 25% 莫耳百分比範圍內；以及氧化鈮在大於約 5% 莫耳百分比到小於 15% 莫耳百分比範圍內。

在由以上所述類型的 $Y_2O_3-ZrO_2-M_xO_y$ 形成的燒結陶瓷測量樣品中，在其中 M 是鈔、鉛、鈮或鈹的實施方式中，在暴露於 CF_4/CHF_3 電漿 76 小時之後，已經證明侵蝕速度是 $0.16\mu m/小時$ 或更低。預期當 M 是鈾、鈔、鉍或其他鐳系元素時具有類似的侵蝕速度。電漿形成於可從 Applied Materials 有限公司購得的 Enabler for Trench Etch 電漿處理腔室中。電漿源功率高達 2000W，製程腔室壓力為 10-500 毫托 (Torr)，並且基材溫度為 $40^\circ C$ 。該 $0.16\mu m/小時$ 或更低的侵蝕速度等價於純 Y_2O_3 的侵蝕速度。因此，用於提供較低電阻率燒結陶瓷的燒結陶瓷改質不影響燒結陶瓷的侵蝕速度。

雖然以上所述的陶瓷材料是由利用本領域公知的燒結

技術形成的燒結陶瓷，但是在其他實施方式中，以上列出的起始材料成分可用於利用塗覆技術形成陶瓷塗層於各種金屬和陶瓷基材的表面上，其包括但是不限於鋁、鋁合金、不銹鋼、氧化鋁、鋁氮化物和石英。該塗覆技術包括電漿噴塗、熱/火焰噴塗；從由燒結氧化物形成的濺射靶的物理氣相沈積；或者化學氣相沈積，作為示例但是並不限於此。

【實施方式】

作為詳細描述的緒言，應該注意到，如在該說明書和附圖中所用的，單數形式“一(a)”、“一(an)”和“該(the)”包括複數指代，文中清晰指出數目的除外。

當在此使用詞“約(about)”時，其意欲指所指的標稱值準確地在 $\pm 10\%$ 內。

在此所述地為在採用含鹵素電漿的半導體元件處理條件下研發的抵抗侵蝕的特種陶瓷材料。在特定實施方式中，已經改質特種材料以具有與之前研發的類似陶瓷材料相比減小的電阻率以提供耐電漿腐蝕性。減小的電阻率有益於減小在半導體處理腔室內的各種構件處電漿電弧放電(arcining)的可能性，尤其在電漿放電成問題的靜電夾盤的表面或基材升降杆上，用於舉例但不限於此。在過去，構件或至少構件表面由鋁氮化物或鋁氧化物製造，可對其摻雜以提供電屬性。雖然該材料提供所需的電屬性，但是侵蝕/腐蝕速度相對快，限制了特定構件的有效壽命，並需

要更多的停工時間用於組成部件的修理及替換。

另外，用作電漿處理半導體裝置內的製程腔室襯墊和功能構件的各種材料的電屬性影響電漿的行為。電漿行為中的變化影響電漿處理屬性，並且當影響顯著時，需要改變其他製程變數以適應電漿行為的變化。勝於返工用於元件製造的處理變數，發展具有適合電屬性的耐腐蝕陶瓷材料更實用。僅改質部分具有適合電漿腐蝕/侵蝕屬性的陶瓷材料以控制電阻率性能在對於與電漿接觸的構件有效的所需範圍內。當選擇氧化物的組合以形成陶瓷材料時，本領域且讀取本發明的普通技術人員將能相對成功地確定本發明。

爲了便利，具有所需電屬性的適合耐鹵素電漿腐蝕/侵蝕陶瓷材料的發展通過使用燒結陶瓷實施。所燒結的陶瓷通過本領域的衆所周知的技術生產。在其他實施方式中，相同的一般組分的適合耐鹵素電漿腐蝕/侵蝕的陶瓷材料可例如，使用熱/火焰噴鍍或電漿噴鍍應用爲在下層諸如鋁或鋁合金的材料之上的塗層。在可選實施方式中，所燒結的陶瓷材料可用於製造可用於通過物理氣相沈積在下層材料之上施加陶瓷材料，特別地當其上待施加保護陶瓷材料的裝置較大時，諸如製程腔室襯墊。

如之前所述，討論的所燒結陶瓷材料包括氧化鈮。可改變所燒結的含鈮陶瓷材料的電阻率。在一個示例性技術中，至少一種其他氧化物添加到氧化鈮中並燒結該混合物。至少一種其他氧化物的陽離子具有不同於 Y^{3+} 離子的

原子價 (valence)，以形成 Y 空位，導致電阻率降低。該氧化物的實施例包括 CeO_2 、 TiO_2 、 ZrO_2 、 HfO_2 和 Nb_2O_5 ，僅用於示例而並不限制於此。在另一示例性技術中，至少一種其他氧化物添加到氧化釷中，並在還原氣氛中燒結該混合物；然而，至少一種其他氧化物的陽離子具有與 Y^{3+} 離子相同的原子價，但是具有與 Y^{3+} 離子顯著不同的離子半徑。其導致 O 空位產生，這也降低了電阻率。具有與 Y^{3+} 離子相同原子價但是具有顯著不同的離子半徑的氧化鋁實施例包括 Nd_2O_3 、 Sm_2O_3 、 Sc_2O_3 、 Yb_2O_3 、 Er_2O_3 、 Ho_2O_3 和 Dy_2O_3 ，僅用於示例而並不限制於此。

至今已經研究了多種示例性燒結陶瓷材料的屬性，並且以下的表格提供了所製造並評估的部分燒結陶瓷材料。隨後將描述這些材料的評估。

實施例：

表格

| 樣品 # | 前驅物莫耳百分比% | 前驅物重量百分比% | 前驅物 Y_2O_3 重量份數/100 Y_2O_3 | 熔點 (°C) | 燒結溫度 (°C) | 相組成 | 密度 (g/cm^3) |
|------|--|--|--|---------|-----------|-----------|-------------------------------|
| 1 | Y_2O_3 :75 HfO_2 : 20.0 ZrO_2 : 5.0 | Y_2O_3 : 77.82 HfO_2 : 19.35 ZrO_2 :2.83 | Y_2O_3 :100.00 HfO_2 : 24.86 ZrO_2 : 3.64 | 2800 | >1800 | c-ss 單相** | 5.607 |
| 2 | Y_2O_3 : 60.0 Sc_2O_3 : 20.0 ZrO_2 : 20.0 | Y_2O_3 : 72.18 Sc_2O_3 :14.69 ZrO_2 : 13.13 | Y_2O_3 : 100.00 Sc_2O_3 :20.36 ZrO_2 :18.19 | 2360 | >1800 | c-ss 單相** | 4.936 |
| 3 | Y_2O_3 : 60.0 | Y_2O_3 : 59.38 | Y_2O_3 : 100.00 | N/A* | >1800 | c-ss 單相** | 5.555 |

| | | | | | | | |
|---|---|---|---|------|-------|-----------------------------------|-------|
| | Nd ₂ O ₃ : 20.0 ZrO ₂ : 20.00 | Nd ₂ O ₃ :29.58 ZrO ₂ : 10.84 | Nd ₂ O ₃ :49.66 ZrO ₂ : 18.19 | | | | |
| 4 | Y ₂ O ₃ : 70.0 Nd ₂ O ₃ :10.0 ZrO ₂ : 20.0 | Y ₂ O ₃ : 75.53 Nd ₂ O ₃ :12.7 ZrO ₂ : 11.77 | Y ₂ O ₃ : 100.00 Nd ₂ O ₃ :16.82 ZrO ₂ : 15.59 | N/A* | >1800 | c-ss** Y ₃ NbO 和 Nb | 5.331 |

*N/A = 無

**c-ss 係指立方氧化鈮型固溶體。

實施例一

第 1 圖是示出各種陶瓷材料的電阻率的圖表 100，陶瓷材料包括根據本發明的示例性實施方式製造的 A 型和 B 型材料。電阻率在軸 104 上示出，作為在軸 102 上示出的溫度的函數。可在空氣環境下在 1000V 下測量電阻率，使用根據 ASTM D 1829-或 JIS C2141 的標準測試條件。

在第 1 圖中示出的曲線 106 在表中描述為樣品 #4 的含 Nb₂O₅ 燒結陶瓷材料。對於含 Nb₂O₅ 燒結陶瓷材料，如第 3 圖中通過相圖所示，還可通過添加額外的成分得到適合的電阻率值。燒結陶瓷材料包含三個相，其包括包含 Y₂O₃-ZrO₂-Nb₂O₅ 的第一固溶相，其占燒結陶瓷材料的約 60%到約 90%莫耳百分比；第二相 Y₃NbO₇，其占燒結陶瓷材料的從約 5%到約 30%的莫耳百分比；以及元素形式的 Nb 第三相，其占燒結陶瓷材料的約 1%到約 10%莫耳百分比。當需要低電阻率以防止電弧放電時，該材料特別有效。電阻率在室溫下低於約 10¹¹Ω·cm 並在 200°C 為約 10⁸Ω·cm，以及在典型半導體處理條件下可能具有在 10⁹Ω·cm 範

圍內的電阻率。

在第 1 圖中示出的含 Nb_2O_5 的燒結陶瓷材料的一個實施方式稱為 $\text{Nb}_2\text{O}_5\text{-ZrO}_2\text{-Y}_2\text{O}_3$ 。參照第 3 圖，相圖的一個區域標記為“B”。該標記表示燒結陶瓷材料的固溶相成分在從約 55% 莫耳百分比到約 80% 莫耳百分比之間的濃度下包含 Y_2O_3 ，並且在從約 5% 莫耳百分比到約 25% 莫耳百分比之間的濃度下包含添加劑諸如 Nb_2O_5 、 HfO_2 、 Nd_2O_3 、或 Sc_2O_3 。

實施例二

在第 1 圖中示出的曲線 108 表示根據本發明製造的含 HfO_2 燒結陶瓷材料，其還在表格中描述為樣品 #1。該陶瓷材料顯示出比含 Nb_2O_5 材料高的電阻率，但是對製造與靜電夾盤或基材升降杆相比電弧放電不主要的半導體處理裝置構件有效。

實施例三

在第 1 圖中示出的曲線 110 表示根據本發明實施方式製造的含 Sc_2O_3 燒結陶瓷材料，其還在表格中描述為樣品 #2。同樣，該材料可用於需要 $10^{11}\Omega\cdot\text{cm}$ 電阻率的應用中。

實施例四（對比實施例）

在第 1 圖中示出曲線 112 表示在第 2 圖的相圖中示出的 $\text{Y}_2\text{O}_3\text{-ZrO}_2\text{-Al}_2\text{O}_3$ 材料。描述該材料僅用於受控電阻率陶瓷材料的比較實施例的目的。該燒結陶瓷材料包含由 Y_2O_3 和 ZrO_2 形成的固溶體，以及由 Y_2O_3 和 Al_2O_3 氧化物形成的合成物。典型的燒結陶瓷材料由在從約 60% 莫耳百

分比到約 65%莫耳百分比之間的濃度下的 Y_2O_3 ；在從約 20%莫耳百分比到約 25%莫耳百分比之間的濃度下的 ZrO_2 ；以及在從約 10%莫耳百分比到約 15%莫耳百分比之間的濃度下的 Al_2O_3 形成。在相圖第 2 圖中示為區域“A”並通過曲線表示為在第 1 圖中示出的 $Y_2O_3-ZrO_2-Al_2O_3$ 的中心陶瓷材料的一個實施方式，包含：具有立方氧化釷型晶體結構的約 60%莫耳百分比固溶體，其中 c- Y_2O_3 是溶劑， Zr_2O_3 是溶質；具有螢石型晶體結構的約 2%莫耳百分比的固溶體，其中是 ZrO_2 溶劑， Y_2O_3 是溶質；以及約 38%莫耳百分比的 YAM ($Y_4Al_2O_9$) 化合物。

實施例五（對比實施例）

第 1 圖的曲線 114 表示含 Nd_2O_3 的燒結陶瓷材料，其在表格中描述為樣品 #3。但是該材料難以滿足需要防止放電的需要，並且認為不是彌補本發明的部分單一材料的比較實施例。

實施例六（對比實施例）

第 1 圖的曲線 116 表示純 Y_2O_3 燒結陶瓷的電阻率屬性。該材料也是對比實施例，其用作基線，原因在於許多半導體裝置構件已由純 Y_2O_3 製造。純 Y_2O_3 電阻率的比較示出由本發明得到的電阻率的顯著改善。

曲線 120 也在第 1 圖中示出，其表示通常用於製造靜電夾盤的摻雜鋁氮化物，曲線 122 表示也用於製造靜電夾盤和需要低電阻率的其他半導體處理裝置的第二摻雜的鋁氮化物。

實施例七

第 4 圖是示出對於許多燒結陶瓷測試樣本在電阻率測試期間電阻率與所施加的電壓的函數關係圖 400。在軸 404 上示出電阻率，並且電壓在軸 402 上示出。測試溫度是室溫（約 27°C）。該圖的目的是為了示出受控以降低電阻率的本發明的耐侵蝕陶瓷實施方式和目前使用的摻雜鋁氮化物陶瓷之間在電阻率上的區別。雖然摻雜的鋁氮化物陶瓷具有稍微低的電阻率，但它們的侵蝕速度至少比已經改質以降低電阻率的含氧化鈮陶瓷的侵蝕速度高 2 倍。

特別地，第 4 圖的曲線 422 表示目前用於製造靜電夾盤的摻雜的鋁氮化物陶瓷。曲線 420 表示用於製造靜電夾盤和其他較低電阻率構件的另一種摻雜的鋁氮化物陶瓷。

第 4 圖的曲線 406 表示含 Nb_2O_5 的燒結陶瓷材料，其在表格中表示為樣品 #4。已經改質以降低電阻率的含氧化鈮材料具有與表示為 AlN-1 的摻雜的鋁氮化物非常接近的電阻率。然而，摻雜的鋁氮化物的侵蝕速度比由曲線 406 示出的含氧化鈮材料的侵蝕速度高 10 倍，如通過第 5 圖中的柱狀圖 500 示出。

在第 4 圖中的曲線 408 表示含 HfO_2 的燒結陶瓷材料，其在表格中表示為樣品 #1。該陶瓷材料表現出比含 Nb_2O_5 材料高的電阻率，並且在室溫下表現出電漿電弧放電更可能發生的構件的推薦範圍之外的電阻率。然而，在 200°C 下，其在部分半導體處理期間存在的溫度，電阻率落入可接受範圍內，如第 1 圖中通過曲線 108 所示。

第 4 圖的曲線 410 表示含 Sc_2O_3 的燒結陶瓷材料，其在表格中表示為樣品 #2。再次，當處理溫度為 200°C 時，該材料可用於需要 $10^{11}\Omega\cdot\text{cm}$ 電阻率的應用中。

爲了比較目的（關於包含含氧化釷固溶體的受控電阻率陶瓷），第 4 圖的曲線 412 示出了包含在第 2 圖中示出的 Y_2O_3 、 ZrO_2 和 Al_2O_3 的“A”型陶瓷材料。該“A”型材料的一個實施方式，其在第 1 圖中示出，包含具有 $\text{c-Y}_2\text{O}_3$ 爲溶劑以及 Zr_2O_3 爲溶質的約 60% 莫耳百分比的立方氧化釷型結構；具有 ZrO_2 爲溶劑以及 Y_2O_3 爲溶質的約 2% 莫耳百分比的螢石型結構固溶體；以及，約 38% 莫耳百分比 YAM ($\text{Y}_4\text{Al}_2\text{O}_9$) 化合物。雖然 A 型 HPM 材料表示出適合的耐侵蝕性能和優良的機械性能，但電阻率顯著高於所需範圍最大值 $10^{11}\Omega\cdot\text{cm}$ 。即使在 200°C 下也是這種情況，如第 1 圖中的曲線 112 所示。該材料並不包括於電阻率改質的耐侵蝕陶瓷的實施方式中。

爲了比較目的，第 4 圖的曲線 414 表示含 Nd_2O_3 的燒結陶瓷材料，其在表格中表示為樣品 #3。該材料難以滿足防止電弧放電的需要，並認爲是不構成本發明的單一陶瓷材料部分的比較實施例。

爲了比較目的，第 4 圖的曲線 416 示出了純 Y_2O_3 的燒結陶瓷的電阻率屬性。該材料也是比較實施例，其用作基準，原因在於大部分半導體裝置構件已經由純 Y_2O_3 製造。純 Y_2O_3 的電阻率的比較示出了由本發明所得到的電阻率有非常顯著的改善。

實施例八

第 5 圖示出了表示對於多種暴露於電漿的燒結陶瓷材料標準化爲純 Y_2O_3 的示例性侵蝕速度的柱狀圖 500。電漿由 CF_4 和 CHF_3 源氣產生。電漿處理腔室是可從 Applied Materials 有限公司購得的 Enabler for Trench Etch。電漿源功率高達 2000W，製程腔室壓力爲 10-500 毫托，並且基材溫度爲約 $40^\circ C$ ，76 小時的時間週期。軸 502 示出了測試耐侵蝕性的多種材料。表示爲 $Y_2O_3-10ZrO_2$ 的測試樣本表示通過燒結 100 重量份數的 Y_2O_3 以及 10 重量份數的 ZrO_2 形成。表示爲含 Nb_2O_5 -或 HfO_2 -或 Nd_2O_3 -或 Sc_2O_3 -的測量樣本表示描述爲含蝕刻這些材料的化合物。如在軸 504 上所示的侵蝕速度的比較表示所改質的電阻率的侵蝕速度，含氧化鈮的燒結陶瓷材料基本與純氧化鈮的侵蝕速度相同。另外，所改質的電阻率的侵蝕速度，含氧化鈮的燒結陶瓷基本比 Al_2O_3 、 AlN 、 ZrO_2 、石英、 W/ZrC 、 B_4C 和 SiC ，用於提供半導體處理侵蝕襯墊和在半導體處理裝置內部構件上的耐鹵素電漿腐蝕材料。

基於在提供以上所述的實施例的實驗期間所得到的結果，以及來自其他參考源的資料，已經進行了提供在電漿漏電流中的 UV 輻射效果評估的計算。電漿環境中（用於電漿處理中的類型）的 UV 輻射不影響含電阻率改質的氧化鈮的燒結陶瓷材料的漏電流。

193nmUV 輻射（在部分半導體處理操作中採用）對在 Nb_2O_5 -B 型燒結陶瓷材料和 HfO_2 -B 型燒結陶瓷材料中的

漏電流的影響的研究表示這些材料的電性能不應用受這些UV輻射影響。

用作與電漿接觸的半導體處理裝置的含陶瓷顆粒的製品包括蓋子、襯墊、噴嘴、氣體分配板、噴頭、靜電夾盤構件、陰影框架、基材容納框架、處理套件和腔室襯墊，僅作為示例性並且不限於此。

以上所述的示例性實施方式不意欲限制本發明的範圍，由於本發明的揭示內容，本發明的普通技術人員能解釋與本發明所要求保護的主題對應的實施方式。

【圖式簡單說明】

為了有助於理解以上所述的實施方式，可參照附圖更加詳細地描述以上所述的特定實施方式。然而，應該注意到，附圖僅示出了部分典型實施方式並因此不用於現在在此所述的本發明的範圍。本發明包括其他等效的實施方式。

第1圖是示出了對於多種材料，在空氣環境中施加電壓為1000V下，電阻率與溫度的函數關係圖表100；

第2圖是 $Y_2O_3-ZrO_2-Al_2O_3$ 相圖200。該相圖示出了除了其他成分之外，特種材料的組成，在此在相圖上標記為區域“A”用於參考。類型“A”陶瓷材料是對鹵素電漿侵蝕具有良好耐腐蝕性的陶瓷成分；

第3圖是 $Y_2O_3-ZrO_2-Nb_2O_5$ 相圖300。該相圖示出除了其他成分外，特種材料的組成，在此在相圖上標記為區域“B”，用於參考。類型“B”陶瓷材料為不僅對鹵素電

漿侵蝕具有良好耐腐蝕性而且還具有例如與“A”類型陶瓷材料相比的受控的、較低電阻率的陶瓷成分；

第4圖是示出對於多種材料的電阻率與施加的電壓的函數關係圖表400，其中測量可在室溫（約27°C）空氣中下進行；

第5圖是直條圖500，其示出了暴露於由CF₄和CHF₃源氣體產生的電漿的多種燒結陶瓷材料相對於純氧化鈮的標準化平均示例性侵蝕速度。

【主要元件符號說明】

100 各種陶瓷材料的電阻率的圖表

102、104 軸

106、108、110、112、114、116、120、122 曲線

200 Y₂O₃-ZrO₂-Al₂O₃ 相圖

300 Y₂O₃-ZrO₂-Nb₂O₅ 相圖

400 對於許多燒結陶瓷測試樣本在電阻率測試期間電阻率與所施加的電壓的函數關係圖

402、404 軸

406、408、410、412、414、416、420、422 曲線

500 柱狀圖

502、504 軸

五、中文發明摘要：

本發明揭示了在採用一腐蝕/侵蝕性電漿的半導體處理條件下抵抗腐蝕/侵蝕的特種陶瓷材料。腐蝕性電漿可為一含鹵素電漿。該特種陶瓷材料已經被改質以提供可以抑制電漿電弧放電的受控電阻率。

六、英文發明摘要：

Specialty ceramic materials which resist corrosion/erosion under semiconductor processing conditions which employ a corrosive/erosive plasma. The corrosive plasma may be a halogen-containing plasma. The specialty ceramic materials have been modified to provide a controlled electrical resistivity which suppresses plasma arcing potential.

十、申請專利範圍：

1、一種含陶瓷的製品，其能抵抗用於半導體處理中的含鹵素電漿的侵蝕並在從約 350°C 至室溫範圍內的溫度下具有在約 10^{-7} 至 $10^{-15} \Omega \cdot \text{cm}$ 範圍內的受控電阻率，所述陶瓷製品具有包含含氧化鈮的至少一種固溶體的表面，以及其中包含氧化鈮的至少一種固溶體還包含選自氧化鋯、氧化鈣、氧化銦、氧化鈦、氧化鈹、氧化鎳、氧化鉕、氧化鈾及其組合所構成群組的一種或多種氧化物。

2、如申請專利範圍第 1 項所述的含陶瓷的製品，其中其他鑰系元素氧化物包括於所述陶瓷製品中。

3、如申請專利範圍第 1 項所述的含陶瓷的製品，其中兩種氧化物用於形成包含氧化鈮和其他氧化物的所述至少一種固溶體，以及其中所述其他氧化物選自氧化鋯、氧化鈾、氧化鈣和氧化鈦所構成群組。

4、如申請專利範圍第 3 項所述的含陶瓷的製品，其中氧化銦、氧化鈦、氧化鎳、氧化鉕或其他鑰系元素氧化物包括於所述陶瓷製品中。

5、如申請專利範圍第 1 項所述的含陶瓷的製品，其中多於兩種的前驅物氧化物用於形成包含氧化鈮的所述固溶體，以及其中所述前驅物氧化物包括氧化鋯以及選自氧化

鉛、氧化銦、氧化銱、氧化釷、氧化鐳、氧化鉍、氧化鈾及其組合所構成群組的其他氧化物。

6、如申請專利範圍第 5 項所述的含陶瓷的製品，其中其他鏷系元素包括於所述含陶瓷的製品中。

7、如申請專利範圍第 3 項所述的含陶瓷的製品，其中所述陶瓷由在從約 40%莫耳百分比到小於 100%莫耳百分比範圍內的濃度下的氧化釷，和在從高於 0%莫耳百分比到約 60%莫耳百分比範圍內的濃度下的氧化鋳形成。

8、如申請專利範圍第 3 項所述的含陶瓷的製品，其中所述陶瓷由在從約 40%莫耳百分比到小於 100%莫耳百分比範圍內的濃度下的氧化釷，和在從高於 0%莫耳百分比到約 60%莫耳百分比範圍內的濃度下的氧化鈾形成。

9、如申請專利範圍第 3 項所述的含陶瓷的製品，其中所述陶瓷由在從約 40%莫耳百分比到小於 100%莫耳百分比範圍內的濃度下的氧化釷，和在從高於 0%莫耳百分比到約 60%莫耳百分比範圍內的濃度下的氧化鉛形成。

10、如申請專利範圍第 3 項所述的含陶瓷的製品，其中所述陶瓷由在從約 40%莫耳百分比到小於 100%莫耳百分比範圍內的濃度下的氧化釷，和在從高於 0%莫耳百分比

到約 60%莫耳百分比範圍內的濃度下的氧化鈮形成。

11、如申請專利範圍第 5 項所述的含陶瓷的製品，其中所述氧化鈮存在從約 40%莫耳百分比到小於 100%莫耳百分比範圍內的濃度，以及氧化鋇存在從高於 0%莫耳百分比到約 20%莫耳百分比範圍內的濃度，以及氧化釷存在從高於 0%莫耳百分比到小於 100%莫耳百分比範圍內的濃度。

12、如申請專利範圍第 5 項所述的含陶瓷的製品，其中所述氧化鈮存在從約 70%莫耳百分比到小於 100%莫耳百分比範圍內的濃度，以及氧化鋇存在從高於 0%莫耳百分比到約 17%莫耳百分比範圍內的濃度，以及氧化鈣存在從高於 0%莫耳百分比到約 27%莫耳百分比範圍內的濃度。

13、如申請專利範圍第 5 項所述的含陶瓷的製品，其中所述製品由三相燒結陶瓷形成，該三相燒結陶瓷包括：包含 $Y_2O_3-ZrO_2-Nb_2O_5$ 的第一相固溶體，其占所述燒結陶瓷材料的約 60%到約 90%之間的莫耳百分比；第二相 Y_3NbO_7 ，其占所述燒結陶瓷材料的約 5%到約 30%之間的莫耳百分比；以及元素形式的第三相 Nb，其占所述燒結陶瓷材料的約 1%到約 10%之間的莫耳百分比。

14、如申請專利範圍第 1 項所述的含陶瓷的製品，其

中所述製品為一靜電夾盤或一基材升降杆形式，或者需要從約 350°C 到室溫範圍內的溫度下從約 10^{-7} 至 $10^{-15} \Omega \cdot \text{cm}$ 範圍內電阻率的其他製品形式。

15、如申請專利範圍第 1 項所述的含陶瓷的製品，其中所述製品為在一半導體處理腔室內部使用的一內部構件或一襯墊形式，以及其中所述陶瓷製品的電阻率在從約 350°C 到室溫範圍的溫度下為在約 10^{-7} 至 $10^{-15} \Omega \cdot \text{cm}$ 範圍內。

16、如申請專利範圍第 1 項所述的含陶瓷的製品，其中所述製品為一固體燒結陶瓷製品。

17、如申請專利範圍第 1 項所述的含陶瓷的製品，其中所述製品選自靜電夾盤、蓋子、襯墊、噴嘴、氣體分配板、噴頭、靜電夾盤構件、陰影框架、基材容納框架、處理套件和腔室襯墊所構成群組。

18、如申請專利範圍第 1 項所述的含陶瓷的製品，其中所述製品的所述表面由所述陶瓷塗覆。

19、一種降低一半導體處理腔室內的電漿放電的方法，所述半導體處理腔室採用一靜電夾盤、一襯墊或一具有與電漿接觸的表面的內部構件，所述表面包含一陶瓷材

料，所述方法包含：

a) 選擇氧化物以由氧化釔和至少一種其他氧化物組成所述陶瓷材料，其中所述其他氧化物的陽離子具有與 Y^{3+} 離子顯著不同的原子價 (valence)，以形成 Y 空位，導致所述陶瓷材料的電阻率降低；

b) 燒結所述氧化物以形成至少一種結晶固溶體；以及

c) 將所述陶瓷材料暴露於電漿。

20、如申請專利範圍第 19 項所述的方法，其中具有與所述 Y^{3+} 離子不同的原子價的所述氧化物選自 CeO_2 、 TiO_2 、 ZrO_2 、 HfO_2 、 Nb_2O_5 及其組合所構成群組。

21、一種減少一半導體處理腔室內的電漿電弧放電的方法，所述半導體處理腔室採用一靜電夾盤、一襯墊或一具有接觸電漿的表面的內部構件，所述表面包含一陶瓷材料，所述方法包含：

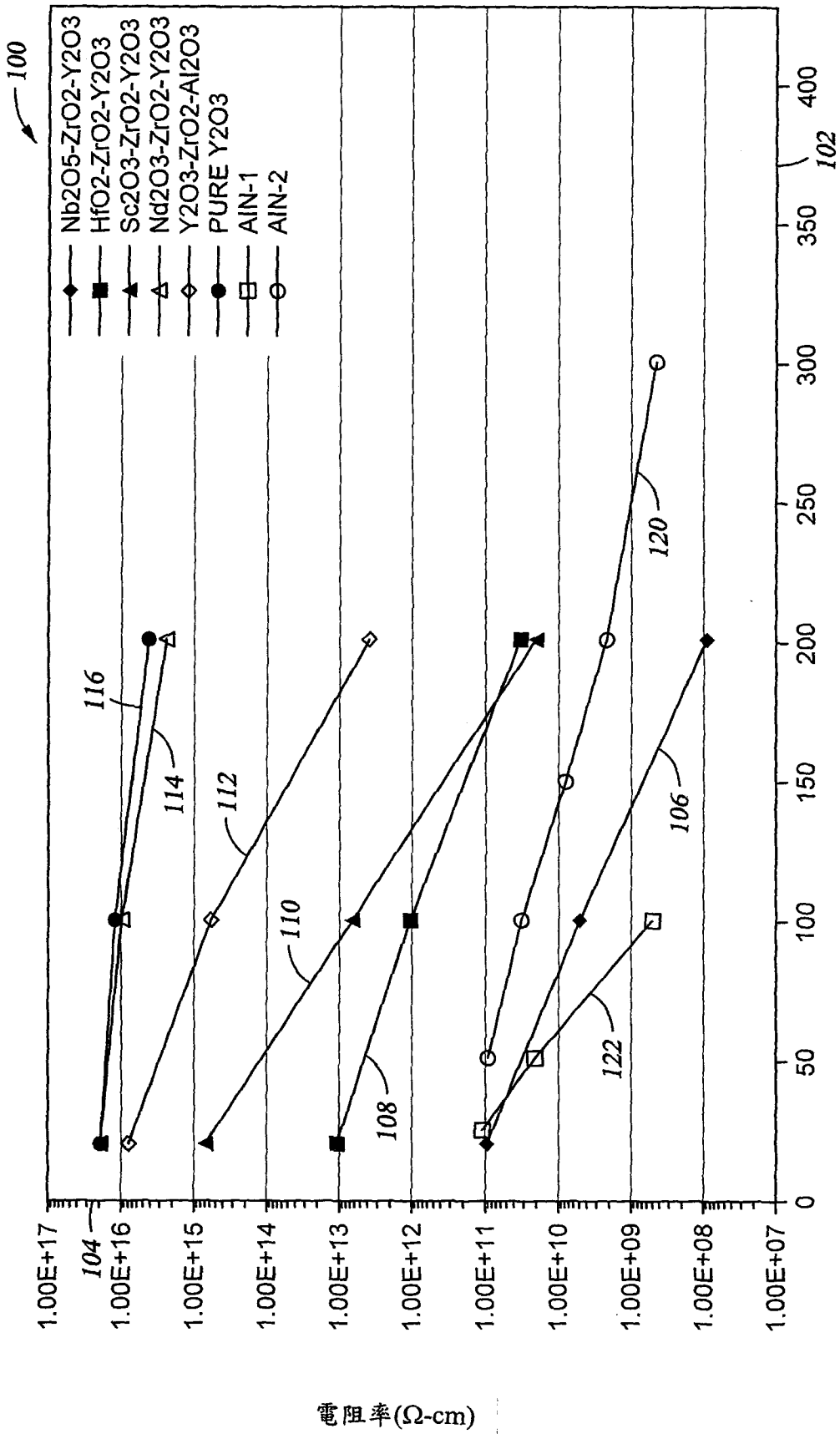
a) 選擇氧化物以由氧化釔和至少一種其他氧化物組成所述陶瓷材料，其中所述其他氧化物的陽離子顯示有與 Y^{3+} 離子相同的原子價 (valence)，但是具有與 Y^{3+} 離子顯著不同的離子半徑，導致所述陶瓷材料的電阻率降低；

b) 在一還原氣氛中燒結所述氧化物；以及

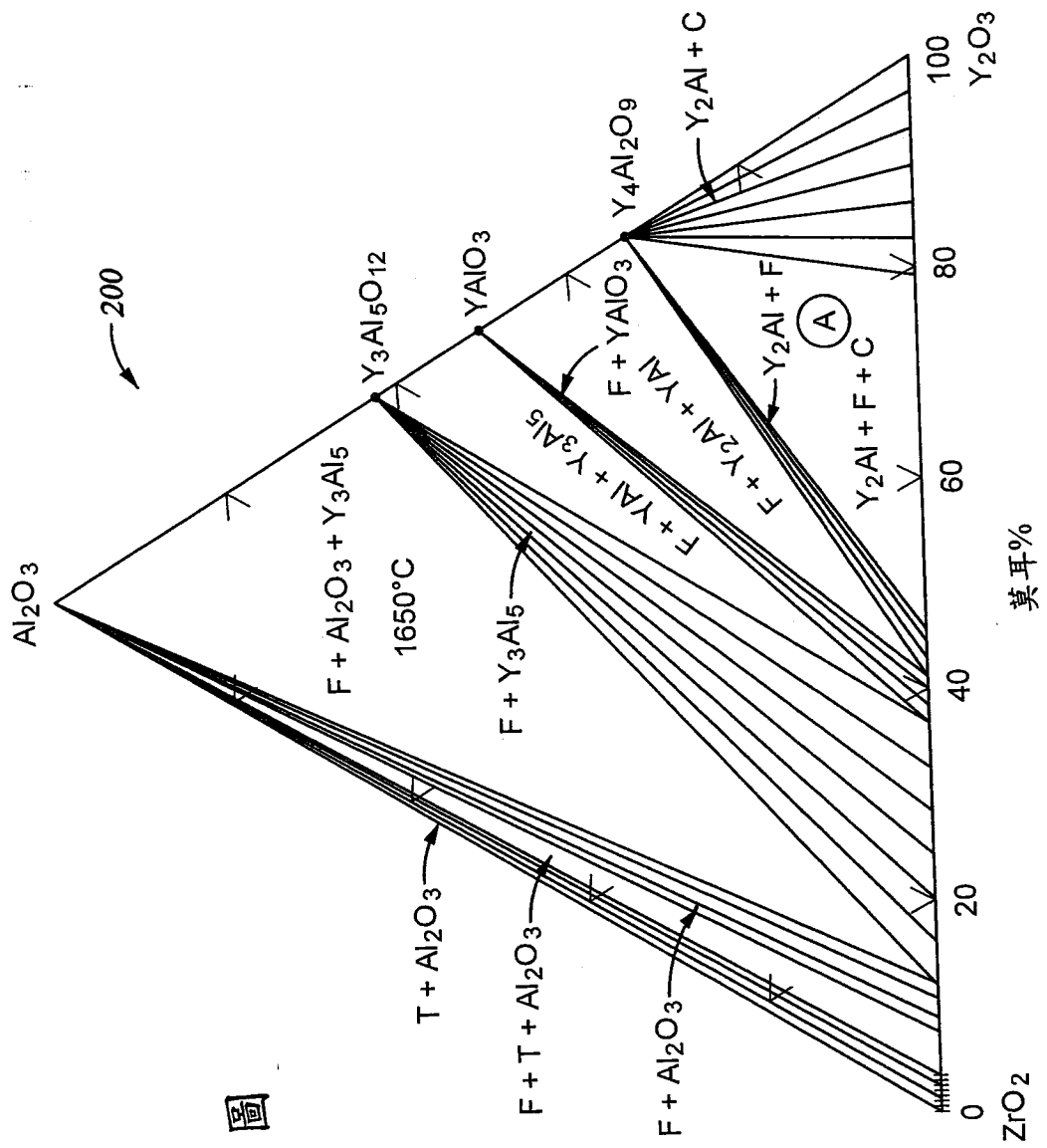
c) 將所述陶瓷材料暴露於電漿。

22、如申請專利範圍第 21 項所述的方法，其中具有

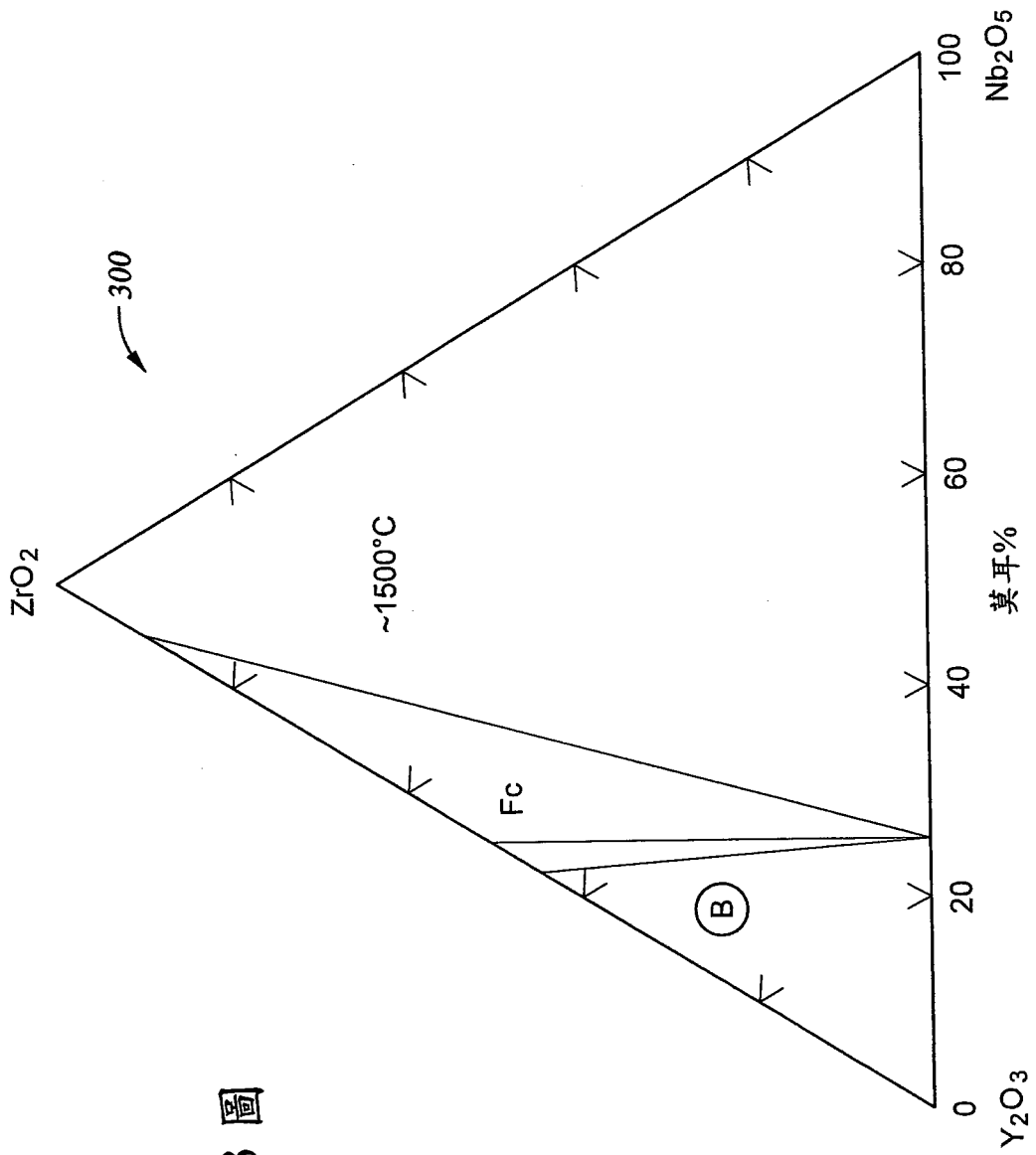
顯著不同的離子半徑的所述氧化物選自 Nd_2O_3 、 Sm_2O_3 、 Sc_2O_3 、 Yb_2O_3 、 Er_2O_3 、 Ho_2O_3 、 Dy_2O_3 及其組合所構成群組。



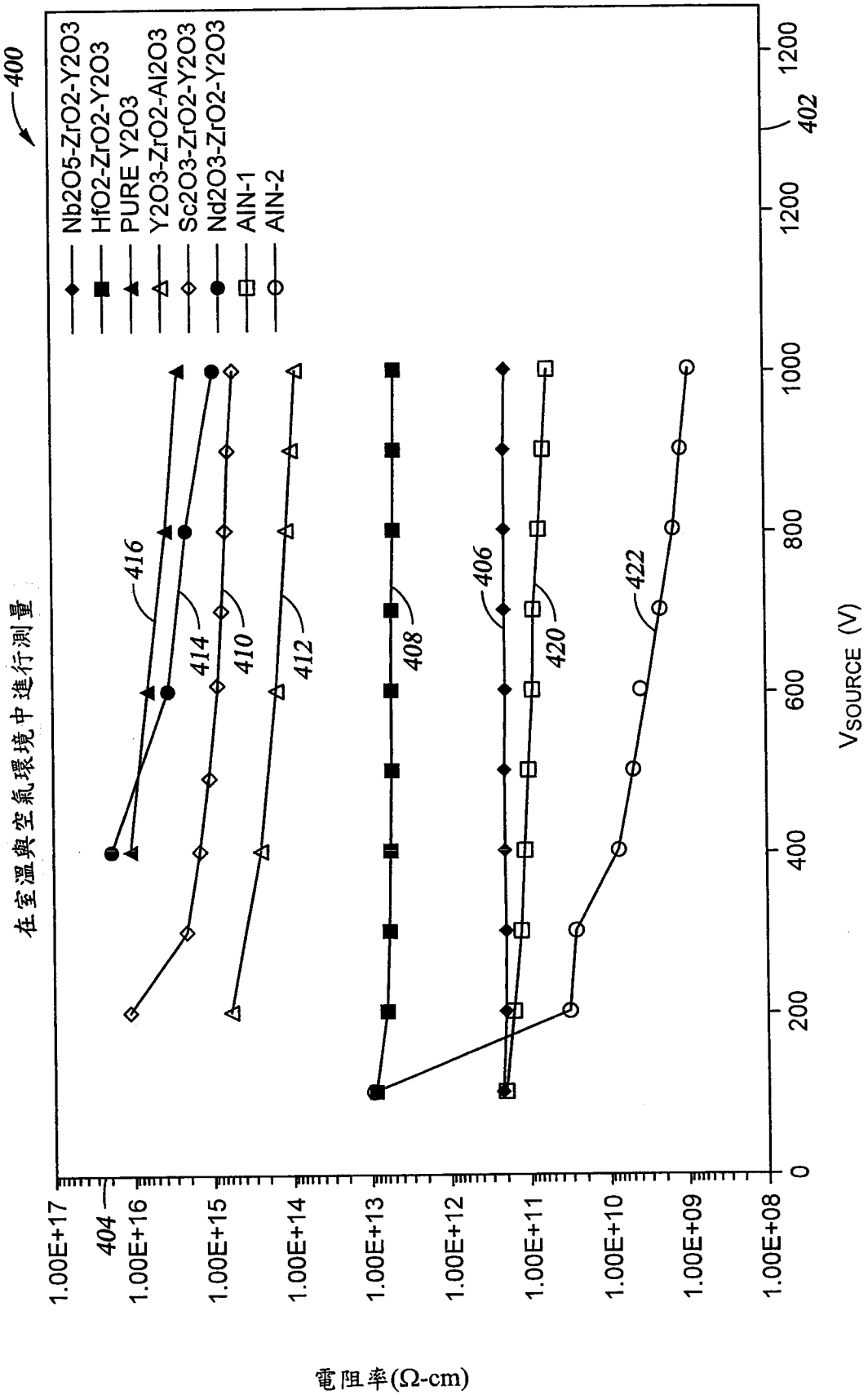
第 1 圖



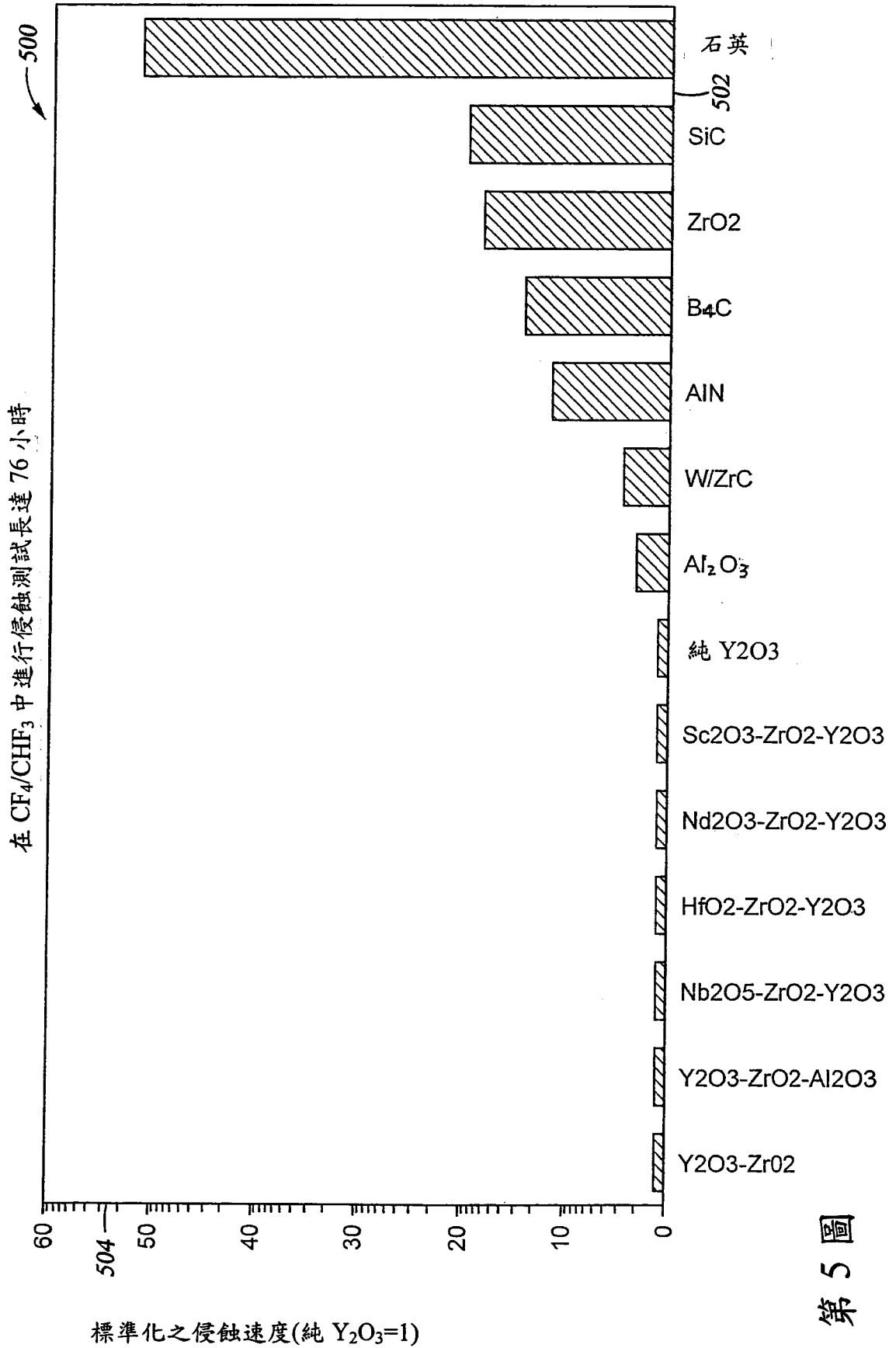
第 2 圖



第 3 圖



第 4 圖



第 5 圖

七、指定代表圖：

(一)本案指定代表圖為：第 1 圖。

(二)本代表圖之元件符號簡單說明：

100 各種陶瓷材料的電阻率的圖表

102、104 軸

106、108、110、112、114、116、120、122 曲線

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無