

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3557275号

(P3557275)

(45) 発行日 平成16年8月25日(2004.8.25)

(24) 登録日 平成16年5月21日(2004.5.21)

(51) Int. Cl.⁷

F I

H03K 19/094

H03K 19/094 D

G06F 1/04

G06F 1/04 301C

H03K 19/096

H03K 19/096 D

請求項の数 11 (全 21 頁)

(21) 出願番号	特願平7-71136	(73) 特許権者	503121103 株式会社ルネサステクノロジ 東京都千代田区丸の内二丁目4番1号
(22) 出願日	平成7年3月29日(1995.3.29)	(74) 代理人	100089071 弁理士 玉村 静世
(65) 公開番号	特開平8-274620	(74) 代理人	100075096 弁理士 作田 康夫
(43) 公開日	平成8年10月18日(1996.10.18)	(72) 発明者	水野 弘之 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究 所内
審査請求日	平成14年2月15日(2002.2.15)	(72) 発明者	長野 隆洋 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究 所内

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置及びマイクロコンピュータ

(57) 【特許請求の範囲】

【請求項1】

複数の動作モードを有する半導体集積回路装置であって、
半導体基体に形成され、第1MISトランジスタを含む論理回路と、
上記半導体基体に形成され、第2MISトランジスタを含み、発振信号を出力するモニター回路と、

上記動作モードに応じた周波数を有するクロック信号と上記モニター回路の出力する上記発振信号とを入力し、上記論理回路及び上記モニター回路に制御信号を出力する制御回路とを有し、

上記制御信号により上記第1MISトランジスタのしきい値電圧及び上記第2MISトランジスタのしきい値電圧が制御され、

上記制御回路は、上記クロック信号の周波数と上記発振信号の周波数とを比較し、上記クロック信号と上記発振信号とが同期するよう、上記制御信号を制御する半導体集積回路装置。

【請求項2】

請求項1において、

上記制御信号は上記第1MISトランジスタの基板バイアス及び上記第2MISトランジスタの基板バイアスを制御する半導体集積回路装置。

【請求項3】

請求項2において、

上記制御信号により、上記第1 M I S トランジスタのソースを形成する不純物層と上記第1 M I S トランジスタの形成されるウェル間の P N 接合に順方向バイアスを印加する半導体集積回路装置。

【請求項4】

請求項1乃至3のいずれかにおいて、

上記モニター回路は、上記第2 M I S トランジスタを含んで構成されるインバータ回路を多段に接続したリングオシレータにより構成される半導体集積回路装置。

【請求項5】

請求項1乃至4のいずれかにおいて、

上記制御回路は、上記制御信号を上記論理回路及び上記モニター回路に共通の端子から出力する半導体集積回路装置。 10

【請求項6】

請求項1乃至5のいずれかにおいて、

上記半導体基体には、ツインウェル構造、三重ウェル構造または S O I 構造の M I S トランジスタが形成される半導体集積回路装置。

【請求項7】

請求項1乃至6のいずれかにおいて、

発振回路を有し、

上記発振回路は、上記複数の動作モードのうち、いずれかの動作モードを選択するための動作モード制御信号の入力を受け、上記選択された動作モードに応じた周波数のクロック信号を上記制御回路に出力する半導体集積回路装置。 20

【請求項8】

請求項1乃至7のいずれかにおいて、

上記動作モードには、上記論理回路を高速動作させるモード、上記論理回路を比較的低速で動作するモード及び上記論理回路の待機モードとを含む半導体集積回路装置。

【請求項9】

請求項1乃至8のいずれかにおいて、

上記論理回路は、第1導電型の M I S トランジスタと上記第1導電型の M I S トランジスタと直列接続される第2導電型の M I S トランジスタとを含む C M O S 論理回路である半導体集積回路装置。 30

【請求項10】

請求項9において、

上記 C M O S 論理回路を構成する M I S トランジスタはサブスレッショルドリーク電流が流れる半導体集積回路装置。

【請求項11】

請求項1乃至10のいずれかにおいて、

上記論理回路及び上記モニター回路の電源電圧は1V程度である半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 40

本発明は半導体集積回路に係わり、特に高速かつ低電圧動作に適した半導体集積回路装置とマイクロコンピュータおよびそれらを用いたマイクロコンピュータシステムに関する。

【0002】

【従来の技術】

M O S トランジスタを1V程度の低電源電圧で動作させる場合、ドライブ能力を上げ回路の動作速度を向上させるため、M O S トランジスタのしきい値を低く設定しなければならない。しかし、1993 シンポジウム オン ブイ・エル・エス・アイ サーキットダイジェスト オブ テクニカル ペーパーズ(1993年5月)第45頁から第46頁(1993 Symposium on VLSI Circuits Digest of Technical Papers, pp45-46(May 1993))に 50

述べられているように、しきい値をあまり低く設定すると、MOSトランジスタのサブスレッシュヨルド特性(テール特性)によって、トランジスタを完全にオフすることができなくなり、サブスレッシュヨルドリーク電流が流れ、消費電力が増大するという問題が生じる。

【0003】

また、1994 シンポジウム オン ブイ・エル・エス・アイ テクノロジ ダイジェスト オブ テクニカル ペーパーズ(1994年6月)第13頁から第14頁(1994 Symposium on VLSI Technology Digest of Technical Papers, pp13-14 (June 1994))に述べられているように、MOSトランジスタが微細化するにつれプロセスばらつきに起因するしきい値等のMOSトランジスタの基本パラメータの変動が大きくなる。

10

【0004】

図15はMOSトランジスタのゲート長 L_g に対するしきい値の変化を示している。ゲート長 L_g が短くなるにつれ、ゲート長の加工寸法ばらつきによるしきい値のばらつきは大きくなる。

【0005】

サブスレッシュヨルドリーク電流をある値以下に制限するためのしきい値の下限を $0.2V$ 、上記プロセスばらつきによるしきい値ばらつきを $\pm 0.15V$ と仮定すると、しきい値の事実上の下限は $0.2V$ と $0.15V$ の和 $0.35V$ になってしまう。

20

【0006】

このように従来の集積回路ではしきい値をあまり低く設定できない。特に電源電圧が低い場合にはMOSトランジスタが完全に飽和していない領域で動作するため、MOSトランジスタ回路の動作速度はしきい値がわずかに高くなるだけで急激に遅くなり、従来から用いられているワーストケースを考慮した設計手法では所望の性能を得ることが困難になる。

【0007】

【発明が解決しようとする課題】

本発明の課題は上記したような従回路の問題点を解決することにある。

【0008】

すなわち、MOSトランジスタによって構成される半導体集積回路において、サブスレッシュヨルドリーク電流によって生じる消費電力の増加とMOSトランジスタの動作速度との調和を好適に図ることのできる半導体集積回路を提供することにある。

30

【0009】

さらには、上記消費電力と動作速度の調和を図るため、好適にしきい値電力の制御を行うことのできる半導体集積回路を提供することにある。

【0010】

さらには、上記しきい値電力の制御を外部クロックの周波数を用いて簡便に制御することのできる半導体集積回路を提供することにある。

【0011】

さらには、半導体集積回路装置が複数の動作周波数で動作する場合に、該動作周波数に対応したしきい値の制御を実現できる半導体集積回路装置を提供することにある。

40

【0012】

さらには、MOSトランジスタのしきい値がバラツキを有する場合であっても、それぞれのトランジスタに最適なしきい値の制御を行うことのできる半導体集積回路装置を提供することにある。

【0013】

さらには、上述した半導体集積回路装置を用いて、消費電力と動作速度との調和が最適に制御されるマイクロプロセッサ及びそれを用いたマイクロプロセッサシステムを提供することにある。

50

【 0 0 1 4 】

【課題を解決するための手段】

本発明の代表的な実施例によれば、上記課題を克服するため、主回路である論理回路に、主回路の基板バイアスと基板バイアスを共有する基板バイアス依存型の発振回路と、動作モードによって発振周波数が変化する動作モード依存型の発振回路を接続し、この二つの発振回路の発振出力を用いて基板バイアス制御回路によって両発振出力が同期するように比較制御することにより、主回路の基板バイアスを制御する。

【 0 0 1 5 】

さらに本発明の代表的な実施例による半導体集積回路装置は、
所定の処理を行う論理回路と、該論理回路を構成するトランジスタのしきい値を制御する
制御回路と、発振出力の周波数を可変とできる発振回路とを有し、上記論理回路は、半導
体基体に形成されたM I Sトランジスタを含んで構成され、上記発振回路の発振出力は上
記制御回路に供給され、上記制御回路には所定の周波数を有する基準クロックが供給され
、上記制御回路は上記発振回路の発振出力の周波数を上記基準クロックの周波数に対応す
る値となるように制御する第1の制御信号を出力し、上記論理回路を形成するM I Sトラン
ジスタのしきい値電圧は上記第1の制御信号に対応した第2の制御信号により制御される
ことを特徴とする。

10

【 0 0 1 6 】

さらに本発明の代表的な実施例による半導体集積回路装置は、
半導体基体に形成されたM I Sトランジスタを含む論理回路と、上記論理回路を構成する
M I Sトランジスタのしきい値を制御する制御回路と、上記半導体基体に形成されたM I
Sトランジスタを含み、発振出力の周波数を可変とできるよう構成されて発振回路とを有
し、
上記制御回路には、所定の周波数を有するクロック信号と、上記発振回路の発振出力が供
給され、上記制御回路は、上記発振出力の発振周波数と上記クロック信号の周波数を比較
し第1の制御信号を発生し、上記発振回路は、上記第1の制御信号により、上記発振出力
の発振周波数が上記クロック信号の周波数に対応するよう制御され、上記発振出力の周波
数の制御は、上記第1の制御信号により上記発振回路のしきい値を制御することにより行
われ、上記第1の制御信号に対応した第2の制御信号により上記論理回路を形成するM I
Sトランジスタのしきい値が制御されるよう構成されたことを特徴とする。

20

30

【 0 0 1 7 】

さらに本発明の代表的な実施例による半導体集積回路装置は、
Pチャネル型M I SトランジスタとNチャネル型M I Sトランジスタを含んで形成された
論理回路と、Pチャネル型M I SトランジスタとNチャネル型M I Sトランジスタを含ん
で形成された周波数可変の第1の発振回路と、上記Pチャネル型M I Sトランジスタと上
記Nチャネル型M I Sトランジスタのしきい値電圧を制御する制御信号を発生する制御回
路と、動作モードに応じて周波数の異なった複数の基準クロックを出力する第2の発振回
路とを有し、上記制御回路は、上記基準クロックを受け、上記制御信号により上記第1の
発振回路の発振周波数と上記基準クロックの周波数とが対応するよう制御することを特徴
とする。

40

さらに本発明の代表的な実施例による半導体集積回路装置は、
少なくとも第1及び第2の回路ブロックを有する論理回路と、発振周波数を可変とできる
第1及び第2の発振回路と、上記第1の回路ブロック及び上記第1の発振回路を構成する
M I Sトランジスタのしきい値電圧を制御する第1の制御回路と、上記第2の回路ブロッ
ク及び上記第2の発振回路を構成するM I Sトランジスタのしきい値電圧を制御する第2
の制御回路と、上記第1及び第2の制御回路に共通に所定に周波数のクロック信号を供給
するクロック供給回路とを有し、上記第1の制御回路は、クロック信号の周波数と上記発
振回路の発振出力の周波数とが一致するように上記第1の回路ブロック及び上記第1の発
振回路を構成するM I Sトランジスタのしきい値電圧を制御し、上記第2の制御回路は、
クロック信号の周波数と上記発振回路の発振出力の周波数とが一致するように上記第2の

50

回路ブロック及び上記第2の発振回路を構成するM I Sトランジスタのしきい値電圧を制御するよう構成されることを特徴とする。

【0018】

さらに本発明の代表的な実施例によるマイクロコンピュータは、上述した半導体集積回路装置内の論理回路の処理量を検出する負荷検出手段を有し、上記負荷検出手段は、上記処理量に応じて上記クロック信号の周波数を変化させるよう構成されたことを特徴とする。

【0019】

【作用】

本発明の代表的な実施例によれば、回路中に設けた基板バイアス依存型の発振回路が、主回路である論理回路の動作モードによって決定された既知の周波数に同期して動作するので、基板バイアス依存型発振回路を構成するM O Sトランジスタのしきい値を動作モードに応じて最適制御できる。さらに、基板バイアス依存型発振回路の基板バイアスを主回路のそれと共通化してあるので、主回路を構成するM O Sトランジスタのしきい値を動作モードに応じて最適制御できる。これにより、サブスレッショルドリーク電流による消費電流増加が必要最低限に抑えることができる。また、発振回路が動作モードによって決定された既知の周波数に同期しているため、主回路のM O Sトランジスタの遅延時間を容易に見積もることができ、主回路の設計が容易になる。

10

【0020】

さらに本発明の代表的な実施例によれば、所定の基準クロックによりトランジスタのしきい値を制御することができるため、簡単な回路構成によりトランジスタのしきい値を制御することができ、動作の高速性と消費電力の調和を図ることができる。

20

【0021】

さらに本発明の代表的な実施例によれば、所定の基準クロックの周波数に同期するよう制御される発振回路の周波数の制御がしきい値電圧の制御により行われるため、内部の論理回路のしきい値電圧を効率良く制御することができる。

【0022】

さらに本発明の代表的な実施例によれば、動作モードに応じて内部の論理回路のしきい値が変化するように構成されるため、所定の動作モードに応じて論理回路を最適な動作速度とすることができる。

30

【0023】

さらに本発明の代表的な実施例によれば、論理回路を複数のブロックに分割して上述の制御を行うよう構成されるため、製造プロセスによる素子ばらつきを補償したしきい値電圧の制御を行うことができる。

【0024】

さらに本発明の代表的な実施例によれば、上述の論理回路の処理量を検出しこれに応じて論理回路の動作速度を制御することのできるマイクロコンピュータを得ることができる。

【0025】

【実施例】

以下、図を参照して本発明の実施例を説明する。

40

【0026】

図1は本発明の第1の実施例を示す図である。

【0027】

LOG0は論理回路等の主回路、OSC0は周波数を可変にできる周波数可変型の発振回路、CNT0は制御回路である。

【0028】

発振回路OSC0は、端子B1に制御回路から制御信号を受けその信号の値により発振周波数が増減するよう構成される。制御回路CNT0は、外部からクロック信号CLK0を受けるとともに、発振回路OSC0の発振出力を受けよう構成される。ここで、周波数可変型発振回路OSC0と、周波数可変型発振回路OSC0の出力S0を入力とする制御

50

回路CNT0からなる閉回路系は、互いに負帰還がかかる安定な系になるように構成されている（周波数可変型発振回路OSC0の出力S0によって負帰還がかかっている）。この閉回路系により、周波数可変型発振回路OSC0の出力S0の発振周波数は外部クロックCLK0の周波数に対応した周波数となり、例えば出力S0の発振周波数と外部クロックの周波数とは同じ周波数で同期することとなる。

【0029】

また、後述するように、発振回路OSC0は半導体基板上に形成されたNチャンネル型MOSFETとPチャンネル型MOSFETとにより構成され、制御回路CNT0からの制御電圧がMOSFETの基板バイアスを変化させるように構成されており、基板バイアスの変化によりそのしきい値電圧が変化し、発振周波数が変化するように構成されている。

10

【0030】

また、主回路LOG0は、端子B0に制御回路CNT0の制御信号をうけるよう構成され、この制御信号により主回路LOG0を構成するMOSトランジスタの基板バイアスを制御し、しきい値電圧を制御するよう構成されている。このような構成により、外部クロックCLK0により内部回路である主回路のしきい値を制御することが可能となり、外部クロックの周波数に応じて、内部回路のしきい値電圧、ひいては消費電力と動作速度を可変とすることができる。

【0031】

すなわち、発振回路OSC0は制御回路CNT0の制御信号け、所定の周波数で発振する。ここで、発振回路OSC0の発振出力の周波数と外部クロックの周波数が対応しない場合には、制御信号によりこの発振出力の周波数と外部から供給される外部クロックの周波数が対応するように制御される。そして、この制御信号は発振回路OSC0を構成しているMOSトランジスタの基板バイアスを変化させることによりそのしきい値を制御するよう構成されているため、発振回路のMOSトランジスタは外部クロックに対応した発振周波数の出力が可能となる動作速度で動作するよう制御されることとなる。このように、発振回路を構成するMOSトランジスタの基板バイアスが外部クロックの周波数に対応した値に制御可能となるため、発振回路の基板バイアスを制御する信号に対応した信号により主回路LOG0の基板バイアスを制御すれば、外部クロックの周波数に対応した動作速度で動作するように主回路LOG0を構成するMOSトランジスタのしきい値を制御することが可能となる。

20

30

【0032】

一般に、高い発振周波数を得るため高速な動作を行う場合にはしきい値の絶対値は低くされる代わりにサブシュレショールド電流による消費電力が増加し、低い発振周波数で足りる場合にはしきい値の絶対値は高くされ動作速度は低下する代わりに消費電力は少なくなる。主回路LOG0が外部クロックを基準クロックとして動作する論理回路であれば、上述の構成をとることにより、外部クロックに対応した動作速度を有するようしきい値が適切に制御され、また、動作速度が比較的低速である場合には消費電力が少なくなるよう制御されることとなる。

【0033】

以上説明した例では、発振回路の基板バイアスを制御することにより、発振回路の周波数を制御しているが、これに限らず、外部クロックの周波数に対応してMOSトランジスタの動作速度を可変にすることができれば他の制御手段を採用することも可能である。この場合、発振回路は外部クロックの周波数に対応した動作速度を得るために必要な主回路LOG0のしきい値を知るためのモニター手段として機能しているため、発振回路の周波数を制御する信号を主回路LOG0のしきい値を制御するための信号に変換する必要が生ずる。

40

【0034】

また、本実施例では、主回路のトランジスタのしきい値を制御するために基板バイアスを変化させている例を説明したが、基板バイアスに限らず、トランジスタのしきい値を制御しているものであればよい。

50

【 0 0 3 5 】

なお、従来の周波数可変型発振回路では、リングオシレータを構成するインバータ回路の動作速度を可変とするため、インバータ回路への電流供給を制御するようなトランジスタが付加されている構成が一般的であるが、本実施例のように、基板バイアスの変化により発振周波数を変化させるよう構成すると、上述して電流制御用のトランジスタ等の素子が不要となるとともに、電流制御用の素子が存在しないため電源電圧を損失なくインバータ回路等に供給することができ発振周波数の上限を大きくし、可変となる周波数の範囲を広くとることができる。

【 0 0 3 6 】

また、発振回路の発振周波数を外部から供給されるクロック信号の周波数と同期させることが可能となり、外部から供給されるクロック信号の周波数が高くてもそれに追従することのできるPLL（フェーズ・ロックド・ループ）回路を構成することが可能となる。

10

【 0 0 3 7 】

図2は、本発明の別の実施例を示す図である。

【 0 0 3 8 】

主要部分は図1に説明した第1の実施例と同様であるため、その詳細については説明を省略する。本実施例が図1と異なるところは、しきい値を制御するための端子であるB0と周波数を制御するための端子であるB1を共通にノードB3により接続した点である。本実施例では、発振回路の発振周波数の制御は制御回路CNT0からの制御信号により基板バイアスを変化させ行っているため、同じ制御信号により主回路LOG0の基板バイアスを制御する構成をとっている。

20

【 0 0 3 9 】

この実施例においても図1の例と同様な効果を生ずることができ、且つ、制御回路CNT0からの制御信号が共通にされているため、回路構成が簡潔にできる。

【 0 0 4 0 】

また、この場合においても、上述したように発振可能な周波数範囲の広い発振回路および、高い周波数の外部クロック信号に追従することのできるPLL回路を得ることができ、また、主回路の動作速度と消費電力を外部クロックの周波数により制御することが可能となる。

【 0 0 4 1 】

図3は、本発明の別の実施例を示す図である。

30

【 0 0 4 2 】

この実施例では、MOSトランジスタの基板バイアスをそのトランジスタのしきい値制御端子として使用した場合を説明する。

【 0 0 4 3 】

主回路LOG1と、基板バイアスによって発振周波数が変化する基板バイアス依存型の発振回路OSC1があり、その基板バイアス依存型発振回路OSC1の発振出力S1と動作モードに依存する発振回路VCLK1の発振出力CLK1を用いて、基板バイアス制御回路CNT1により主回路LOG1の基板バイアスBP1、BN1を発生している。

【 0 0 4 4 】

とくに制限されないが、本実施例による発振回路は半導体基板上に形成されたPチャネル型MOSFETとNチャネル型MOSFETにより構成され、インバータ回路を多段に接続したリングオシレータにより構成される。また、主回路の同様にPチャネル型MOSFETとNチャネル型MOSFETにより構成されるいわゆるCMOS論理回路である。そして、BP1はPMOSトランジスタに印可する基板バイアス、BN1はNMOSトランジスタに印可する基板バイアスを表している。ここで、基板バイアスBP1、BN1はそれぞれpチャネルMOSFETのn基板電極（またはnウェル電極）と、nチャネルMOSFETのpチャネルMOSFETのp基板電極（またはpウェル電極）に与える電位を表している。

40

【 0 0 4 5 】

50

動作モード依存型発振回路VCLK1はシステムクロックSCLK1を基準クロックとして、システム外部あるいはシステム内部から発生された動作モードを示す信号MODE1に従って動作モードに依存した周波数の発振出力CLK1を出力している。特に制限されないが、主回路LOG1は発振出力CLK1をクロックとして動作する論理回路によりこうせいされる。

【0046】

基板バイアスBP1、BN1は基板バイアスに依存する発振回路OSC1にも接続されており、基板バイアス依存型発振回路OSC1と、基板バイアス依存型発振回路OSC1の出力S1を入力とする基板バイアス制御回路CNT1からなる閉回路系は、互いに負帰還がかかる安定な系になるように設計されている（基板バイアス依存型発振回路OSC1の出力S1によって負帰還がかかっている）。これにより、基板バイアス依存型発振回路OSC1の出力S1の発振周波数は動作モード依存型発振回路VCLK1の発振出力CLK1と同期している。

10

【0047】

ここでの動作モードは、特に制限されないが、主回路を高速動作させるモード、比較的低速で動作するモード、回路の待機モードなど主回路に要求される動作速度と消費電力との関係により予め設定されたものである。

【0048】

このように構成すると、基板バイアス依存型発振回路OSC1の基板バイアスと主回路LOG1の基板バイアスはともに基板バイアス制御回路CNT1の出力BP1、BN1で制御されているので、主回路LOG1の基板バイアスを動作モード依存型発振回路VCLK1の発振出力CLK1によって制御できることになる。基板バイアスによってMOSトランジスタのしきい値が変化するので、動作モードMODE1を変えることで主回路LOG1を構成しているMOSトランジスタのしきい値を変化させることができ、且つ動作モードに応じた最適な値にしきい値を制御できる。上述したようにしきい値の変化により主回路の動作速度及び消費電力は変化するため、動作モードを示す信号により制御回路に供給するクロック信号の周波数を変化させ、動作モードに敵した回路の動作速度及び消費電力の制御を行うことが可能となる。

20

【0049】

この実施例及び以下に示す実施例では、動作モードを示す信号により動作モード依存型発振回路VCLK1の発振周波数を可変させ発振出力CLK1を得ているが、図1あるいは図2に示すように制御回路CNT1に直接外部からのクロック信号を入力するよう構成することもできる。この場合予め動作モードにより外部クロック（システムクロック）の周波数が変化すれば、同様に内部回路である主回路の動作速度及び消費電力を制御することができ、動作モード依存型発振回路VCLK1が不要となる分上述した実施例よりも簡単な回路構成により実現することができる。

30

【0050】

また、この実施例では、BP1とBN1によりN型MOSFET及びP型MOSFETの双方の基板バイアスを制御しているが、BP1あるいはBN1のいずれかを用いて一方のMOSFETの基板バイアスを変化させることもできる。

40

【0051】

上述した実施例を、図4乃至図6を用いてより詳細に説明する。

【0052】

図4に示す回路の全体的な構成は図3と同様である。図4では図3の基板バイアス依存型発振回路OSC1は5段のCMOS（例えば、ゲート長 $0.25\mu\text{m}$ 、ゲート幅 $5\mu\text{m}$ ）リングオシレータで構成されている。リングオシレータを構成しているMOSトランジスタの基板電極（あるいはウェル電極）は発振周波数を可変するための制御線として使用されている。また、特に制限されないが、主回路LOG1は信号A、Bを入力とし信号Cを出力する2入力のNANDゲート（ゲート長 $0.25\mu\text{m}$ 、ゲート幅 $5\mu\text{m}$ ）で構成されている。また、図4では図3の基板バイアス制御回路CNT1は基板バイアス発生回路B

50

GEN1およびローパスフィルタLPF1および周波数比較器PFD1で構成されており、周波数比較器PFD1はたとえば図5(a)のような回路構成により実現することができる。ローパスフィルタLPF1はたとえば図5(b)に示したようなラグリードフィルタにより構成することができる。

【0053】

図5(a)は一般的な周波数比較器であるため詳細な説明は省略するが、基準となる周波数の信号REF1と所定の周波数の信号S1が入力され、その位相の差により出力信号S2を出力するよう構成される。また、図5(b)も一般的な抵抗とコンデンサを用いたローパスフィルタ回路であるため詳細な説明は省略する。

【0054】

基板バイアス発生回路BGEN1はラグリードフィルタからの電圧出力S3を基板バイアスに最適な電圧レベルに変換するDC-DCコンバータである。さらに、図4では図3の動作モード依存型発振回路VCLK1は周波数逡倍器PLL1および動作モード制御回路MCU1によって構成されている。固定周波数発振器CK1は動作モード依存型発振回路VCLK1の基準クロックとして使用している。

【0055】

主回路LOG1には、上述したような、動作モードがあり、その動作モード制御信号MODEに応じて動作モード制御回路MCU1により周波数逡倍器PLL1の逡倍率が変化する。したがって、主回路LOG1の動作モードごとに異なる逡倍率で、固定周波数発振器CK1の固定周波数出力が逡倍され、周波数逡倍器PLL1の発振出力CLK1として出力される。ここでは発振出力CLK1は周波数 f_0 (0MHzから100MHzの任意の値)の方形波である。

【0056】

CMOSリングオシレータOSC1の発振出力S1は周波数逡倍器PLL1の発振出力CLK1とともに周波数比較器PFD1に入力され、周波数比較器PFD1の出力S2はローパスフィルタLPF1を經由し、基板バイアス発生回路BGEN1により基板バイアスBN1、BP1を発生する。基板バイアスBP1、BN1はCMOSリングオシレータOSC1と主回路LOG1に共通に接続されている。図4に示すとおり、基板バイアスBN1はN型MOSFET(チャンネル部分にゲート方向の矢印を付してあるトランジスタ)の基板電極に共通に供給され、基板バイアスBP1はP型MOSFET(チャンネル部分にN型MOSFETと反対方向の矢印を付してあるトランジスタ)の基板電極に共通に供給されている。また、トランジスタが接続される動作電位点は、とくに制限されないがVddが約1V程度、Vssが接地電位にされ、約1V程度の低電圧で動作するよう構成されている。

【0057】

図7にはMOSトランジスタの基板バイアス電圧としきい値電圧の関係を示してある。図7(a)がNMOSの場合であり、図7(b)PMOSの場合である。

【0058】

MOSトランジスタのしきい値は図7(a)(b)のように基板バイアスによって変化し、一般に、しきい値の絶対値が大きい方が電流駆動能力が減少するので、図4のCMOSリングオシレータOSC1は基板バイアスBP1、BN1によってその発振周波数が変化する電圧制御型発振器(VCO)のように動作する。このことから、図4の回路は全体としてフェイズロックドループ(PLL)構造を取り、CMOSリングオシレータOSC1の発振周波数と位相が周波数逡倍器PLL1の発振出力CLK1の周波数と位相に一致するよう構成されている。なお、本実施例による発振回路(VCO)及びPLL回路の図1等に示した実施例と同様に、発振可能な周波数範囲の広い発振回路および、高い周波数の外部クロック信号に追従することのできるPLL回路を得ることができ、また、主回路の動作速度と消費電力を外部クロックの周波数により制御することが可能となる。

【0059】

また、PLLについては例えばアイ・イー・イー・イー、ジャーナル・オブ・ソリッド・

10

20

30

40

50

ステート・サーキット、第255頁から第261頁、1987年4月号(IEEE JOURNAL OF SOLID-STATE CIRCUITS、VOL 22、NO 2、APRIL 1987)に記載されている。

【0060】

次に、主回路LOG1の動作モードの変化に対応して主回路LOG1を構成しているMOSトランジスタの基板バイアスBP1、BN1及び、しきい値がどのように変化するかを、図6のタイミングチャートを用いて説明する。動作モードMODEが変化すると動作モード制御回路MCU1によって周波数通倍器PLL1の周波数通倍率が変化する。これによって周波数通倍器PLL1の発振出力CLK1が変化する。ここでは、時間の進行に従い、周波数 f_0 が75MHzから50MHzに変化している。これにより、基板バイアスBP1の電位は1.3Vから1.6V程度に高くなり、基板バイアスBN1の電位は-0.3Vから-0.6V程度に低くなる。これによってMOSトランジスタのしきい値が大きくなるので(図5参照)、基板バイアス依存型発振回路OSC1の周波数 f_1 もしだいに低下し周波数が f_0 (50MHz)に一致する。また、その位相も周波数通倍器PLL1の発振出力CLK1の位相と一致する。

10

【0061】

逆に、動作モードMODEの変化により周波数通倍器PLL1の発振出力CLK1の周波数 f_0 が50MHzから100MHzに高くなると基板バイアスBP1の電位は1.6Vから1.0V程度に低くなり、基板バイアスBN1の電位は-0.6Vから0V程度に高くなる。これによってMOSトランジスタのしきい値が大きくなるので(図7参照)、基板バイアス依存型発振回路OSC1の周波数 f_1 もしだいに増加し周波数が f_0 (100MHz)に一致する。

20

【0062】

周波数通倍器PLL1の発振出力CLK1の周波数 f_0 と基板バイアスBP1、BN1の関係を示したのが図8である。このように入力する周波数通倍器PLL1の発振出力CLK1によって基板バイアスが変化し、それとともにMOSトランジスタのしきい値が変化する。

【0063】

ここで示した発振出力の周波数 f_0 は50MHz、75MHz、100MHzの3種類であるが、本願発明はこれに限らず、しきい値電圧を適当な値に制御可能であれば任意の発振周波数を選択することができる。

30

【0064】

また、本実施例では、主回路LOG1の動作モードに応じてCMOSリングオシレータOSC1の発振周波数を設定値に合わせることができる。これにより、主回路LOG1の動作モードに応じて主回路を構成しているMOSトランジスタの伝搬遅延時間を容易に見積もることができる。

【0065】

図9にMOSトランジスタのドレイン電流のサブスレッショルド領域におけるゲート電圧依存性を示す。一般にMOSトランジスタのしきい値は小さいほどドライブ能力が大きくなるので高速動作が可能になるが、図9のA点とB点を比較して確認できるように、MOSトランジスタのオンオフ比が小さくなり、サブスレッショルド電流が増加して回路の消費電流が増加する。

40

【0066】

本発明の回路構成では高速動作が必要なときは外部から動作周波数通倍器PLL1の発振出力CLK1の発振周波数が高くする動作モードを選択することにより、主回路LOG1を構成しているMOSトランジスタのしきい値を小さくすることができる。サブスレッショルド電流は増加し主回路LOG1の消費電力は増加するが、高速動作が可能になる。また逆に、低速動作が必要なときは外部から動作周波数通倍器PLL1の発振出力CLK1の発振周波数が低くする動作モードを選択することにより、主回路LOG1を構成しているMOSトランジスタのしきい値を高くすることができ、同時にサブスレッショルド電流

50

は減少しLOG1の消費電力も減少させることができる。

【0067】

この様子を示したのが、図10である。図10のP2は動作モードMODEを変化させ、動作周波数逡倍器PLL1の発振出力CLK1の発振周波数f0を変化させたときの主回路LOG1の消費電力の関係を示したものである。主回路LOG1は動作周波数逡倍器PLL1の発振出力CLK1の発振周波数f0と同じ周波数(=f0)で動作させた例である。図10でP0はサブスレッシュヨルド電流による消費電流T0がない状態、P1はサブスレッシュヨルド電流がある状態での主回路LOG1の消費電力である。このように主回路LOG1の消費電力はその動作周波数f0に対して線形な関係がある。また、サブスレッシュヨルド電流は動作周波数f0に対して同じであるので、P1はP0と平行になる。本発明を適用した場合のP2は、サブスレッシュヨルド電流に係するしきい値が動作周波数f0とともに変化するので、動作モードが変わり、動作周波数f0が低くなるにつれサブスレッシュヨルド電流による消費電流T0がない状態での消費電力P0の値に近づいている。主回路LOG1が動作周波数f0で動作するのに必要最低限なサブスレッシュヨルド電流による電力消費で主回路LOG1を動作させることができる。

10

【0068】

この効果はサブスレッシュヨルド電流が問題となる1V程度の低電圧電圧時や集積度が高くなった場合に特に有効である。

【0069】

さらに、主回路LOG1の動作モードに応じて主回路LOG1のしきい値が設定値になるように自動的に制御されるので、主回路を構成するMOSデバイスの特性ばらつきや温度変化、電源電圧変動などの外来変動因子に自動的に追従する回路を提供することができる。

20

【0070】

図4において図3の主回路LOG1に対応するものは2入力のNANDゲートであるが、NANDゲートだけでなくインバータやNORなどの論理ゲートあるいはそれらが複数個集まって構成された論理ゲート群にも適用できる。また、回路はCMOS構造だけでなく、NMOSTランジスタのみあるいはPMOSTランジスタのみ、またはその両方を用いて構成された回路やバイポーラトランジスタを含んだ回路でもよい。また、図4におけるCMOSリングオシレータOSC1はCMOSリングオシレータでなくても、基板バイアスでその発振周波数が変化する発振回路であればよい。

30

【0071】

図11は図4等の実施例を実現するためのCMOS構造を示す断面図である。p型Si基板111の表面層の一部にnウエル109とpウエル110が形成されている。nウエルの表面にはp+型のソースドレイン拡散領域103、104、ゲート電極107およびゲート酸化膜112からなるPMOSTランジスタが、pウエルの表面にはn+型のソースドレイン拡散領域105、106、ゲート電極108およびゲート酸化膜113からなるNMOSTランジスタが形成されている。そして、PMOSTランジスタとNMOSTランジスタとの間には素子分離絶縁膜100、101、102が形成されている。図示されていなが、PMOSTランジスタとNMOSTランジスタに基板バイアスを供給するため、上述のBP1、BN1が夫々のウエル領域に接続されている。

40

【0072】

ここで示した例ではp基板を用いているが、逆にn基板を用いてもよい。また図11はnウエルとpウエルの両方を用いたツインウエル構造になっているが、nウエル109またはpウエル110のどちらか一方を基板と共通化したシングルウエル構造でもよい。あるいはアイ・エス・エス・シー・シー、ダイジェスト・オブ・テクニカル・ペーパーズ、第248頁から第249頁、1989年2月(ISSCC Digest of Technical Papers、pp.248-249、Feb.1989)に記載されているような三重ウエル構造のMOSTランジスタや、アイ・エー・ディ・エム、テクニカル・ダイジェスト、第35頁から第38頁、1992年(1992 IEDM Tec

50

Technical Digest、pp35-38)に記載されているようなSOI構造のMOSトランジスタを用いてもよい。

【0073】

以上の実施例では基板バイアスの値は、NMOSトランジスタについては0V以下の電位を、PMOSトランジスタでは主回路の電源電圧(例えば、1.0V)以上の電位をあたえているが、NMOSトランジスタあるいはPMOSトランジスタの拡散層と基板間のPN接合に順方向バイアスがかかる方向に印加してもよい。特に、電源順方向バイアス値が拡散電位(0.6V程度)を越えない状態では拡散層と基板間のリーク電流は小さいので、消費電力の増加はわずかであり、順方向のバイアスを印加することが可能となる。

【0074】

この場合、一般に、しきい値の基板バイアス係数(基板バイアスに対するしきい値電圧の変化係数)は上記基板バイアス領域で大きくなるので効率よくMOSトランジスタのしきい値を制御できる。さらに基板バイアスに印可する電位を電源電圧の範囲内で設定できるので、負電圧を形成する回路など基板バイアスのために特別な回路が必要ないという利点がある。

【0075】

さらに、以上の実施例では基板バイアスを用いて主回路を構成するMOSトランジスタのしきい値を制御しているが、しきい値が制御できる端子を備えたMOSトランジスタ(たとえばSOIMOSFETで、そのシリコン基体上にシリコン基体から電気的に絶縁された電極を有するSOIMOSFET)で主回路を構成し、その端子に電圧を印加することによりしきい値を制御するなど、主回路のしきい値を制御できる端子に電圧を印加する構成とすることもできる。

【0076】

図12は一つの主回路LOG1を複数の回路ブロックLOG10~LOG30に分解し、本実施例を適用した例である。一つの動作モード依存型発振回路VCLK10の発振出力CLK10によって複数の回路ブロックLOG10~LOG30の基板バイアスBP10~BP30、BN10~BN30を制御している。動作モード依存型発振回路VCLK10の発振出力CLK10は制御回路CNTに共通に供給されるとともに、各回路ブロックLOG10~LOG30に対応して制御回路CNT及び発振回路OSCが配置されている。動作モード依存型発振回路VCLK10、制御回路CNT10、20、30、発振回路OSC10、20、30は図4に示すような構成をとることができる。

【0077】

この実施例では、回路ブロックLOG10~LOG30の基板バイアスはそれぞれ独立に動作モード依存型発振回路VCLK10の発振出力CLK10によって制御されている。このため、各回路ブロックLOG10~LOG30間で、これを構成するMOSトランジスタのしきい値やしきい値の基板バイアス特性が異なっても、そのばらつきを補正することができる。例えば、主回路LOG1を構成するMOSトランジスタのしきい値の製造プロセスに起因して他の回路ブロックを構成するMOSトランジスタに変動している場合でも、発振回路OSC10を構成するMOSトランジスタのしきい値も同様に変動していると考えられるため、クロックCLK10に対応した基板バイアスとなるよう適切な制御が可能となる。これにより、たとえば従来各回路ブロックLOG10~LOG30間でしきい値ばらつきが0.15V程度あったとすると、本実施例により0.05V程度に低減できる。

【0078】

製造プロセスによるバラツキは、半導体集積回路を構成する半導体チップの位置的な場所に依存するため、上述の回路ブロックLOGとそれに対応する発振回路OSCとは近接して配置することが望ましい。また、主回路を回路ブロックに分割するに際しても、同様に、互いに近接した場所にあるトランジスタを同じブロックとするよう、半導体チップを縦方向及び横方向に4分割するなどの分け方が望ましい。

【0079】

10

20

30

40

50

前記のようにしきい値の許容値の下限はサブスレシヨルドリークの仕様から決定され、上限は回路の動作速度仕様から決定される。しきい値ばらつきが大きいと、設定段階でのしきい値設定を大きめにせざるを得なくなり回路の高速動作の妨げになるが、本実施例の方法により下限までしきい値を下げることで回路の高速動作が可能になる。

【0080】

これらの実施例の効果は電源電圧が1V程度の低電圧時により大きな効果がある。

【0081】

図13はその様子を表しており、ゲート電極に加わる電圧に対ししきい値が変動した場合のドレイン電流の変化を示している。電源電圧が比較的高い $V_{DD1} = 2.0V$ の場合しきい値変動によるドレイン電流変動は点A1、点B1の相違のようにあまりないが、電源電圧が比較的低い $V_{DD2} = 1.0V$ の場合しきい値変動によるドレイン電流変動は点A2、点B2の相違のように大きな違いが生じる。電源電圧が1V以下になるとA2、B2点の差は更に一層大きくなる。

10

【0082】

図12の実施例では各回路ブロックLOG10～LOG30には同一の動作モード依存型発振回路VCLK10の発振出力CLK10を供給しているが、図14のように回路ブロックによって動作モード依存型発振回路VCLK20、VCLK30を設けてもよい。

【0083】

図14では、動作モード依存型発振回路を二つ設け(VCLK20、VCLK30)夫々に共通に基準となるシステムクロックSCLK20及びモード信号MODE20が供給されている。また、各回路ブロックLOG10～30はそれぞれ発振回路OSC10～30、制御回路CNT10～30を有しており、制御回路CNT10及び20には共通に発振回路VCLK20の発振出力CLK20が供給され、制御回路CNT30には発振回路VCLK30の発振出力CLK30が供給されるよう構成されている。動作モード依存型発振回路VCLK20、30、制御回路CNT10、20、30、発振回路OSC10、20、30は図4に示すような構成をとることができる。また、共通の動作モード依存型発振回路VCLK20により複数の回路ブロックLOG10、20を共通に制御している点は図12の実施例と同様であり上述した効果を与えることができる。

20

【0084】

このような構成をとることにより各回路ブロック、例えば回路ブロックLOG10とLOG30、を独立の動作モード依存型発振回路VCLK20、30により制御しているため、夫々の回路ブロックに適した基板バイアスの制御を行うことができ、同じ動作モードの場合であっても回路ブロック毎に異なった基板バイアスで動作させることができる。例えば、高速動作を必要とする回路ブロックはサブスレシヨルドリーク電流は大きいが高速に動作させることができ、低速動作で十分な回路ブロックには低速だがサブスレシヨルドリーク電流が小さい動作をさせることができ、それぞれの回路ブロックにおいて最適なしきい値の設定が可能になる。

30

【0085】

図12の実施例において述べたしきい値電圧のバラツキを補正する点と、回路ブロックごとに要求される動作速度が異なる場合に適した本実施例を考慮すると、本実施例の場合には、半導体チップ上に主回路を形成する際に要求される動作速度によって主回路を複数の回路ブロックに分割し、この各回路ブロックを構成するトランジスタをチップ上に近接配置することが望ましい。

40

【0086】

また、図14では、動作モード信号を共通に発振回路VCLK20、30に供給しているが、夫々独立とし、発振回路VCLK20とVCLK20、30の発振出力を異なった周波数のものとすることもできる。このような、構成にすれば処理の内容に応じて特定の回路ブロックのみを高速(あるいは低速)動作させるように制御することができる。例えば、主回路が浮動小数点演算ユニットを有するマイクロプロセッサであり、浮動小数点演算ユニットを一つの回路ブロック(例えば、LOG30)とした場合には、浮動小数点演算が

50

必要な処理の場合には回路ブロック LOG 30 にのみ高速動作を行わせるようモード信号で制御し、該ユニットを使用しない場合には、他の回路ブロックを高速動作させ、LOG 30 を低速動作させるような制御が可能となる。

【0087】

なお、本実施例では回路ブロック LOG 10、20 は共通な発振出力 CLK 20 により制御しているが、これを夫々独立な動作モード依存型発振回路により制御することも可能である。この場合、回路構成が複雑となり動作モード依存型発振回路の占有面積が増える可能性がある。従って回路ブロックに要求される性能に応じて適当な数に分割する必要がある。

【0088】

また、図12、図14では回路ブロックを3つに分けて本発明を適用しているが、より多くの回路ブロックに分けてもよい。小さな回路単位に分割すればするほど上記効果は顕著になる。

【0089】

また、各回路ブロック LOG 10 ~ LOG 30 は一つの LSI チップにあってもよいし、複数の LSI チップに分かれていてもよい。特に制限されないが、複数のチップにわかれている場合には、夫々のチップに基板バイアスを制御する制御回路 (CNT 10 等) と基板バイアスに依存した発振回路 (OSC 10 等) が形成され、動作モード依存型発振回路については複数のチップに共通に設ける構成をとることができる。特に、主回路のしきい値を適切に制御するためには、主回路のしきい値のモニターとして働く発振回路 (OSC 10 等) は主回路と同一のチップ上に形成することが望ましい。

【0090】

図16は本発明をマイクロコンピュータに用いた場合の実施例である。水晶発振器 501 からの固定発振周波数出力 502 と動作モード値 503 をマイクロコンピュータ 500 に入力している。マイクロコンピュータ 500 は特に制限されないが、単一の半導体基板上に CMOS 等の回路技術を用いて形成されている。ここでは、動作モードを制御する動作モード値 503 は1ビット以上の信号幅の信号線で、マイクロコンピュータ 500 内にある負荷検出器 505 から出力される。負荷検出器 505 はマイクロコンピュータ 500 の処理量を検出し、処理量に応じた動作速度となるよう動作モードを制御する信号を出力する。

【0091】

負荷検出器 505 はマイクロコンピュータ 500 内に設置された半導体回路で構成されてもよいし、マイクロコンピュータ 500 上で実行されるプログラムで実現されてもよい。また、マイクロコンピュータ 500 の外にあり、マイクロコンピュータ 500 の負荷を監視できるものでもよい。

【0092】

マイクロプロセッサ 500 にかかる負荷が少ない場合、負荷検出器 505 により動作モード値をそれに対応した小さい値に設定する。これにより動作モードに対応した発振周波数の発振出力を出す発振回路 VCLK 1 が制御され、マイクロプロセッサ内部の動作周波数 504 は低くなり、負荷に適応した動作速度・消費電力で動作する。また、逆に、マイクロプロセッサ 500 にかかる負荷が大きくなった場合は、負荷検出器 505 により動作モード値はそれに対応した大きな値に設定される。これによりマイクロプロセッサ内部の動作周波数 504 は高くなり、負荷に適応した動作速度・消費電力で動作できる。マイクロプロセッサを負荷に応じた最適動作周波数で動作できる。

【0093】

また、動作モード値 503 は数ビットのデジタル信号でもよいが、アナログ信号でもよい。

【0094】

図17は図16に示したマイクロコンピュータを用いてマイクロコンピュータシステムを構成した実施例である。600がマイクロプロセッサシステムで、マイクロプロセッサ 5

10

20

30

40

50

00が制御するシステムバス602にキーボードやマウスなどの入力装置601を接続している。マイクロプロセッサ500は、図16に示すような構成をとる。

【0095】

負荷検出器505は入力装置601の稼働時間を監視しており、動作モード503を決定している。

【0096】

例えば、入力装置601の稼働頻度が高いときには動作周波数が高くなる動作モードにする。入力装置601が低いときには動作周波数が小さくなる動作モードにする。

【0097】

一般に入力装置の稼働時間が小さいときにはマイクロコンピュータ600への負荷が小さいときであり、効率的にマイクロコンピュータにかかる負荷を評価できる。 10

【0098】

このような負荷検出方法により、マイクロコンピュータシステムの実効的な動作速度を下げないで、消費電力を削減することができる。

【0099】

図17では負荷検出方法としてキーボードやマウスなどの入力装置601を用いているが、別のものでもいい、例えばマイクロコンピュータ500のユーザ使用CPU時間を検出できるものでもいい。要はマイクロコンピュータ500の処理すべきジョブの実行時間を、マイクロコンピュータシステム600を使うユーザが満足できる時間で終了できるように負荷検出ができるものであればよい。 20

【0100】

また、動作モードの設定は入力装置601によりコンピュータの利用者が外部から設定できる構成とすることもできる。

【0101】

【発明の効果】

以上説明したように、本発明の代表的な実施例によれば、回路を構成しているMOSトランジスタのしきい値を動作モードMODE1によって制御できる。すなわち、高速動作が必要なときは外部から動作モード依存型発振回路VCLK1の発振出力CLK1の発振周波数が高くする動作モードを選択することにより、主回路LOG1を構成しているMOSトランジスタのしきい値を小さくすることができる。サブスレッショルド電流は増加し主回路LOG1の消費電力は増加するが、高速動作が可能になる。また逆に、低速動作が必要なときは外部から動作モード依存型発振回路VCLK1の発振出力CLK1の発振周波数が低くする動作モードを選択することにより、主回路LOG1を構成しているMOSトランジスタのしきい値を高くすることができ、同時にサブスレッショルド電流は減少しLOG1の消費電力も減少させることができる。 30

【0102】

【図面の簡単な説明】

【図1】本発明の一実施例の構成を示す図である。

【図2】本発明の他の実施例の構成を示す図である。

【図3】本発明の他の実施例の構成を示す図である。 40

【図4】本発明の他の実施例の構成を示す図である。

【図5】本発明の周波數位相比較器の回路構成を示す図である。

【図6】本発明の動作周波数と基板バイアスの関係を示すタイミングチャート図である。

【図7】基板バイアスとしきい値の関係を示す図である。

【図8】本発明の動作周波数と基板バイアスの関係を示す図である。

【図9】ゲート電圧とドレイン電流の関係を示す図である。

【図10】本発明の実施例の動作周波数と消費電力の関係を示す図である。

【図11】本発明をデバイス構造の一例を示す断面図である。

【図12】本発明の他の実施例の構成を示す図である。

【図13】ゲート電圧とドレイン電流の関係を示す図である。 50

【図14】本発明の他の実施例の構成を示す図である。

【図15】ゲート長としきい値との関係を示す図である。

【図16】本発明をマイクロコンピュータに適用した実施例の構成を示す図である。

【図17】本発明をマイクロコンピュータシステムに適用した実施例を示す図である。

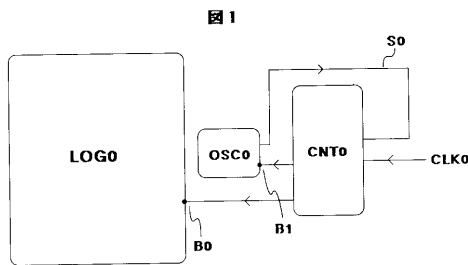
【符号の説明】

- LOG0、LOG1.....主回路、
- LOG10、LOG20、LOG30.....回路ブロック、
- OSC1、OSC10、OSC20、OSC30.....基板バイアス依存型発振回路、
- VCLK1、VCLK10、VCLK20、VCLK30.....動作モード依存型発振回路、
- CNT1、CNT10、CNT20、CNT30.....基板バイアス制御回路、
- BP1、BP10、BP20、BP30.....P型MOSトランジスタの基板バイアス、
- BN1、BN10、BN20、BN30.....N型MOSトランジスタの基板バイアス、
- BGEN1.....基板バイアス発生回路、
- LPF1.....ローパスフィルタ、
- PFD1.....位相周波数比較器、
- Vdd.....正電源、
- Vss.....負電源
- SCLK1、SCLK10、SCLK20.....システムクロック、
- MODE、MODE1、MODE10、MODE20.....動作モード、
- CNT0.....しきい値制御回路、
- OSC0.....周波数可変型発振回路、
- B1.....周波数制御端子、
- B2.....しきい値制御端子。

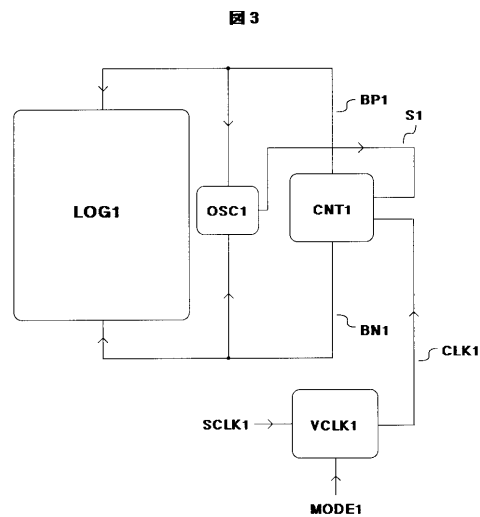
10

20

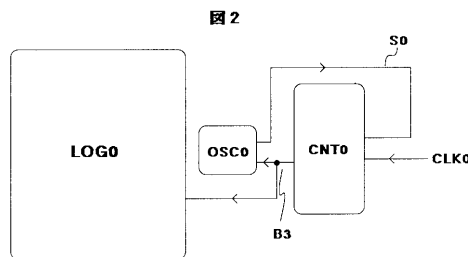
【図1】



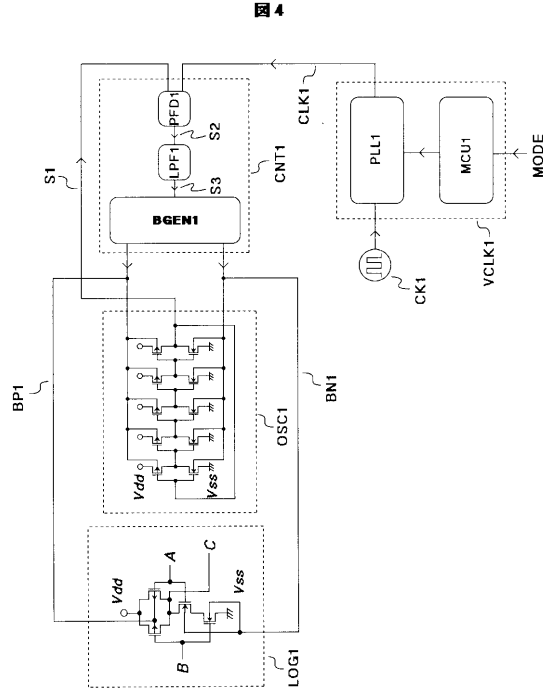
【図3】



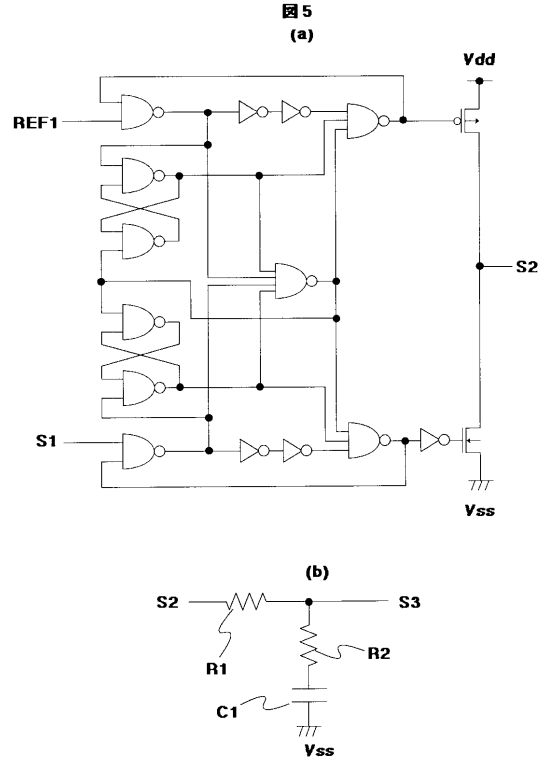
【図2】



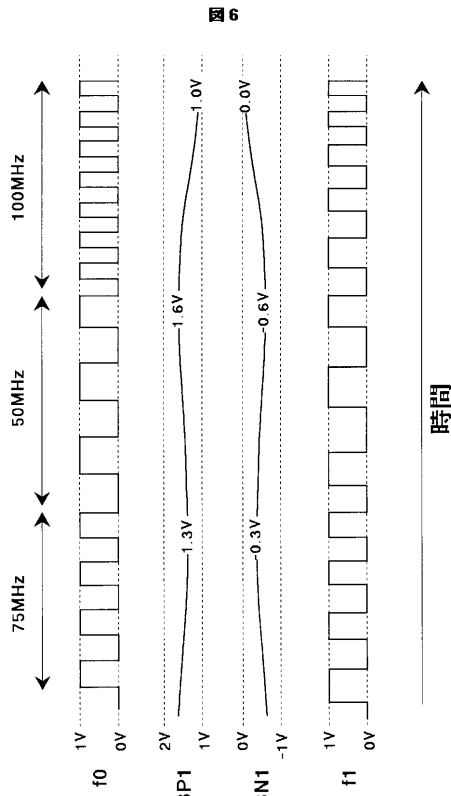
【 図 4 】



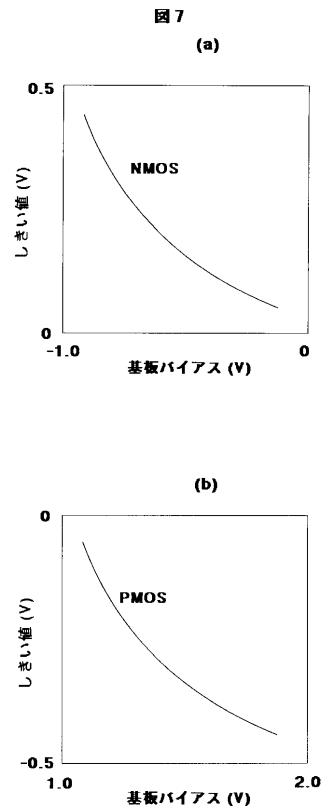
【 図 5 】



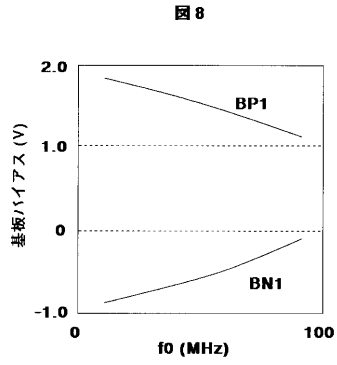
【 図 6 】



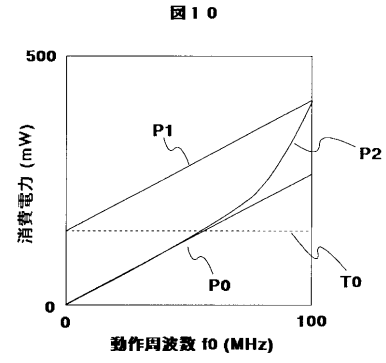
【 図 7 】



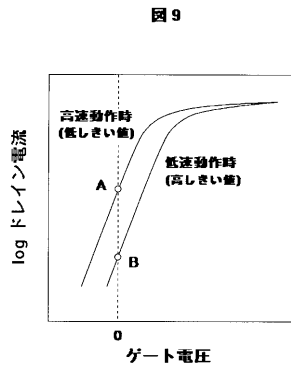
【 図 8 】



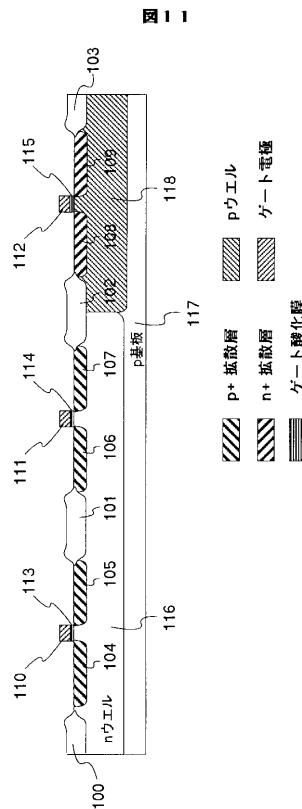
【 図 10 】



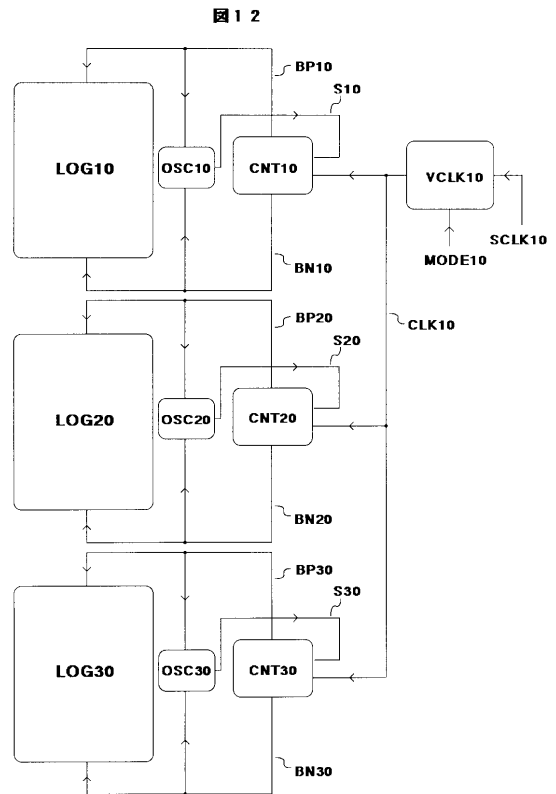
【 図 9 】



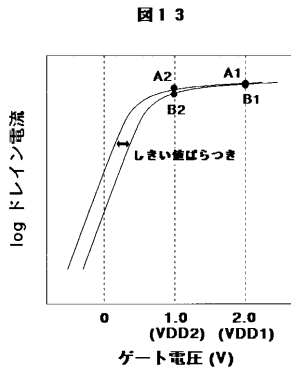
【 図 11 】



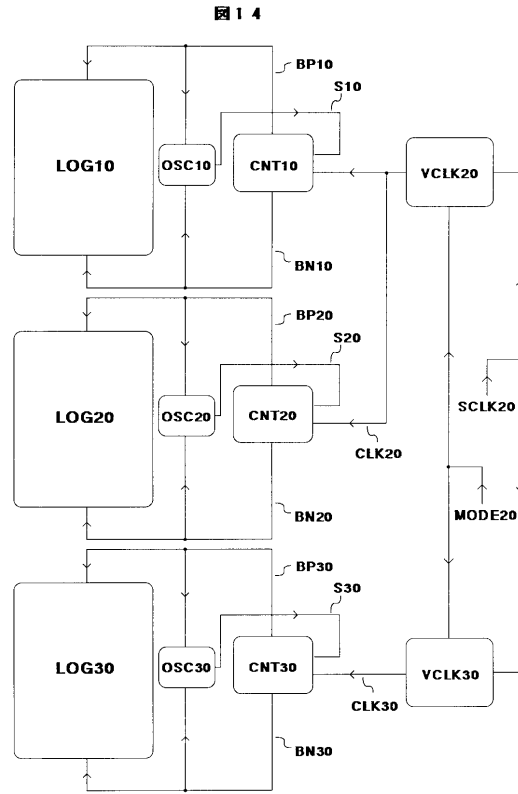
【 図 12 】



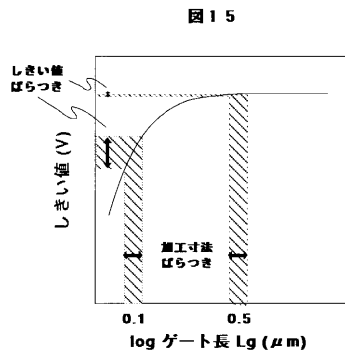
【 図 1 3 】



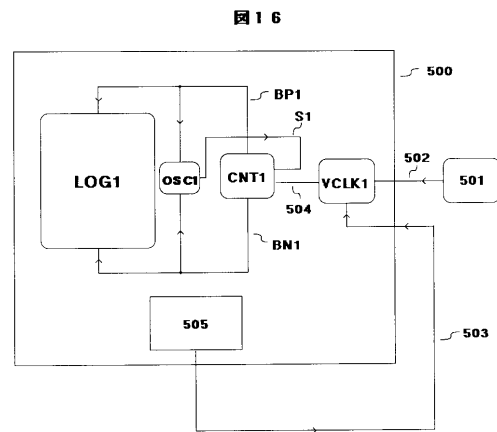
【 図 1 4 】



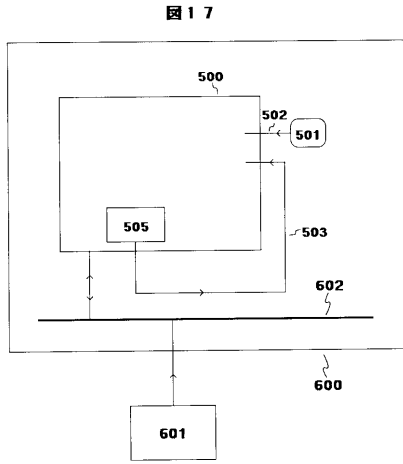
【 図 1 5 】



【 図 1 6 】



【 図 17 】



フロントページの続き

(72)発明者 中込 儀延

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

審査官 彦田 克文

(56)参考文献 特開平05 - 152935 (JP, A)

特開平05 - 108194 (JP, A)

特開平06 - 089574 (JP, A)

特開平01 - 293559 (JP, A)

特開平4 - 291756 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)

H03K 19/094 - 19/096

G06F 1/04 301