



(12) 发明专利

(10) 授权公告号 CN 101939839 B

(45) 授权公告日 2013. 01. 16

(21) 申请号 200880126428. 3

(22) 申请日 2008. 12. 23

(30) 优先权数据

61/027, 368 2008. 02. 08 US

12/140, 848 2008. 06. 17 US

(85) PCT申请进入国家阶段日

2010. 08. 06

(86) PCT申请的申请数据

PCT/US2008/088254 2008. 12. 23

(87) PCT申请的公布数据

W02009/099491 EN 2009. 08. 13

(73) 专利权人 美商豪威科技股份有限公司

地址 美国加利福尼亚州

(72) 发明人 野崎秀俊 H·E·罗兹

(74) 专利代理机构 上海专利商标事务所有限公  
司 31100

代理人 毛力

(51) Int. Cl.

H01L 27/146(2006. 01)

(56) 对比文件

US 2006/0197007 A1, 2006. 09. 07,

US 2007/0218578 A1, 2007. 09. 20,

US 2006/0043519 A1, 2006. 03. 02,

EP 1612863 A2, 2006. 01. 04,

审查员 马志勇

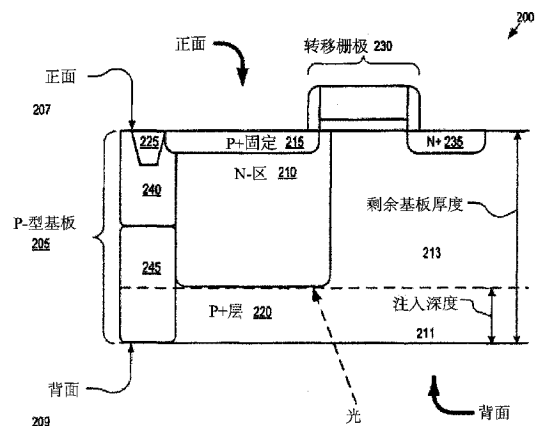
权利要求书 3 页 说明书 8 页 附图 11 页

(54) 发明名称

具有背面 P+ 掺杂层的背面受光成像传感器

(57) 摘要

本发明提供一种背面受光成像传感器,其包括具有 P- 型区的半导体层。正面及背面 P+ 掺杂层形成于该半导体层内。具有光电二极管的成像像素形成于该半导体层内,其中该光电二极管是在该半导体层的 P- 型区内、于该正面 P+ 掺杂层与该背面 P+ 层之间形成的 N- 区。



1. 一种互补金属氧化物半导体（“ CMOS ”）背面受光成像传感器，其包含：  
半导体层，其具有 P- 型区；  
正面 P+ 掺杂层，其形成于该半导体层内；  
背面 P+ 掺杂层，其形成于该半导体层内；  
成像像素，其具有形成于该半导体层内的光电二极管，其中该光电二极管是在该半导体层的 P- 型区中且在该正面 P+ 掺杂层与该背面 P+ 层之间所形成的 N 区；  
其中背面 P+ 掺杂层在该半导体层的背面具有第一离子浓度并且在离该半导体层的背面的一距离处具有第二离子浓度，其中该第一离子浓度大于该第二离子浓度。
2. 如权利要求 1 所述的背面受光成像传感器，其中该背面 P+ 掺杂层是硼掺杂层。
3. 如权利要求 2 所述的背面受光成像传感器，其中该硼掺杂层包括氟化硼（ $\text{BF}_2$ ）。
4. 如权利要求 2 所述的背面受光成像传感器，其中该硼掺杂层包括自二硼烷（ $\text{B}_2\text{H}_6$ ）源中获得的硼。
5. 如权利要求 2 所述的背面受光成像传感器，其中该硼掺杂层具有经选定以增加该成像像素的量子效率的离子浓度。
6. 如权利要求 2 所述的背面受光成像传感器，其中该硼掺杂层具有经选定以减少暗电流及白像素缺陷中的一个或多个的离子浓度。
7. 如权利要求 6 所述的背面受光成像传感器，其中该硼掺杂层在该半导体层的背面具有第一离子浓度并且在离该半导体层的背面的一距离处具有第二离子浓度，其中该第一离子浓度大于该第二离子浓度。
8. 如权利要求 7 所述的背面受光成像传感器，其中该第一离子浓度在  $1 \times 10^{17}$  离子 /  $\text{cm}^3$  至  $1 \times 10^{20}$  离子 /  $\text{cm}^3$  的范围内。
9. 如权利要求 7 所述的背面受光成像传感器，其中该第二离子浓度在  $1 \times 10^{14}$  离子 /  $\text{cm}^3$  至  $2 \times 10^{15}$  离子 /  $\text{cm}^3$  的范围内。
10. 如权利要求 9 所述的背面受光成像传感器，其中该第二离子浓度与该半导体层的背面之间的距离在 50nm 至 400nm 的范围内。
11. 如权利要求 9 所述的背面受光成像传感器，其中该第二离子浓度与该半导体层的背面之间的距离在 80nm 至 200nm 的范围内。
12. 如权利要求 7 所述的背面受光成像传感器，其中该半导体层的背面与该半导体层的正面之间的距离是经选定的以增加该成像像素的量子效率。
13. 如权利要求 12 所述的背面受光成像传感器，其中该成像像素是 1.75 微米的 CMOS 背面受光成像像素，且该半导体层的背面与正面之间的距离在 2 微米至 4 微米的范围内。
14. 如权利要求 12 所述的背面受光成像传感器，其中该成像像素是 1.75 微米的 CMOS 背面受光成像像素，且该半导体层的背面与正面之间的距离在 2.3 微米至 3.5 微米的范围内。
15. 如权利要求 12 所述的背面受光成像传感器，其中该成像像素是 1.4 微米的 CMOS 背面受光成像像素，且该半导体层的背面与正面之间的距离在 1.5 微米至 3.0 微米的范围内。
16. 如权利要求 12 所述的背面受光成像传感器，其中该成像像素是 1.4 微米的 CMOS 背面受光成像像素，且该半导体层的背面与正面之间的距离在 1.9 微米至 2.7 微米的范围内。
17. 如权利要求 1 所述的背面受光成像传感器，其中该成像像素进一步包括：

浮动扩散区,其在该半导体层内,紧接着该半导体层的正面;及  
转移栅极,其被耦合于该光电二极管与该浮动扩散区之间。

18. 如权利要求 1 所述的背面受光成像传感器,其进一步包含:

微透镜,其在该背面 P+ 掺杂层之下被设置于该半导体层的背面上,且经光学对准以使光透过该半导体层的背面、透过该背面 P+ 掺杂层并聚焦到该光电二极管之上;及  
彩色滤光片,其被设置于该微透镜与该光电二极管之间以过滤该光。

19. 如权利要求 18 所述的背面受光成像传感器,其进一步包含防反射涂层,该防反射涂层被设置在该彩色滤光片与该半导体层的背面之间以基本上防止光的反射。

20. 一种用于操作背面受光成像传感器的方法,其包含:

在半导体层的背面接收光学信号;

透过背面 P+ 掺杂层传输该光学信号,该背面 P+ 掺杂层是形成于该半导体层的背面与该半导体层内所形成的成像像素的光电二极管之间,其中该光电二极管是在该半导体层的 P- 型区内形成的 N<sup>-</sup> 区;

将该光学信号传输至该光电二极管之上;

固定该光电二极管以使一正面 P+ 掺杂层形成于该半导体层的正面与该光电二极管之间;及

用该光电二极管响应于该光学信号来产生电信号;

其中背面 P+ 掺杂层在该半导体层的背面具有第一离子浓度并且在离该半导体层的背面的一距离处具有第二离子浓度,其中该第一离子浓度大于该第二离子浓度。

21. 如权利要求 20 所述的方法,其中该背面 P+ 掺杂层是硼掺杂层。

22. 如权利要求 21 所述的方法,其中该硼掺杂层在该半导体层的背面具有第一离子浓度并且在离该半导体层的背面的一距离处具有第二离子浓度,其中该第一离子浓度大于该第二离子浓度。

23. 如权利要求 20 所述的方法,其中该成像像素是互补金属氧化物半导体("CMOS")背面受光成像像素。

24. 一种成像传感器,其包含:

半导体层,其具有正面及背面,该半导体层具有互补金属氧化物半导体("CMOS")背面受光成像像素阵列,其中每一个成像像素包括:

P- 型区;

正面 P+ 掺杂层,其形成于该半导体层内;

背面 P+ 掺杂层,其形成于该半导体层内;及

光电二极管,其形成于该半导体层内,其中该光电二极管是在该 P- 型区内且在该正面 P+ 掺杂层与该背面 P+ 层之间所形成的 N<sup>-</sup> 区;

其中背面 P+ 掺杂层在该半导体层的背面具有第一离子浓度并且在离该半导体层的背面的一距离处具有第二离子浓度,其中该第一离子浓度大于该第二离子浓度。

25. 如权利要求 24 所述的成像传感器,其中该背面 P+ 掺杂层是硼掺杂层。

26. 如权利要求 25 所述的成像传感器,其中该硼掺杂层在该半导体层的背面具有第一离子浓度并且在离该半导体层的背面的一距离处具有第二离子浓度,其中该第一离子浓度大于该第二离子浓度。

27. 如权利要求 24 所述的成像传感器,其中每一个成像像素进一步包括:  
浮动扩散区,其形成于该半导体层内;及  
转移栅极,其被耦合于该光电二极管与该浮动扩散区之间。

28. 一种制造互补金属氧化物半导体("CMOS")背面受光成像像素阵列的方法,其包含:

在半导体层内从该半导体层的正面起制造多个光电二极管,其中多个光电二极管是在 P- 型区内形成的 N<sup>-</sup> 区;

从该半导体层的正面起在该半导体层内注入正面 P+ 掺杂层;及

从该半导体层的背面起在该半导体层内注入背面 P+ 掺杂层,其中该 N<sup>-</sup> 区被设置在该正面 P+ 掺杂层与该背面 P+ 掺杂层之间;

其中背面 P+ 掺杂层在该半导体层的背面具有第一离子浓度并且在离该半导体层的背面的一距离处具有第二离子浓度,其中该第一离子浓度大于该第二离子浓度。

29. 如权利要求 28 所述的方法,其进一步包含从该半导体层的背面激光退火该背面 P+ 掺杂层。

30. 如权利要求 28 所述的方法,其中该背面 P+ 掺杂层是一硼掺杂层。

31. 如权利要求 30 所述的方法,其中该硼掺杂层在该半导体层的背面具有第一离子浓度并且在离该半导体层的背面的一距离处具有第二离子浓度,其中该第一离子浓度大于该第二离子浓度。

32. 如权利要求 31 所述的方法,其中该第一离子浓度与该第二离子浓度之间的离子浓度的斜率是经选定的以增加该成像像素阵列的量子效率。

## 具有背面 P+ 掺杂层的背面受光成像传感器

[0001] 本发明大致上是关于成像传感器,特定言之是关于但不限于背面受光成像传感器。

### 技术领域

[0002] 本申请主张 2008 年 2 月 8 日申请的美国临时申请第 61/027,368 号的权利,该申请以引用的方式并入本文中。

### 现有技术

[0003] 现今许多半导体成像传感器是正面受光。即,它们包括构建于一半导体晶片的正面上的成像阵列,其中从该相同正面在成像阵列处接收光。然而,正面受光成像传感器有许多缺点,其中之一是受限的填充因子。

[0004] 背面受光成像传感器是正面受光成像传感器的一替代品,其解决与正面受光相关联的填充因子问题。背面受光成像传感器包括构建于半导体晶片的正面上的成像阵列,但其透过晶片的背面接收光。然而,为检测来自背面的可见光,晶片必须极薄。晶片的背面上可包括微透镜以改良背面受光传感器的灵敏度。可最优化晶片的厚度以改良频谱性能及减少串扰。即,由于最终半导体晶片厚度增加,光可被晶片更有效地收集。对于在被吸收之前更深地穿入硅中的红光,此尤为适用。同时,在表面附近被吸收的蓝光可产生光电子,光电子在背面复合,返回背面或在相邻像素处被收集。在硅的背面复合的光电子可导致灵敏度减少,而在相邻像素处被收集的光电子可导致成像传感器的串扰。由于最终半导体晶片厚度减少,更多红光完全透过收集区传递而不被吸收且因此进一步减少灵敏度。因此,需要有一减少串扰而具有改良灵敏度的背面受光装置。

### 附图说明

[0005] 图 1 是根据本发明的一实施例,绘示背面受光成像传感器的框图。

[0006] 图 2 是根据本发明的一实施例,绘示背面受光成像传感器的成像像素的截面图。

[0007] 图 3A 至 3F 绘示背面 P+ 掺杂层的离子浓度的多种斜率。

[0008] 图 4 绘示背面受光成像传感器对背面 P+ 掺杂层的多种离子浓度斜率的灵敏度。

[0009] 图 5 绘示背面 P+ 掺杂层的多种离子浓度。

[0010] 图 6 绘示背面受光成像传感器对背面 P+ 掺杂层的多种离子浓度的灵敏度。

[0011] 图 7 绘示对背面受光成像传感器的多种剩余基板厚度的频谱响应。

[0012] 图 8 绘示背面受光成像传感器对背面受光成像传感器的多种剩余基板厚度的灵敏度。

[0013] 图 9A 至 9D 根据本发明的一实施例,绘示形成背面受光成像传感器的成像像素的过程。

[0014] 图 10 是根据本发明的一实施例,绘示背面受光成像阵列内的二个四晶体管 ("4T") 像素的像素电路的电路图。

- [0015] 主要组件符号说明
- [0016] 100 成像传感器
- [0017] 105 像素阵列
- [0018] 110 读出电路
- [0019] 115 功能逻辑
- [0020] 120 控制电路
- [0021] 200 成像像素
- [0022] 205P- 型基板
- [0023] 207 正面
- [0024] 209 背面
- [0025] 210N<sup>-</sup> 区
- [0026] 211 注入深度
- [0027] 213 剩余基板厚度
- [0028] 215P+ 固定层
- [0029] 220 背面 P+ 掺杂层
- [0030] 225 浅沟槽隔离 /STI
- [0031] 230 转移栅极
- [0032] 235N+ 区 / 浮动扩散区
- [0033] 240P- 井
- [0034] 245 深 P- 井
- [0035] 300 成像像素
- [0036] 305 基板
- [0037] 307 正面
- [0038] 309 背面
- [0039] 310 保护氧化物
- [0040] 315 层间电介质
- [0041] 317 隔离区
- [0042] 320 金属堆叠
- [0043] 325 光电二极管
- [0044] 330 固定层
- [0045] 335 转移栅极
- [0046] 340 金属间电介质层
- [0047] 345 金属间电介质层
- [0048] 350 硼离子
- [0049] 355 硼掺杂层
- [0050] 360 注入深度
- [0051] 365 剩余基板厚度
- [0052] 370 防反射层
- [0053] 375 彩色滤光片

- [0054] 380 微透镜
- [0055] 400 像素电路
- [0056] C1-Cx 像素行
- [0057] R1-Ry 像素列
- [0058] P1-Pn 像素
- [0059] M1、M2 金属互连层
- [0060] T1 转移晶体管
- [0061] T2 重设晶体管
- [0062] T3 源极随耦 (“ SF ” ) 晶体管
- [0063] T4 选择晶体管
- [0064] VDD 电力轨
- [0065] PD 光电二极管
- [0066] TX 转移信号
- [0067] RST 重设信号
- [0068] FD 浮动扩散节点
- [0069] SEL 选择信号

### 具体实施方式

[0070] 本发明的非限制及非详尽实施例是参考下列附图描述,其中除非另有指定,各图中相同参考数字是指相同部分。

[0071] 本文描述具有背面 P+ 掺杂层的背面受光成像传感器的实施例。在下列描述中,阐述许多特定细节以提供实施例的彻底了解。然而,本领域技术人员应认知本文描述的技术可在无这些特定细节的一个或多个的情况下实践,或用其它方法、组件、材料等等实践。在其它实例中,未详细显示或描述已熟知的结构、材料或操作,以避免模糊某些方面。

[0072] 本说明书各处对「一个实施例」或「一实施例」的参考意味结合该实施例描述的一特定特征、结构或特性是包括于本发明的至少一个实施例中。因此,在本说明书各处的不同位置出现的词组「在一个实施例中」或「在一实施例中」不必全指同一实施例。此外,这些特定特征、结构或特性可以任何适当的方式组合于一个或多个实施例中。

[0073] 本说明书各处,使用若干专门术语。除非本文另有明确定义或明显建议它们的使用背景,这些术语将具有它们所源自的技术中的普通意义。「量子效率」在本文中定义为产生的载流子数与入射于成像传感器的活性区上的光子数的比率。「暗电流」在本文中定义为当成像传感器上没有入射光时在成像传感器中流动的电流。「白像素缺陷」在本文中定义为成像传感器中的一像素,该像素包括具有过量的电流泄漏的活性区。

[0074] 图 1 是根据本发明的一实施例,绘示背面受光成像传感器 100 的框图。成像传感器 100 的所绘示实施例包括像素阵列 105、读出电路 110、功能逻辑 115 及控制电路 120。

[0075] 像素阵列 105 是背面受光成像传感器或像素(例如,像素 P1, P2... , Pn) 的二维 (“ 2D ” ) 阵列。在一个实施例中,每一个像素是有源像素传感器 (“ APS ” ), 诸如互补金属氧化物半导体 (“ CMOS ” ) 成像像素。如所绘示,每一个像素排列成列(例如,列 R1 至 Ry) 及行(例如,行 C1 至 Cx) 以获取人、地方或对象的图像数据,该图像数据接下来可用于

呈现该人、地方或对象的 2D 图像。

[0076] 每一个像素已经获取其图像数据或图像电荷之后,该图像数据是通过读出电路 110 读出并转移至功能逻辑 115。读出电路 110 可包括放大电路、模拟至数字转换电路或其它。功能逻辑 115 可仅储存图像数据或甚至通过施加后图像效应(例如,剪裁、旋转、移除红眼、调整亮度、调整对比度或其它)而操纵图像数据。在一个实施例中,读出电路 110 可沿着读出行线(已绘示)一次读出一列图像数据,或可使用多种其它技术(未绘示)读出图像数据,诸如同时串行读出或完全并行读出全部像素。

[0077] 控制电路 120 被耦合至像素阵列 105 以控制像素阵列 105 的操作特性。举例而言,控制电路 120 可产生一快门信号用于控制图像获取。

[0078] 图 2 是背面受光成像传感器的成像像素 200 的截面图。成像像素 200 是图 1 中显示的像素阵列 105 的至少一个像素的一种可行性实施。成像像素 200 的所绘示实施例包括半导体层(即,P-型基板 205)。于基板 205 内形成的是光电二极管(即,N-区 210)、正面 P+ 掺杂层(即,P+ 固定层 215)、背面 P+ 掺杂层 220、浅沟槽隔离("STI")225、转移栅极 230、浮动扩散(即,N+ 区 235)、P- 井 240 及深 P- 井 245。

[0079] 成像像素 200 对入射于基板 205 的背面 209 上的光具有光敏性。在成像像素 200 中,多数光子吸收发生在基板 205 的背面 209 附近。为分离通过光子吸收建立的电子-空穴对及将电子驱赶至 N-区 210,在基板 205 的背面 209 附近需要一电场。因此,高度掺杂 P+ 层 220 是通过掺杂基板 205 的背面 209 而建立以建立此电场。在一个实施例中,背面 P+ 层 220 是使用硼掺杂及激光退火而建立。在一个实施例中,N-区 210 是形成于基板 205 内以自 P+ 固定层 215 延伸至背面 P+ 层 220。

[0080] 如图 2 中所示,背面 P+ 层 220 是注入至一注入深度 211 且基板 205 具有一剩余基板厚度 213。在所绘示的实施例中,注入深度 211 表示从背面 209 测量时背面 P+ 层 220 延伸入基板 205 中的距离。剩余基板厚度 213 表示自背面 209 至正面 207 的距离。根据本文所揭示的实施例,注入深度 211、背面 P+ 层 220 的离子浓度、背面 P+ 层 220 中离子浓度的斜率及 / 或剩余基板厚度 213 可被选择以增加(例如,最优化)成像像素 200 的频谱及总体性能。例如,通过谨慎选择注入深度 211、离子浓度及 / 或剩余基板厚度 213,可增加成像像素 200 的量子效率。另外,亦可减少暗电流及白像素缺陷。

[0081] 在一个实施例中,背面 P+ 层 220 是一硼高度掺杂层。在一个实施例中,硼掺杂层可具有一浓度渐次变化的硼离子,其中在背面 209 附近具有一比在注入深度 211 处更高的硼离子浓度。举例而言,背面 P+ 层 220 可在背面 209 附近具有一范围在约  $1 \times 10^{18}$  离子 /  $\text{cm}^3$ (离子 / 立方厘米)至约  $1 \times 10^{20}$  离子 /  $\text{cm}^3$  的硼离子浓度,而在注入深度 211 附近硼离子浓度可为约  $1 \times 10^{15}$  离子 /  $\text{cm}^3$ 。作为另一实例,背面 P+ 层 220 可在背面 209 附近具有一范围在约  $1 \times 10^{17}$  离子 /  $\text{cm}^3$  至约  $1 \times 10^{20}$  离子 /  $\text{cm}^3$  的硼离子浓度,且在注入深度 211 附近的一硼离子浓度范围是在约  $1 \times 10^{14}$  离子 /  $\text{cm}^3$  至约  $2 \times 10^{15}$  离子 /  $\text{cm}^3$ 。在一个实施例中,背面 P+ 层 220 的硼掺杂可使用氟化硼( $\text{BF}_2$ )作为掺杂剂或二硼烷( $\text{B}_2\text{H}_6$ )作为掺杂剂源而实施。

[0082] 可选定硼离子的浓度及斜率以增加成像像素 200 的量子效率。硼掺杂层亦可具有一经选定以减少暗电流及 / 或白像素缺陷的硼离子浓度及斜率。例如,图 3A 至 3F 绘示背面 P+ 掺杂层的离子浓度的多种斜率,而图 4 绘示背面受光成像传感器对多种离子浓度斜率的灵敏度。作为实例,图 3A 绘示具有小斜率(离子浓度逐渐增加)为约 0.1 微米至约 3.0



微米的背面 P+ 层 220 的成像像素 200 的一实施例,该小斜率是从成像像素 200 的背面 209 测量。如自图 4 可见,图 3A 的实施例的灵敏度是显示于行 A 中,其指示成像像素 200 在不同波长(即,450nm、550nm、620nm 及 900nm 等等)的灵敏度(以任意单位)。

[0083] 与图 3A 的实例对比,图 3E 绘示离子浓度的一更大斜率,其中离子浓度自约 2.7 微米快速增加至约 3.0 微米。进一步回顾图 4,其显示此六个实施例中,图 3E 的离子浓度斜率意外地提供对所绘示波长的最大灵敏度。即,图 3E 的实施例既不具有该六个绘示实施例中最小斜率,亦不具有最大斜率。因此,可谨慎选择离子浓度斜率以增加成像像素的量子效率。

[0084] 图 5 绘示一背面 P+ 掺杂层的多种离子浓度,而图 6 绘示背面受光成像传感器对该多种离子浓度的灵敏度。例如,图 G 绘示在 3.00 微米的注入深度(即,注入深度 211)的离子浓度  $1 \times 10^{17}$  离子/cm<sup>3</sup>;图 E 绘示在注入深度 3.00 微米的离子浓度  $1 \times 10^{18}$  离子/cm<sup>3</sup>;且图 H 绘示在注入深度 3.00 微米的离子浓度  $1 \times 10^{19}$  离子/cm<sup>3</sup>。进一步回顾图 6,其显示此三个实施例中,图 H 的离子浓度(即, $1 \times 10^{19}$  离子/cm<sup>3</sup>)将提供对所绘示波长的最大灵敏度。因此,可谨慎选择离子浓度斜率以增加成像像素的量子效率。

[0085] 如上文提及的,亦可选择注入深度 211 以便增加量子效率及减少暗电流及白像素缺陷。在一个实施例中,从背面 209 测量时注入深度 211 范围为约 100nm 至约 400nm。在另一实施例中,注入深度 211 范围为约 50nm 至约 400nm。在又一实施例中,注入深度 211 范围为约 80nm 至约 200nm。

[0086] 亦可选择剩余基板厚度 213 以便增加量子效率及减少成像像素 200 的暗电流及白像素缺陷。在一个实施例中,剩余基板厚度 213 可取决于成像像素 200 的大小而具有较佳值。例如,剩余基板厚度 213 对像素大小的比率可在约 0.8 至 3.0 的范围内。对于 1.75 微米的像素,剩余基板厚度 213 可为约 3 微米,而对于 1.4 微米的像素,剩余基板厚度 213 可为约 2.5 微米。在一个实施例中,对于 1.75 微米的像素,剩余基板厚度 213 可在约 2 微米至约 4 微米的范围内。在另一实施例中,对于 1.75 微米的像素,剩余基板厚度 213 可在约 1.4 微米至约 3.5 微米的范围内。对于 1.4 微米的像素,剩余基板厚度 213 可在约 1.1 微米至约 2.8 微米的范围内。在又一实施例中,对于 1.4 微米的像素,剩余基板厚度 213 可在约 1.9 微米至约 2.7 微米的范围内。

[0087] 图 7 绘示对背面受光成像传感器的多种剩余基板厚度 213 的频谱响应,而图 8 绘示该背面受光成像传感器对该多种剩余基板厚度的灵敏度。参考图 7,标记为 Si 4u 的图绘示剩余基板厚度 213 为 4 微米的成像像素 200 的灵敏度(以任意单位)。类似地,标记为 Si 3u、Si 2u、Si 1.5u 的图分别绘示剩余基板厚度 213 为 3 微米、2 微米及 1.5 微米的成像像素 200 的灵敏度。进一步回顾图 8,其显示范围在 2 至 3 微米的剩余基板厚度 213 意外地提供对所绘示波长的最大灵敏度。即,2 至 3 微米的剩余基板厚度在所绘示的四个实施例中既非最薄亦非最厚。因此,可谨慎选择剩余基板厚度 213 以增加成像像素的量子效率。

[0088] 在图 2 的绘示实施例中,P- 井 240 及深 P- 井 245 与背面 P+ 层 220 相接在一起,以在成像像素之间(例如,在成像像素 200 与一相邻成像像素(未显示)之间)作用为一完整隔离井。在一个实例中,深 P- 井 245 形成于 P- 型基板 205 中,且 P- 井 240 形成于深 P- 井 245 之上。浅沟槽隔离区 225 可形成于 P- 井 240 内。在一个实例中,深 P- 井 245 延伸至基板 205 的背面 209。在另一实例中,若用硼对背面 P+ 层 220 进行充分地高度掺杂,深

P- 井 245 可能并不延伸直至背面 209。

[0089] 图 9A 至 9D 根据本发明的一实施例, 绘示形成一背面受光成像传感器的成像像素 300 的过程。成像像素 300 是图 1 中显示的像素阵列 105 的至少一个像素的一种可能实施。图 9A 中显示的成像像素 300 的绘示实施例包括半导体层 (即, 基板 305)、保护氧化物 310、层间电介质 315 及金属堆叠 320。基板 305 被绘示为包括隔离区 317、光电二极管 325、浮动扩散 ("FD") 及正面 P+ 掺杂层 (即, 固定层 330)。金属堆叠 320 被绘示为包括金属互连层 M1 及 M2, 及金属间电介质层 340 及 345。图 9A 中亦绘示转移栅极 335。

[0090] 在图 9A 的绘示实施例中, 光电二极管 325 是自正面 307 形成于基板 305 内。光电二极管 325 经配置以自背面 309 接收光。光电二极管 325 是通过选用的固定层 330 而绘示为固定的光电二极管。在一个实施例中, 光电二极管 325 可为非固定的光电二极管或部分固定的光电二极管。另外, 光电二极管 325 可为任何感光组件, 诸如光闸或光电容器。此外, 本文使用的术语像素意欲包含所有像素设计, 包括 CCD 像素。

[0091] 亦包括于成像像素 300 中的是转移栅极 335, 该转移栅极经耦合以将光电二极管 325 中所累积的电荷转移至浮动扩散 FD。在一个实施例中, 转移栅极 335 为一多晶体硅 (即, 多晶硅) 结构。耦合至正面 307 的是保护氧化物 310 及层间电介质 315。在一个实施例中, 层间电介质 315 为氧化硅。

[0092] 隔离区 317 可包括一个或多个隔离井, 诸如参考图 2 描述的 STI 225、P- 井 240 及深 P- 井 245。隔离区 317 经配置以独立地或与背面 P+ 层共同地作用以在像素之间 (例如, 在成像像素 300 与一相邻成像像素 (未显示) 之间) 提供一基本上完整的隔离井。在一个实例中, 隔离区 317 延伸至基板 305 的背面 309。在另一实例中, 若用硼对后续背面 P+ 层进行充分地高度掺杂, 隔离区 317 可能并不延伸直至背面 309。

[0093] 如图 9A 中显示, 成像像素 300 包括金属堆叠 320。金属堆叠 320 的绘示实施例包括通过金属间电介质层 340 及 345 分离的二个金属层 M1 及 M2。虽然图 9A 绘示二层的金属堆叠, 金属堆叠 320 在基板 305 的正面 307 上可包括更多或更少金属层以供传送信号。在一个实施例中, 金属互连层 M1 及 M2 为一金属诸如铝、铜或其它合金。在一个实施例中, 金属互连层 M1 及 M2 是通过溅射、准直溅射、低压溅射、反应溅射、电镀、化学气相沉积或蒸发而形成。在一个实施例中, 转移栅极 335 及浮动扩散 FD 是通过一孔、穿孔或其它连接构件 (未显示) 而穿过保护氧化物 310 及层间电介质 315 而电耦合至金属互连层 M1 及 M2 的一个或多个。在一个实施例中, 钝化层 (未显示) 设置于金属堆叠 320 之上。

[0094] 在一个实施例中, 成像像素 300 包括设置于金属堆叠 320 与基板 305 的正面 307 之间的硅化物或金属光反射层 (未显示)。光反射层可经配置以将透过光电二极管 325 继续传播的光反射回该光电二极管 325, 以减少光学串扰的效应及增加光电二极管 325 的效率。在一个实施例中, 光反射层被设置于保护氧化物 310 与层间电介质 315 之间。在一个实施例中, 光反射层被设置于光电二极管 325 之上而非在浮动扩散 FD 或转移栅极 335 之上。在一个实施例中, 光反射层可具有一凹形以便更准确地将光反射回光电二极管 325 之上。

[0095] 现在参考图 9B, 在背面 309 执行硼掺杂。在一个实施例中, 硼掺杂可使用氟化硼 ( $\text{BF}_2$ ) 作为掺杂剂或二硼烷 ( $\text{B}_2\text{H}_6$ ) 作为掺杂剂源而实施。成像像素 300 的改良性能可源自硼离子 350 的剂量范围在约  $1 \times 10^{13}$  离子 /  $\text{cm}^2$  至约  $1 \times 10^{16}$  离子 /  $\text{cm}^2$  的范围内。成像像素 300 的进一步改良性能可源自硼离子 350 的剂量范围在约  $5 \times 10^{14}$  离子 /  $\text{cm}^2$  至约  $5 \times 10^{15}$  离

子/cm<sup>2</sup>的范围内。在一个实施例中,硼离子 350 的剂量范围是在约  $5 \times 10^{13}$  离子/cm<sup>2</sup> 至约  $1 \times 10^{15}$  离子/cm<sup>2</sup> 的范围内。

[0096] 现在转向图 9C,掺杂剂注入过程之后是自背面 309 的激光退火。所形成的背面 P+ 掺杂层在图 9C 中显示为一硼掺杂层 355。如图 9C 中显示,光电二极管 325(即, N- 区) 设置于固定层 330 与硼掺杂层 355 之间。在一个实施例中,光电二极管 325 是直接耦合至固定层 330 及直接耦合至硼掺杂层 355。因为背面 P+ 掺杂(即,硼掺杂层 355),在背面 309 附近所产生的光电子现可经受一朝向正面 307 的垂直的力。

[0097] 在一个实施例中,自背面 309 测量,注入深度 360 是在约 100nm 至约 400nm 的范围内。在另一实施例中,注入深度 360 是在约 50nm 至约 400nm 的范围内。作为实例,注入深度 360 可在约 80nm 至约 200nm 的范围内。

[0098] 剩余基板厚度 365 可取决于成像像素 300 的大小而具有较佳值。例如,对于 1.75 微米的像素,剩余基板厚度 365 可为约 2 至 4 微米。在一个实例中,1.75 微米的像素可具有范围在约 1.4 微米至约 3.5 微米之内的剩余基板厚度 365。对于 1.4 微米的像素,剩余基板厚度 365 可为约 2.5 微米。在一个实例中,1.4 微米的像素可具有范围在约 1.1 微米至约 3 微米之内的剩余基板厚度 365。在另一实例中,1.4 微米的像素可具有范围在约 1.9 微米至约 2.7 微米之内的剩余基板厚度 365。

[0099] 如图 9D 中显示,选用彩色滤光片 375、微透镜 380 及防反射层 370 其后被耦接至背面 309。

[0100] 图 10 是根据本发明的一实施例,绘示一背面受光成像阵列内的二个四晶体管("4T") 像素的像素电路 400 的电路图。像素电路 400 是适于实施图 1 的像素阵列 100、图 2 的像素 200 或图 9D 之像素 300 中的每一个像素的一种可能的像素电路体系结构。然而,应了解本发明的实施例并不限于 4T 像素体系结构;确切而言,受益于本发明的本领域技术人员应了解,本教导亦适用于 3T 设计、5T 设计或多种其它像素体系结构。

[0101] 在图 10 中,像素 Pa 及 Pb 是以二列及二行设置。每一个像素电路 400 的绘示实施例包括光电二极管 PD、转移晶体管 T1、重设晶体管 T2、源极随耦("SF") 晶体管 T3 及选择晶体管 T4。在操作期间,转移晶体管 T1 接收一转移信号 TX,该转移信号将光电二极管 PD 中累积的电荷转移至一浮动扩散节点 FD。

[0102] 重设晶体管 T2 被耦合于一电力轨 VDD 与浮动扩散节点 FD 之间,以在一重设信号 RST 的控制下重设(例如,将 FD 放电或充电至一预设电压)。浮动扩散节点 FD 被耦合至 SF 晶体管 T3 的栅极。SF 晶体管 T3 被耦合于电力轨 VDD 与选择晶体管 T4 之间。SF 晶体管 T3 作为一源极随耦器而操作,提供自浮动扩散节点 FD 的高阻抗输出。最后,选择晶体管 T4 在选择信号 SEL 的控制下选择性将像素电路 500 的输出耦合至读出行线。在一个实施例中, TX 信号、RST 信号及 SEL 信号是通过控制电路 120 产生。TX 信号、RST 信号、SEL 信号、VDD 及接地在像素电路 500 中可通过金属互连层 M1 及 M2 传送。在一个实施例中,晶体管 T1、T2、T3 及 T4、光电二极管 PD 及浮动扩散节点 FD 可通过金属互连层 M1 及 M2 而连接为如图 10 中所示。

[0103] 本发明的绘示实施例的以上描述,包括在摘要中的描述,并不意欲具详尽性或 will 将本发明限制为所揭示的精确形式。虽然本发明的特定实施例及实例在本文中是为绘示性目的而描述,如本领域技术人员所了解,在本发明的范围内可有多种修改。

[0104] 可根据以上详细描述对本发明做出此等修改。不应将下列权利要求中使用的术语解释为限制本发明于本说明书中揭示的特定实施例。确切而言,本发明的范围是完全由下列权利要求决定,其应根据权利要求的解释的建立原则解读。

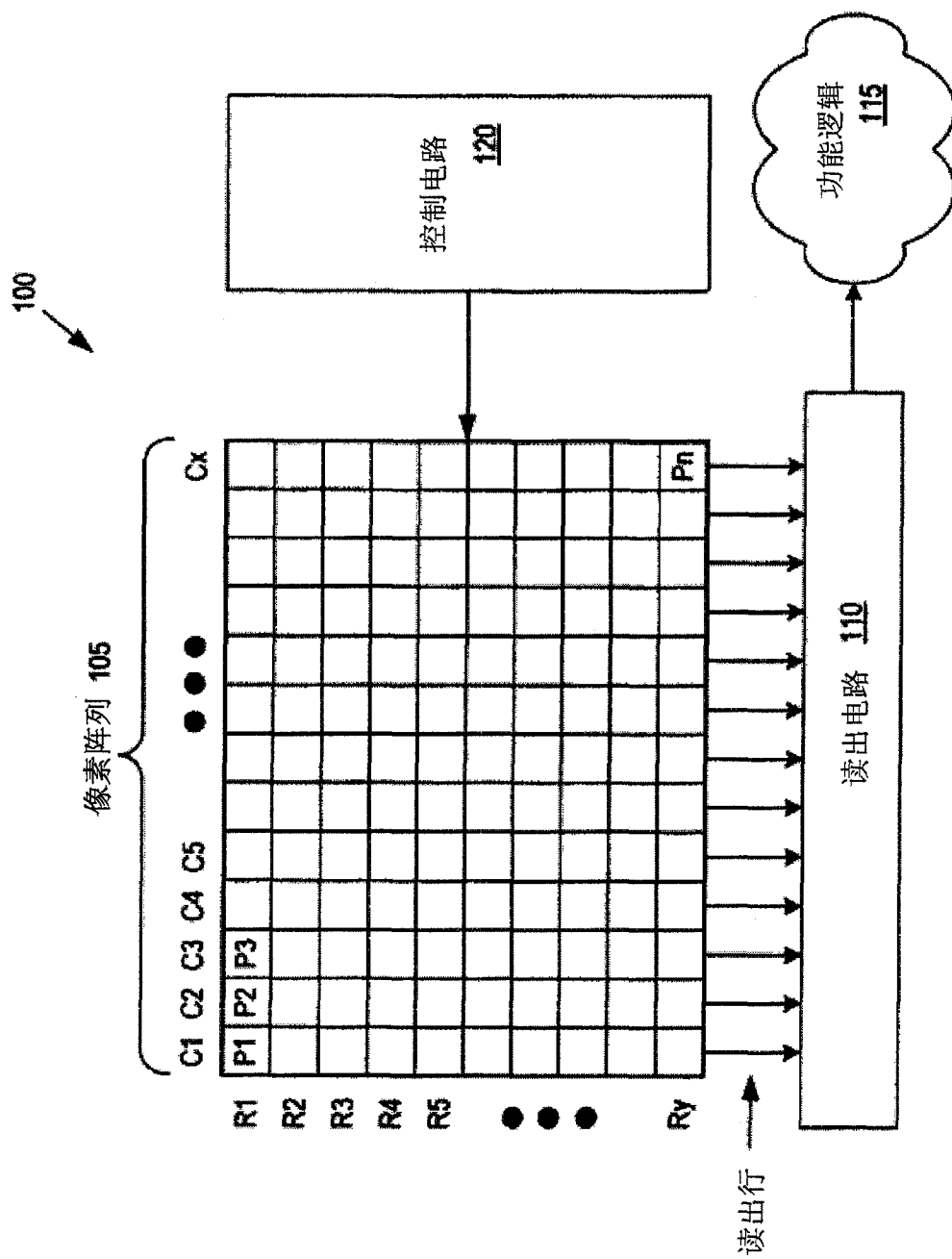


图 1

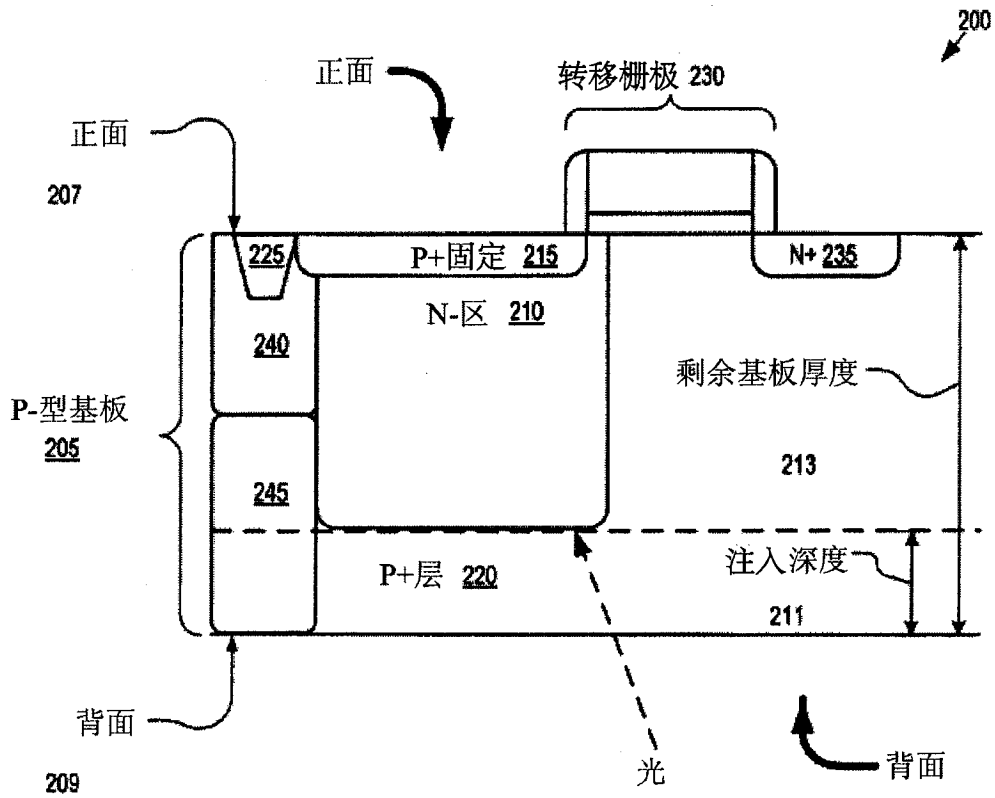


图 2

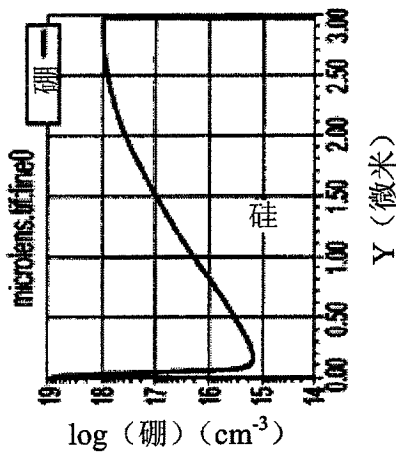


图 3A

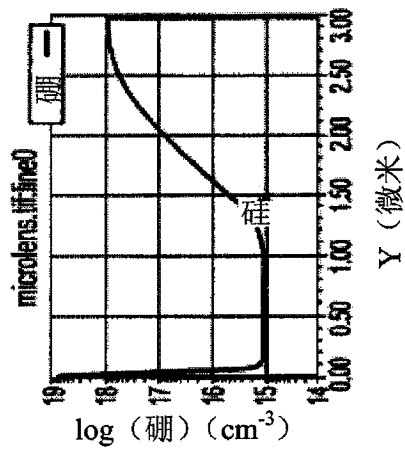


图 3B

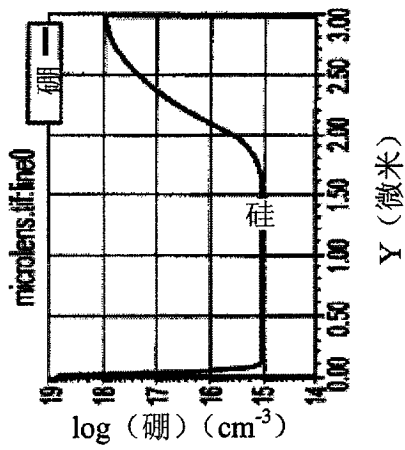


图 3C

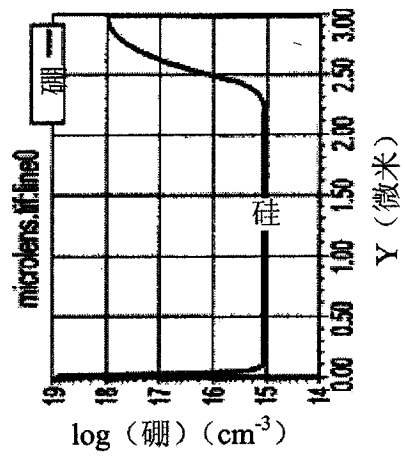


图 3D

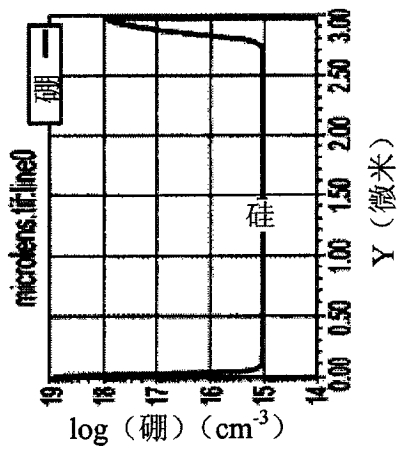


图 3E

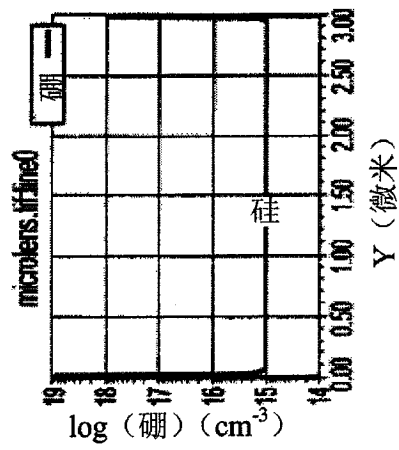


图 3F

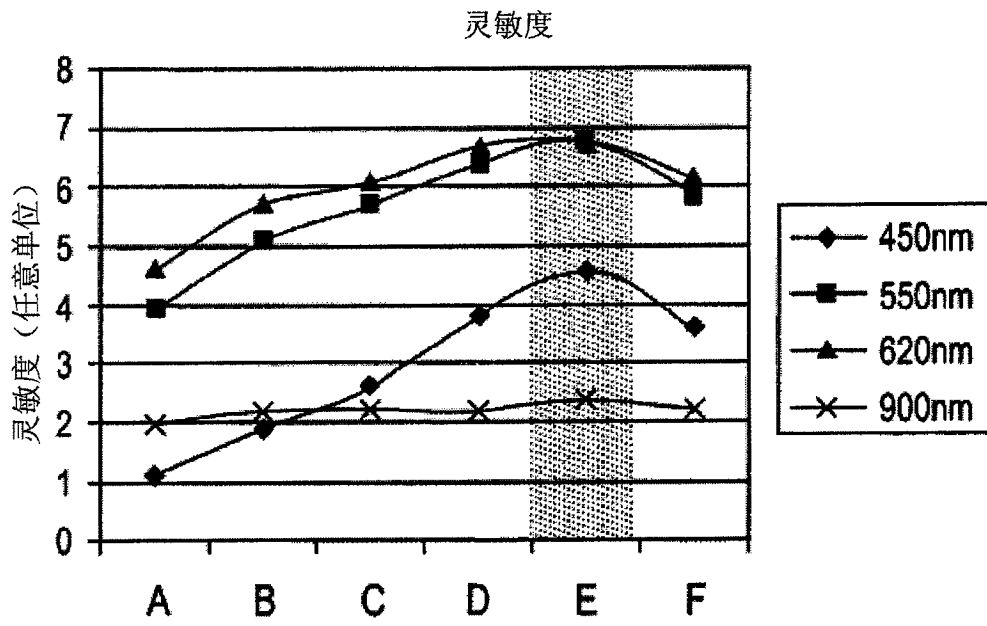


图 4



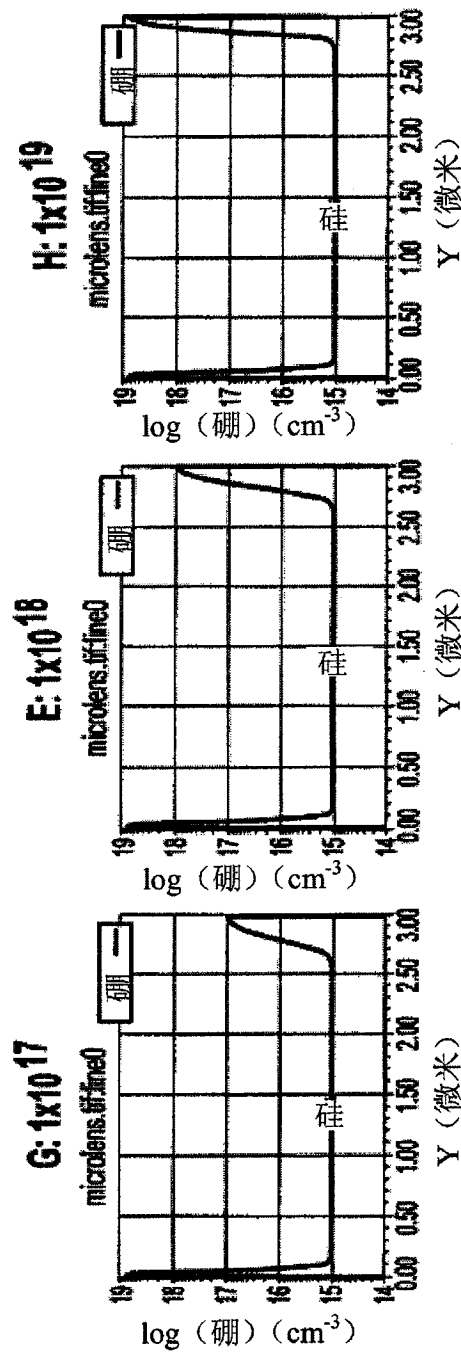


图 5

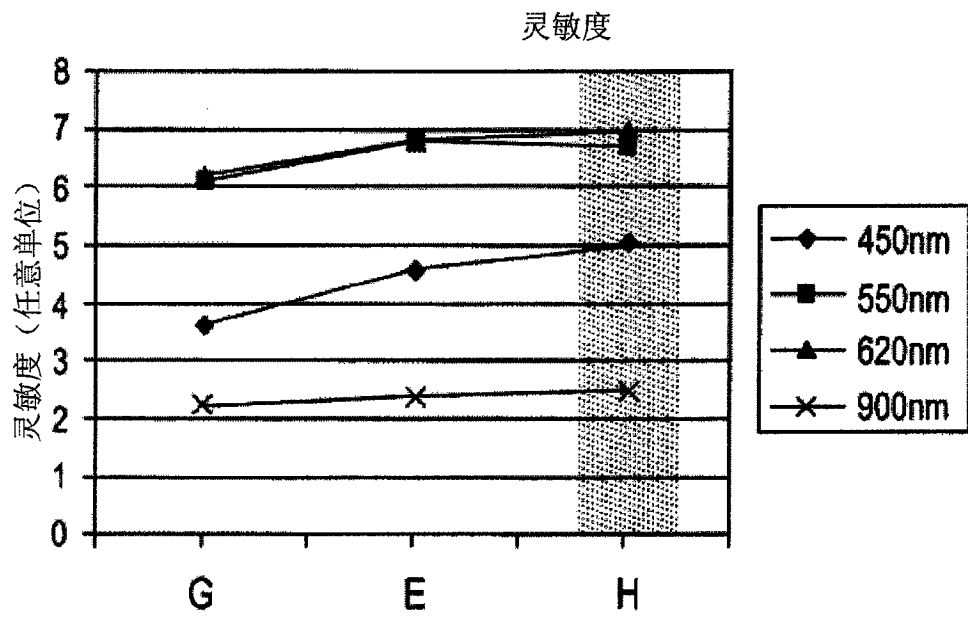


图 6

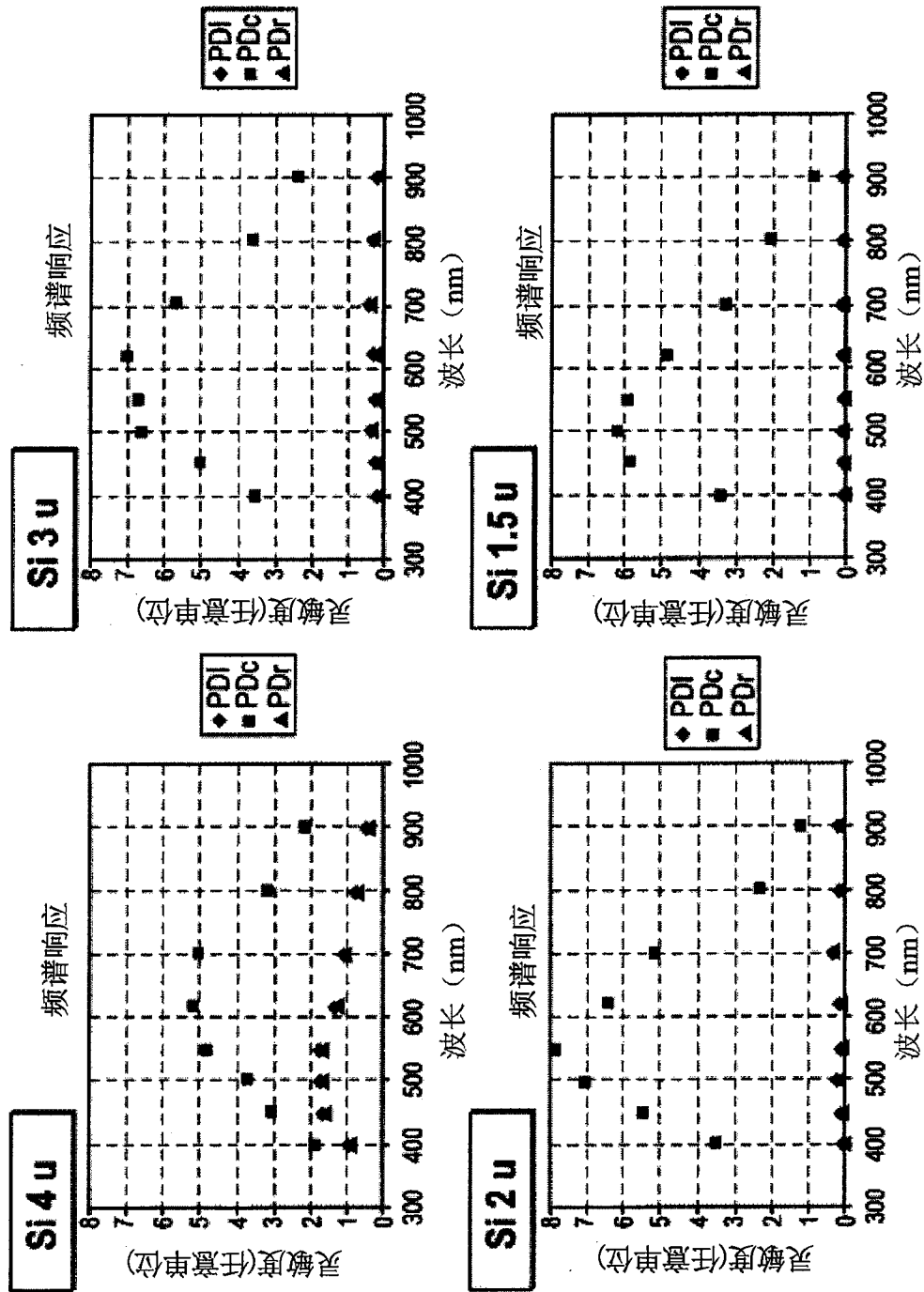


图 7

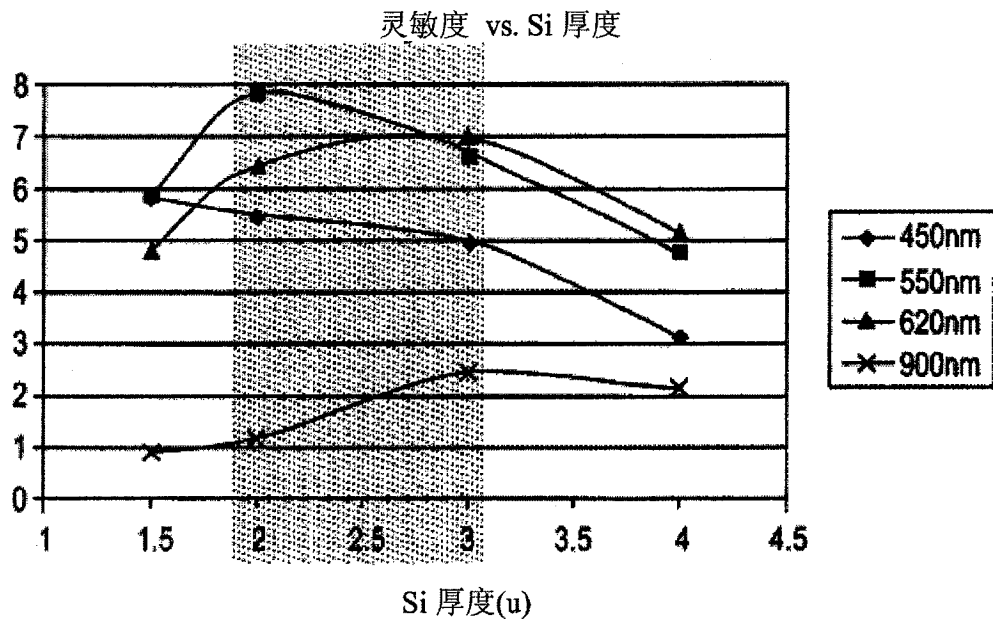


图 8

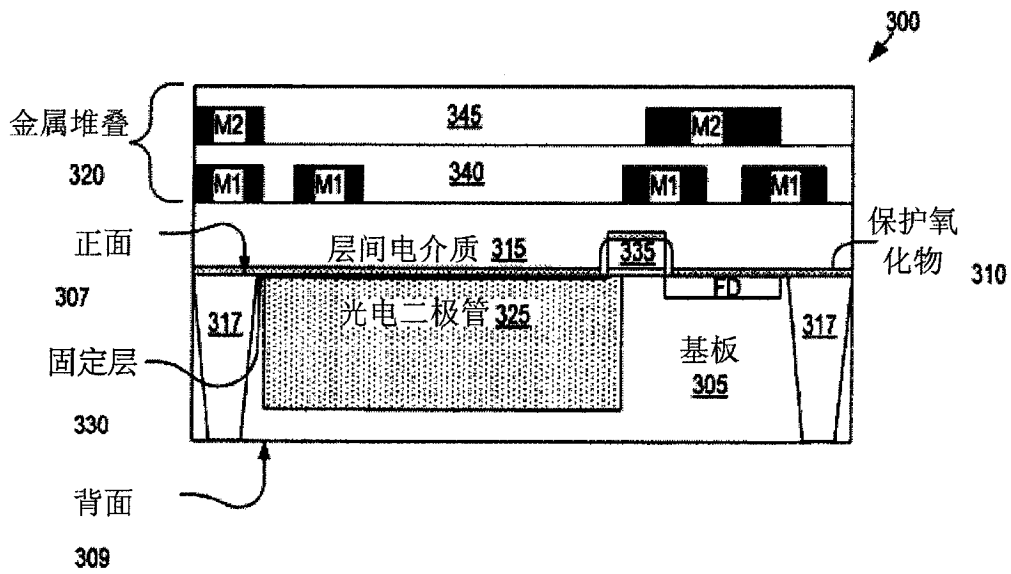


图 9A

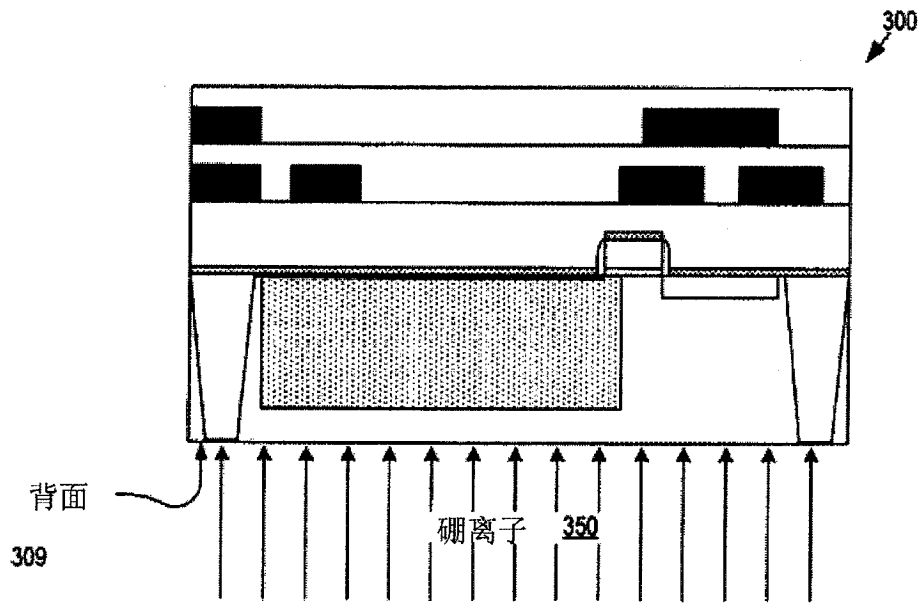


图 9B

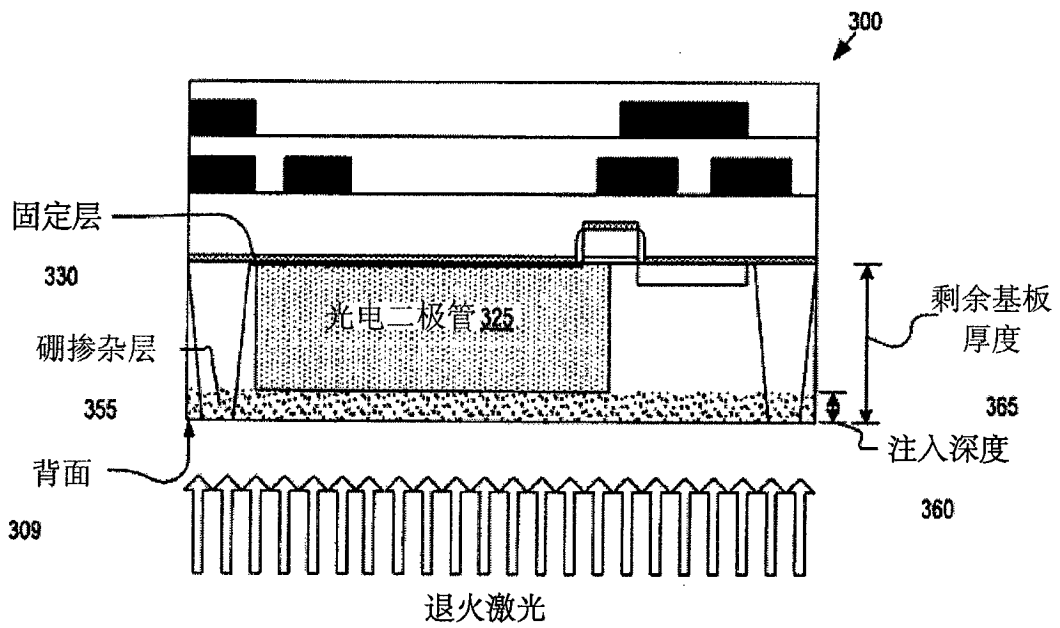


图 9C

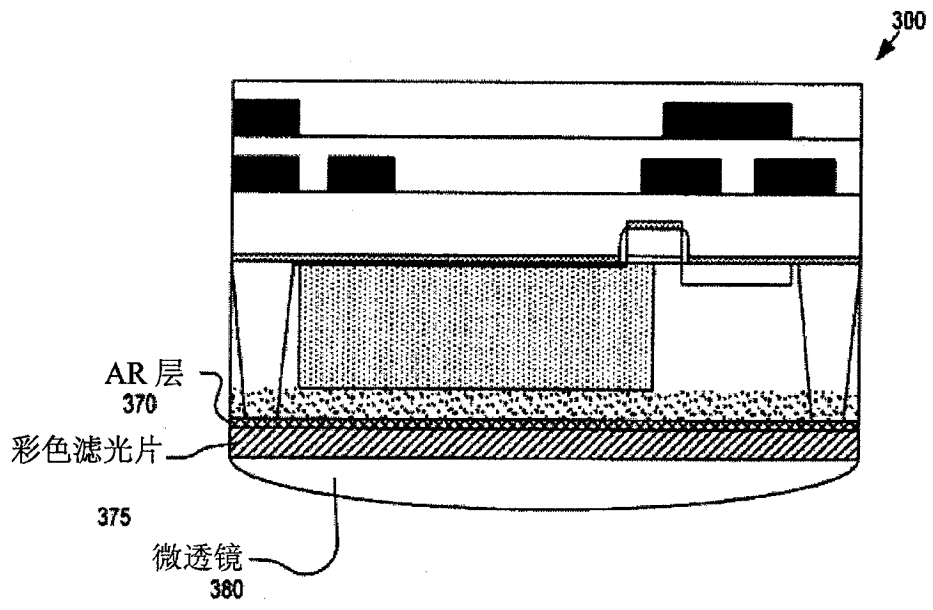


图 9D

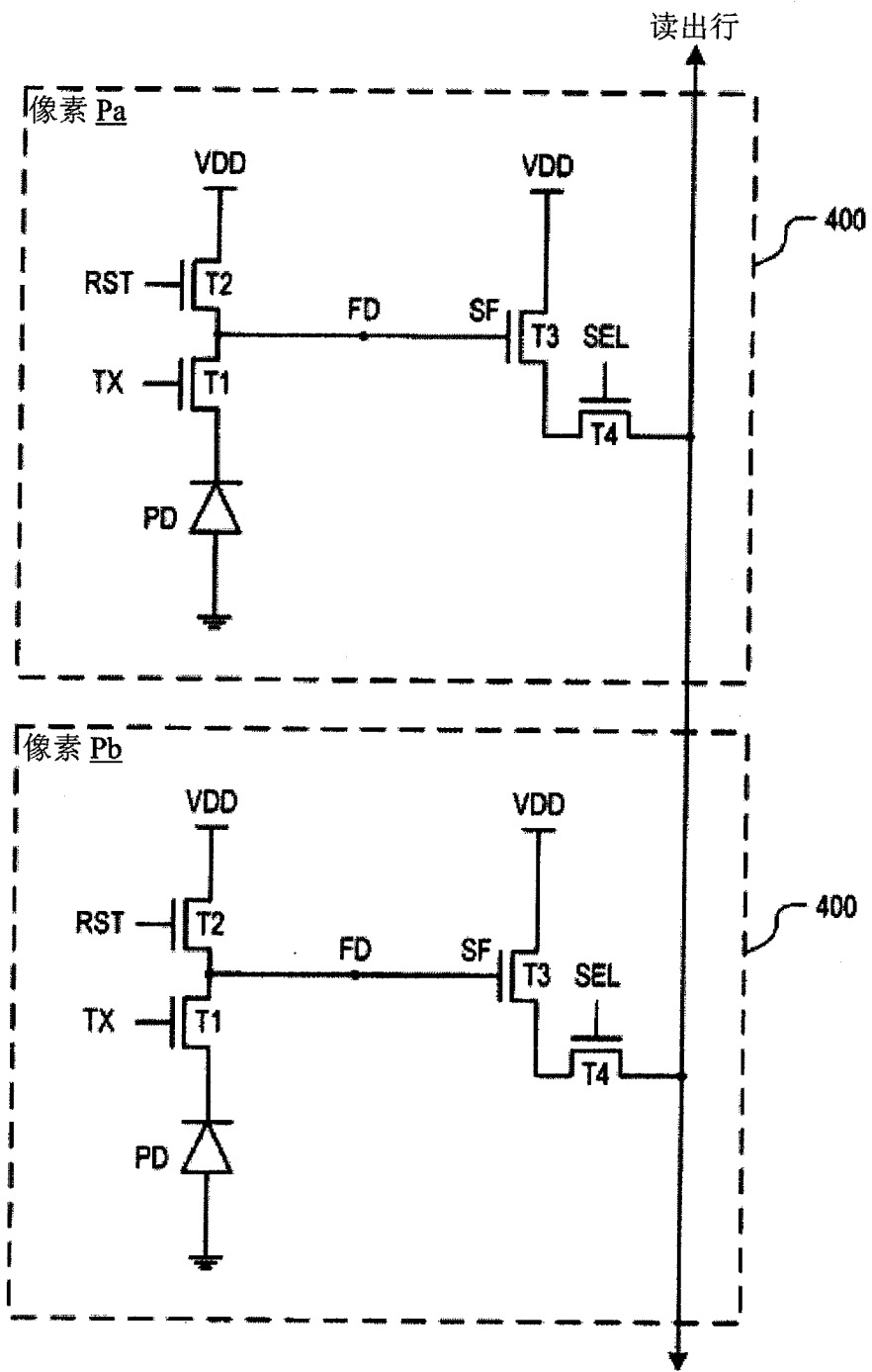


图 10