

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2009年10月8日(08.10.2009)

PCT

(10) 国際公開番号
WO 2009/122656 A1

- (51) 国際特許分類:
H03M 1/14 (2006.01) H03M 1/10 (2006.01)
- (21) 国際出願番号: PCT/JP2009/000959
- (22) 国際出願日: 2009年3月3日(03.03.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-091992 2008年3月31日(31.03.2008) JP
- (71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 荻田進一 (OGITA, Shinichi). 河邊章 (KAWABE, Akira). 鬼頭崇泰 (KITO, Takayasu).
- (74) 代理人: 特許業務法人池内・佐藤アンドパートナーズ (IKEUCHI SATO & PARTNER PATENT ATTORNEYS); 〒5306026 大阪府大阪市北区天満

橋1丁目8番30号OAPタワー26階 Osaka (JP).

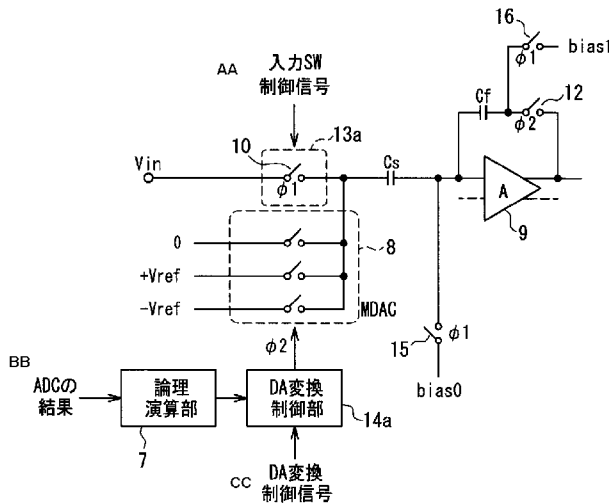
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: PIPELINE TYPE A-D CONVERTER

(54) 発明の名称: パイプラインA/D変換器

[図2]



AA INPUT SW CONTROL SIGNAL
 BB RESULT OF ADC
 7 LOGIC OPERATION SECTION
 14a D-A CONVERSION CONTROLLING SECTION
 CC D-A CONVERSION CONTROL SIGNAL

(57) Abstract: In each stage, a digital signal of a predetermined number of bits is generated from an input analog signal, and an analog reference signal is generated by means of a D-A conversion section (7, 8) based on the generated digital signal, and then a remainder operation is performed on the input analog signal by means of a remainder operation section (9). This A-D converter is so configured as to input a test signal in place of the input analog signal and perform a predetermined test. In the test mode, a controlling section (14a) blocks the supply of the input analog signal to the remainder operation section, and stops the selection of the reference voltage of the D-A conversion section based on the digital signal and, instead, selects the reference voltage based on a D-A conversion control signal for testing, and controls to supply a test signal consisting of a predetermined reference voltage in place of the input analog signal and an analog reference signal to the remainder operation section. Thus, this A-D converter can input a test signal while being remained compact without installing a test signal line separately from a line for normal operation.

(57) 要約: 各ステージにおいて、入力アナログ信号から一部のビットに対応するデジタル信号を生成し、それに基づきD/A変換部(7、8)によりアナログ基準信号を生成して、入力

アナログ信号に対する剰余演算を剰余演算部(9)により行う。入力アナログ信号に代えてテスト信号を入力して、所定のテストを行うように構成される。制御部(14a)は、テストモードでは、剰余演算部に対する入力アナログ信号の供給を遮断するとともに、デジタル信号に基づくD/A変換部の基準電圧の選択を停止し、テスト用のD/A変換制御信号に基づく基準電圧の選択を行って、剰余演算部に対して、入力アナログ信号に代わる所定の基準電圧からなるテスト信号、及びアナログ基準信号を供給するように制御する。テスト信号ラインを通常動作作用のラインとは別に設けることなく、小規模でテスト信号を入力することが可能である。

WO 2009/122656 A1

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

— 補正された請求の範囲 (条約第 19 条(1))

明 細 書

パイプラインA/D変換器

技術分野

[0001] 本発明は、パイプラインA/D変換器に関し、特に、その出力を補正する技術に関する。

背景技術

[0002] AV分野、情報通信分野等におけるデジタル化に伴い、キーデバイスであるAD変換器には、高速化、高分解能化が要求されている。パイプラインAD変換器は、高速性、消費電力の点で優れた回路として、近年多用されている。しかし、機器の高性能化に伴い、パイプラインAD変換器には、高速・低電圧・多ビット・低コストとともに、より高精度化が求められている。

[0003] 図16は、パイプラインA/D変換器の基本的な構成を示すブロック図である。このパイプラインA/D変換器は、縦続接続されたn段のステージ、すなわち第1ステージ1[1]～第nステージ1[n]と、最終段のフラッシュAD変換器2を含む。入力アナログ信号 V_{in} はn段のステージにより、上位ビットから下位ビットに向けて各々1ビットずつデジタル信号に変換される。デジタル演算部6により、n段のステージ及びフラッシュAD変換器2の出力デジタル信号を組み合わせることにより、入力アナログ信号 V_{in} を所望のビット数でA/D変換した出力信号が得られる。

[0004] 図16には、第1ステージ1[1]のみについて構成が具体的に示されているが、他の各段のステージの構成も同様である。すなわち、各ステージは、AD変換部3、DA変換部4、及び剰余演算部5から構成される。

[0005] AD変換部3は、当段ステージへの入力アナログ信号を3値化したデジタル信号を生成し出力するとともに、DA変換部4にも供給する。DA変換部4は、AD変換部3が出力するデジタル信号に基づいてアナログ基準信号を生成し、剰余演算部5に供給する。剰余演算部5は、当段ステージへの入力アナログ信号に対し、DA変換部4が出力するアナログ基準信号を減算

して増幅を行うことにより、剰余アナログ信号を生成して次段のステージに入力アナログ信号として供給する。

[0006] 図17に、DA変換部4及び剰余演算部5により所定の機能を得るための回路を示す。DA変換部4は、論理演算部7及び電圧供給部8からなる。他の要素、すなわち、演算増幅器9、サンプリング容量 C_s 、帰還ループ容量 C_f 、スイッチ10~12が、図16における剰余演算部5を構成する。DA変換部4が出力するアナログ基準信号は、サンプリング容量 C_s とスイッチ10との接続ノードに供給される。また、サンプリング容量 C_s の演算増幅器9側が、スイッチ15を介して $bias_0$ に接続されている。なお、以下の記述では、サンプリング容量 C_s 、帰還ループ容量 C_f の容量値をそれぞれ、 C_s 、 C_f で表す。

[0007] 電圧供給部8は、3値の基準電圧である $+V_{ref}$ 、 $0V$ 、及び $-V_{ref}$ を、3個のスイッチの切替えにより選択して供給する。論理演算部7は、AD変換部3から出力されたデジタル信号の値に基づき、電圧供給部8のスイッチを切換えるための信号を出力する。それにより、電圧供給部8では、当該デジタル信号の値に応じて3値の基準電圧のいずれかが選択され、アナログ基準信号 V_{dac} として供給される。

[0008] この回路は、図17に示すクロック Φ_1 とクロック Φ_2 が、交互にハイレベル(H)とローレベル(L)の値をとることにより、サンプリング期間と増幅期間の動作を行う。クロック Φ_1 がH、クロック Φ_2 がLの状態では、スイッチ10、11がオン、スイッチ12がオフとなり、入力アナログ信号 V_{in} が、サンプリング容量 C_s にサンプリングされる。クロック Φ_1 がL、クロック Φ_2 がHの状態では、スイッチ10、11がオフ、スイッチ12がオンとなり、サンプリング容量 C_s にサンプリングされた電荷が、サンプリング容量 C_s と帰還ループ容量 C_f に再配分される。また、論理演算部7が動作して電圧供給部8からは、アナログ基準信号 V_{dac} がサンプリング容量 C_s に供給される。その結果、演算増幅器9により増幅される出力信号 V_{out} は、下記のとおりとなる。

$$[0009] \quad V_{out} = \{ (C_s + C_f) / C_f \} \cdot V_{in} - (C_s / C_f) \cdot V_{dac} \quad (1)$$

$C_s = C_f$ に設定されていれば、

$$V_{out} = 2 \cdot V_{in} - V_{dac} \quad (2)$$

となる。

[0010] この演算増幅器9の出力信号 V_{out} について、図18の入出力特性も参照して説明する。図18における横軸は、各ステージに対する入力アナログ信号 V_{in} を示す。縦軸は演算増幅器9の出力信号 V_{out} を示す。この図に示すように、横軸の入力アナログ信号 V_{in} のレベルは、第1領域 ($-V_{ref} \sim -V_{ref}/4$)、第2領域 ($-V_{ref}/4 \sim +V_{ref}/4$)、及び第3領域 ($+V_{ref}/4 \sim +V_{ref}$) に区分される。

[0011] AD変換部3は、各領域の境界に対応する参照電圧を用いて、入力アナログ信号 V_{in} から3値のデジタル信号を生成する。そのデジタル信号に基づき論理演算部7が出力する制御信号により、電圧供給部8では $+V_{ref}$ 、 $0V$ 、及び $-V_{ref}$ のいずれかの電圧が選択される。更に上記の式(2)の演算の結果、入力アナログ信号 V_{in} に対する演算増幅器9の出力信号 V_{out} の入出力特性は、図18に示すとおりとなる。

[0012] このように、入力アナログ信号 V_{in} のレベルに応じてアナログ基準信号を生成し、入力アナログ信号 V_{in} に対する加減算を行うことにより、演算増幅器9の出力信号 V_{out} が、次段のステージ1のAD変換部3の入力レンジを越えることを回避することができる。また、上述のようにサンプリング容量 C_s と帰還ループ容量 C_f の容量値が等しいとき、各ステージのアナログ入出力特性は理想値となる。すなわち、演算増幅器9による利得がちょうど“2”となり、図18の特性の非線形部分 ($V_{in} = \pm V_{ref}/4$ となる部分) における不連続幅は、ちょうど1ビット分に相当する V_{ref} となる。

[0013] しかし、実際には、サンプリング容量 C_s と帰還ループ容量 C_f の容量値の間には若干の誤差が存在する。そして、この容量値誤差に起因して上記利

得に誤差が生じ、ステージのアナログ入出力特性が所定の特性とは異なって
しまう。すなわち、 $C_f < C_s$ のとき、不連続幅は1ビット分よりも大き
くなり、 $C_f > C_s$ のとき、不連続幅は1ビット分よりも小さくなる。

[0014] 上記の容量値誤差は、ステージのアナログ入出力特性劣化の主要因であり
、この誤差を解消することが、パイプラインA/D変換器の変換精度の向上
につながる。しかし、パイプラインA/D変換器の分解能が12ビット以上
の場合、許容される誤差はおよそ0.04%以下である。アナログ信号領域
でこの誤差を補正することは極めて困難であり、デジタル処理による誤差補
正が必要となる。

[0015] このような容量値誤差に起因する変換誤差の補正を行う構成の一例として
、図19に示すようなパイプラインA/D変換器が特許文献1に開示されて
いる。このA/D変換器は、複数のステージ30および可変ステージ30A
、デジタル計算部31、制御部32、複数の入力切り替え部33、ステージ
評価部34、複数の補正值算出部35、および出力補正部36を含む。ステ
ージ30および可変ステージ30Aは、各々上述のステージと同様の機能を
有する。デジタル計算部31は、各ステージに対応して、その前段のステー
ジからのデジタル出力を1ビットシフトしたものに、その対応するステー
ジのデジタル出力を加算するデジタル計算コア31aを備えている。

[0016] 制御部32は、各入力切り替え部33および各可変ステージ30Aにおけ
るスイッチ群の動作を制御する。入力切り替え部33は、可変ステージ30
Aに対応して設けられており、制御部32からの制御により、対応する各可
変ステージ30Aの入力を、通常入力信号とテスト信号との間で切り替える
。通常入力信号とは、通常の変換動作の際の各ステージへの入力アナログ信
号のことである。テスト信号とは、ステージの容量値誤差を検出するための
所定の大きさのアナログ信号である。テスト信号は、たとえば、図示してい
ないD/A変換器などを用いて生成される。

[0017] ステージ評価部34は、出力補正部36のデジタル出力に基づいて、各可
変ステージ30Aのアナログ出力誤差を推定する。すなわち、容量値誤差を

推定しようとする可変ステージ30A（テストステージ）にテスト信号が入力された状態で、パイプラインA/D変換器から得られるデジタル出力には、テストステージの容量値誤差に応じた大きさの変換誤差が含まれる。したがって、このデジタル出力からアナログ出力誤差を推定する。

[0018] 補正值算出部35は、可変ステージ30Aに対応して設けられており、ステージ評価部34によって推定された容量値誤差に基づいて、各可変ステージ30Aの出力誤差特性を生成する。その特性に基づき、補正值算出部35は、遅延素子37を介して入力されるデジタル計算部31の中間出力を用いて、対応する可変ステージ30Aのデジタル出力誤差をデジタル補正值として算出する。

[0019] 出力補正部36は、各補正值算出部35から出力されたデジタル補正值に基づいて、デジタル計算部31のデジタル出力を補正する。

[0020] 以上のようにして、各可変ステージ30Aについて、その可変ステージ30Aにおける帰還ループ容量およびサンプリング容量の容量値誤差に起因する出力誤差が推定され、その推定誤差に基づいてデジタル補正值が算出される。そして、これらデジタル補正值を用いてパイプラインA/D変換器のデジタル出力が補正される。

[0021] また、特許文献2には、上述のようなテスト信号を供給するための具体的な構成が開示されている。

特許文献1：特開2006-67201号公報

特許文献2：特開2007-13885号公報

発明の開示

発明が解決しようとする課題

[0022] 上記従来例の構成においては、容量値誤差に起因する変換誤差の補正を行うために、テスト信号を供給するためのテスト信号入力ラインを設ける必要がある。また、テスト信号を生成するために、A/D変換器の外部に、DA変換器などの手段が必要である。

[0023] しかし、テスト信号入力ラインを介してテスト信号を供給した場合、供給

されるテスト信号の精度に問題が発生する。すなわち、通常の入力アナログ信号を供給するラインとは異なるため、実際に入力されるアナログ信号とは同一の状態にはならないこと、また、テスト信号入力ラインの長さや寄生素子に起因する信号の劣化も発生することである。テスト信号の精度が悪いと、テスト信号に基づく評価結果について高い精度を期待できない。

[0024] また、A/D変換器の外部にテスト信号を生成する手段を設けることにより、回路規模の増大を免れ得ず、また、このテスト信号生成手段の特性によっても評価結果が左右される。

[0025] なお、ステージに対するテスト信号の供給は、上記従来例のような容量値誤差の補正以外にも、種々のA/D変換器の段差誤差、ゲイン誤差、オフセット誤差の補正や、その他の検査、評価のためのテストの際にも用いられる。

[0026] 従って、本発明は、種々のテストのためにステージに供給されるテスト信号を、通常動作用のラインとは別にテスト信号ラインを設けることなく、小規模な構成により入力可能なパイプラインA/D変換器を提供することを目的とする。

課題を解決するための手段

[0027] 本発明のパイプラインA/D変換器は、一部のビットに対応するA/D変換を行うステージが複数段に縦続接続されて、初段の前記ステージに入力されたアナログ信号を、前記複数段のステージを通して順次上位ビットから下位ビットに向けてデジタル信号に変換するように構成される。各段の前記ステージは、当該の入力アナログ信号を量子化して一部のビットに対応する前記デジタル信号を生成するA/D変換部と、前記A/D変換部が生成する前記デジタル信号に基づき、複数レベルの基準電圧から所定の基準電圧を選択してアナログ基準信号として出力するD/A変換部と、前記入力アナログ信号に対する前記アナログ基準信号の加減算及び所定倍の増幅を行い剰余アナログ信号を生成して、次段の前記ステージへ入力アナログ信号として供給する剰余演算部とを備える。少なくとも一部の前記ステージに対して、前記入力アナログ信号に代えてテスト信号を入力して所定のテストを行うように構

成される。

- [0028] 上記課題を解決するために、本発明のパイプラインA/D変換器は、前記剰余演算部に対する前記入力アナログ信号の供給、及び前記DA変換部の前記基準電圧の選択を、通常動作モードとテストモードの各々に応じて制御することが可能な制御部を備え、前記制御部は、前記テストモードでは、前記剰余演算部に対する前記入力アナログ信号の供給を遮断するとともに、前記デジタル信号に基づく前記DA変換部の前記基準電圧の選択を停止し、テスト用のDA変換制御信号に基づく前記基準電圧の選択を行って、前記剰余演算部に対して、前記入力アナログ信号に代わる所定の前記基準電圧からなるテスト信号、及び前記アナログ基準信号を供給するように制御する。

発明の効果

- [0029] 上記構成のパイプラインA/D変換器によれば、テスト信号供給用にテスト信号ラインを設けることなく、電圧供給部を通常動作モードとテストモードで共用して、テスト信号及びアナログ基準信号を供給することができる。従って、テスト信号を精度良く供給することができる。また、電圧供給部を共用するため、DA変換器などのテスト信号の生成手段をA/D変換器の外部に設ける必要も無く、回路規模の増大を抑制可能である。

図面の簡単な説明

- [0030] [図1]本発明の実施の形態1におけるパイプラインA/D変換器を構成する1つのステージの基本構成を示すブロック図
[図2]同ステージの要部の具体的な構成を示すブロック図
[図3]図2に示すステージの変形例を示すブロック図
[図4]実施の形態2におけるパイプラインA/D変換器を構成する1つのステージの要部を示すブロック図
[図5]同ステージの全体の構成を示すブロック図
[図6]同ステージのアナログ入出力特性を示す図
[図7]同ステージのテストモードでのサンプリング期間および増幅期間における状態遷移例を示す図

[図8]同ステージの通常動作モード及びテストモードでの剰余演算部の状態を対比して示す図

[図9]図5におけるDA変換制御部の構成を示すブロック図

[図10]同DA変換制御部に供給される制御信号の波形例を示す図

[図11]実施の形態2におけるステージの補助容量の容量値を変化させたときのアナログ入出力特性の変化を示す図

[図12]同ステージにより構成されたパイプラインA/D変換器のテストモードにおけるA/D変換を示す図

[図13]初段ステージにマルチビット構成を採用したパイプラインA/D変換器のステージの要部の例を示すブロック図

[図14]実施の形態3におけるパイプラインA/D変換器を構成する1つのステージの要部を示すブロック図

[図15]同ステージのテストモードでのサンプリング期間および増幅期間における状態遷移例を示す図

[図16]従来例のパイプラインA/D変換器の基本的な構成を示すブロック図

[図17]同パイプラインA/D変換器を構成する1つのステージの要部を示すブロック図

[図18]同ステージのアナログ入出力特性を示す図

[図19]従来例の変換誤差の補正を行うための構成を有するパイプラインA/D変換器のブロック図

符号の説明

- [0031] 1 [1] ~ 1 [n] 第1ステージ~第nステージ
- 2 フラッシュAD変換器
 - 3 AD変換部
 - 4 DA変換部
 - 5 剰余演算部
 - 6 デジタル演算部
 - 7 論理演算部

- 8 電圧供給部
- 9 演算増幅器
- 10～12、15～17 スイッチ
- 13、13a、13b 入力SW制御部
- 14、14a、14b DA変換制御部
- 18 補助電圧供給部
- 19a～19g 選択制御部
- 20 選択回路
- 21 EORゲート
- 22 ANDゲート
- 30 ステージ
- 30A 可変ステージ
- 31 デジタル計算部
- 31a デジタル計算コア
- 32 制御部
- 33 入力切り替え部
- 34 ステージ評価部
- 35 補正值算出部
- 36 出力補正部
- 37 遅延素子
- Cs サンプリング容量
- Cf 帰還ループ容量

発明を実施するための最良の形態

- [0032] 本発明のパイプラインA/D変換器は、上記構成を基本として以下のような態様をとることができる。
- [0033] すなわち、前記剰余演算部は、前記入力アナログ信号の入力を制御する入力スイッチを備え、前記DA変換部は、前記所定の基準電圧を選択して出力する電圧供給部と、前記AD変換部が生成する前記デジタル信号に基づき

前記電圧供給部による選択を制御する信号を出力する論理演算部とを備え、前記制御部は、前記論理演算部の出力信号と前記D A変換制御信号とから選択して、いずれか一方の信号により前記電圧供給部による前記基準電圧の選択を制御することが可能であり、前記テストモード時に、前記入力スイッチをオフとするとともに、前記D A変換制御信号により前記基準電圧の選択を制御して、前記入力スイッチの後段の経路に前記テスト信号が供給されるように制御する構成とすることができる。

[0034] この構成において、前記剰余演算部は、演算増幅器と、前記演算増幅器の入力端子に一端が接続され他端が前記入力スイッチに接続されたサンプリング容量と、前記演算増幅器の前記入力端子と出力端子との間に帰還切替えスイッチを介して接続された帰還ループ容量とを備え、前記制御部は前記テストモード時において、前記剰余演算部のサンプリング期間には、前記帰還切替えスイッチをオフにして前記テスト信号を前記サンプリング容量によりサンプリングし、増幅期間には前記帰還切替えスイッチをオンにし、前記選択されたアナログ基準信号を前記サンプリング容量に入力して、前記サンプリングされた前記テスト信号と前記アナログ基準信号との間で所定の演算が行われるように制御する構成とすることができる。

[0035] この構成において、前記帰還ループ容量と前記帰還切替えスイッチの間に一端が接続され他端が所定のバイアス電圧に接続されたバイアス切替えスイッチを備え、前記制御部は、前記テストモード時における前記剰余演算部のサンプリング期間には、前記バイアス切替えスイッチをオンとする構成とすることが好ましい。

[0036] また、上記いずれかの構成において、複数レベルの前記基準電圧から所定の基準電圧を選択して出力する補助電圧供給部と、前記演算増幅器の入力端子に一端が接続され他端が前記補助電圧供給部に接続された補助容量とを備え、前記制御部は前記テストモード時において、前記電圧供給部及び前記補助電圧供給部の出力電圧を前記剰余演算部に供給するように制御する構成とすることが好ましい。

[0037] この構成において、前記補助容量の容量値 C_c は、前記サンプリング容量の容量値 C_s または帰還ループ容量の容量値 C_f に対し、 $C_c = a \times C_s$ 、または $C_c = a \times C_f$ (a は、 $0 < a \leq 1$ の定数) の関係を持つ構成とすることができる。

[0038] 上記いずれかの構成において、複数段の前記ステージのうちの少なくとも1段のステージは、複数ビット分のA/D変換を行うように構成することができる。

[0039] 以下、本発明の実施の形態について図面を参照しながら説明する。

[0040] (実施の形態1)

図1は、本発明の実施の形態1におけるパイプラインA/D変換器を構成するステージのブロック図である。同図において、図16、図17に示した従来例の要素と同一の機能を有する要素には、同一の参照符号を付して説明の繰り返しを一部省略する。

[0041] このステージは、AD変換部3、DA変換部4、及び剰余演算部5からなる基本構成に加えて、入力SW制御部13、及びDA変換制御部14が設けられている。入力SW制御部13は、剰余演算部5に対する入力アナログ信号の供給を制御する。DA変換制御部14は、DA変換部4における基準電圧の選択を、通常動作モードとテストモードの各々に応じて制御することが可能である。通常動作モードではアナログ基準信号を出力し、テストモードでは、入力アナログ信号に代わるテスト信号、及びアナログ基準信号を出力する。

[0042] 図示は省略するが、本実施の形態のパイプラインA/D変換器は、例えば図19に示した従来例のパイプラインA/D変換器のように、所定のステージにテスト信号を供給して所定のテストを行うことが可能なように構成される。

[0043] 図2は、図1に示したステージの一部、すなわち、AD変換部3を除いた部分について、より具体的な構成を示すブロック図である。基本的には、図17に示した従来例と同様の構成に対して、入力SW制御部13a及びDA

変換制御部 14 a が設けられている。また、図 17 におけるスイッチ 12 に代えて、帰還ループ容量 C_f とスイッチ 12 の間にスイッチ 16 の一端が接続され、スイッチ 16 の他端にバイアス電圧 $b i a s 1$ が供給される。

[0044] 入力 SW 制御部 13 a 及び DA 変換制御部 14 a は、それぞれ供給される制御信号により、通常動作モードかテストモードかに応じて動作する。すなわち、入力 SW 制御部 13 a は、入力 SW 制御信号に基づきスイッチ 10 の切替えを制御する。DA 変換制御部 14 a は、DA 変換制御信号に基づき、電圧供給部 8 の動作を制御する。

[0045] 通常動作モードのときは、各スイッチはクロック $\Phi 1$ 及び $\Phi 2$ により、図 17 を参照して説明した従来例と同様に制御され、サンプリング期間と増幅期間の動作を行う。

[0046] 以下に、テストモードの場合の動作について説明する。テストモードのとき、スイッチ 10 は、入力 SW 制御部 13 a により開放状態に保持され、剰余演算部すなわち、サンプリング容量 C_s に対する入力アナログ信号の供給は遮断される。また、DA 変換制御部 14 a は、電圧供給部 8 の基準電圧の選択を論理演算部 7 の出力に基づいて行うことを停止し、DA 変換制御信号に基づき基準電圧を選択して、サンプリング期間での入力アナログ信号に代わるテスト信号として供給する。同様に増幅期間でのアナログ基準信号も、DA 変換制御信号に基づき基準電圧を選択することにより供給される。

[0047] 電圧供給部 8 は、クロック $\Phi 1$ 及び $\Phi 2$ の両方のタイミングにおいて、それぞれ所定の基準電圧を選択して、テスト信号及びアナログ基準信号として供給するように制御される。各スイッチ 12、15、16 は、従来例と同様、クロック $\Phi 1$ 及び $\Phi 2$ に応じてサンプリング期間と増幅期間の動作を行う。従って、サンプリング期間であるクロック $\Phi 1$ のタイミングでは、スイッチ 15、16 がオンとなり、バイアス電圧 $b i a s 0$ 、バイアス電圧 $b i a s 1$ が供給される。増幅期間であるクロック $\Phi 2$ のタイミングでは、スイッチ 15、16 がオフとなり、スイッチ 12 がオンとなる。

[0048] 以上の動作により、サンプリング期間には、電圧供給部 8 により所定の基

準電圧が選択されテスト信号としてサンプリング容量 C_s に供給されて、サンプリングが行われる。また、増幅期間には、サンプリングの動作により保持された信号と、電圧供給部8から供給される所定のアナログ基準信号に基づき、演算増幅器9により所定の増幅動作が行われる。

[0049] 従って、テスト信号供給用にテスト信号ラインを設けることなく、電圧供給部8を通常動作モードとテストモードで共用して、テスト信号及びアナログ基準信号を供給することができる。また、DA変換制御信号でDA変換部4を制御して電圧供給部8のスイッチを強制的に切替える構成のため、小規模でテスト信号入力状態にすることができる。DA変換器などのテスト信号の生成手段を、A/D変換器の外部に設ける必要も無い。

[0050] 図3は、図2の構成の変形例を示す。この回路は、スイッチ10~12の配置が図17の従来例と同様である。但し、帰還ループ容量 C_f とスイッチ12の間にスイッチ17の一端が接続され、スイッチ17の他端にバイアス電圧 $bias_1$ が供給される。さらに、スイッチ10に加えて、スイッチ11、17も、入力SW制御部13bの制御を受ける。すなわち、通常動作モードでは、スイッチ17はオフに保持され、スイッチ10、11はクロック Φ_1 のタイミングでオンとなる。一方、テストモードでは、スイッチ10、11はオフに保持され、スイッチ17はクロック Φ_1 のタイミングでオンとなる。このような構成でも、図2に示したステージと同様の動作を行うことができる。

[0051] (実施の形態2)

図4は、本発明の実施の形態2におけるパイプラインA/D変換器を構成するステージの一部を示すブロック図である。図2に示した実施の形態1の要素と同一の要素については、同一の参照符号を付して説明の繰り返しを省略する。

[0052] 本実施の形態は、演算増幅器9の入力端子に補助容量 C_c の一端が接続されている点が、実施の形態1と相違する。補助容量 C_c の他端は、サンプリング容量 C_s と同様、補助電圧供給部18に接続され、基準電圧である+V

$r e f$ 、 $0 V$ 、及び $-V r e f$ が、各々3個のスイッチにより切替えて供給される。

[0053] 電圧供給部8及び補助電圧供給部18は、DA変換制御部14bにより制御される。すなわち、テストモード時には、論理演算部7の出力に代えてDA変換制御信号に基づき基準電圧の選択を行い、テスト信号及びアナログ基準信号を供給する。従って、演算増幅器9に対する入力信号は、電圧供給部8及び補助電圧供給部18から供給されるアナログ信号を組み合わせた信号になる。

[0054] 補助容量 C_c の容量値を C_c で表すと、容量値 C_c は下記の式(3)のように設定される。

$$[0055] \quad C_c = a \times C_s \text{ (または } C_f \text{)} \quad (0 < a \leq 1) \quad (3)$$

従って、電圧供給部8及び補助電圧供給部18により同じ基準電圧が選択された場合であっても、補助容量 C_c を介して演算増幅器9に入力される信号は、サンプリング容量 C_s を介して入力される信号とは異なったものとなる。これにより、基準電圧である $+V r e f$ 、 $0 V$ 、及び $-V r e f$ を用いて供給するアナログ信号について、設定値の自由度を向上させることができる。定数 a は、テストの目的に応じて適宜設定可能である。

[0056] 図5は、本実施の形態におけるパイプラインA/D変換器を構成するステージ全体の構成を示すブロック図である。すなわち、図4に示した構成に、AD変換部3及び論理演算部7が追加図示され、DA変換制御部14bとの接続関係が示されている。また、入力SW制御部13aについて、より具体的な構成が示されている。さらに、スイッチ16を介し $b i a s 1$ として基準電圧0が供給され、スイッチ16はDA変換制御信号により制御される構成となっている。

[0057] 図6及び図7を参照して、図5に示したステージのテストモードでの動作を説明する。図6は、図5のステージによるアナログ入出力特性を示す。テスト点 $P 1$ 、 $P 2$ 、 $P 3$ 、 $P 4$ は、アナログ入出力特性の非線形部分におけるアナログ出力の最大値、最小値に対応する。これらの点では、アナログ出

力信号に容量値誤差の影響が最も大きく出るので、このような条件でテスト信号を入力し、剰余演算を行えば、容量値誤差を精度良く評価することができる。この特性図に示した4つのテスト点、P1、P2、P3、P4の入出力の関係を得るためには、電圧供給部8、補助電圧供給部18、及びスイッチ16の状態を、例えば図7に示すように制御する。

[0058] 図7には、テストモードでのサンプリング期間および増幅期間における状態遷移例を示す。すなわち、テスト信号 V_{in} 及びアナログ基準信号 V_{dac} の設定値に対する、電圧供給部8、補助電圧供給部18、及びスイッチ16の制御状態、及び演算増幅器9から出力されるアナログ出力信号 V_{out} の値が示される。電圧供給部の欄における主、補、Sの欄がそれぞれ、電圧供給部8、補助電圧供給部18、及びスイッチ16の制御状態を示す。「0」は0Vを選択、「+1」は $+V_{ref}$ を選択、「-1」は $-V_{ref}$ を選択することを意味する。アナログ出力信号 V_{out} の右欄は、図6のテスト点P1、P2、P3、P4に対応することを示す。尚、図7の V_{out} は補正容量 $C_c = 0.5 \times C_s$ とした時の例である。

[0059] 図8に、通常動作モードにおける剰余演算部の状態と、図7に示したテスト点P1、P2（テストモード1、2）の場合の状態遷移例における剰余演算部の状態を対比して示す。このように、テストモードではDA変換制御信号に基づいて、サンプリング期間には、電圧供給部8及び補助電圧供給部18において選択された所定の基準電圧を、テスト信号として剰余演算部に供給し、増幅期間には同様に、所定のアナログ基準信号を剰余演算部に供給することができる。

[0060] 図9は、図5に示したDA変換制御部14bの構成を示すブロック図である。DA変換制御部14bは、7個の選択制御部19a~19gにより構成される。選択制御部19a~19cはそれぞれ、電圧供給部8の3つのスイッチのオン/オフを制御する信号を出力する。選択制御部19d~19fはそれぞれ、補助電圧供給部18の3つのスイッチのオン/オフを制御する信号を出力する。選択制御部19gは、スイッチ16のオン/オフを制御する

信号を出力する。選択制御部 19 a についてののみ、具体的な構成が記載されている。選択制御部 19 a は、選択回路 20、EOR ゲート 21、及び AND ゲート 22 からなる。他の選択制御部 19 b ~ 19 g の構成も同様の構成である。

[0061] 選択制御部 19 a ~ 19 g に入力される DA 変換制御信号 a 1 ~ a 6 はそれぞれ、サンプリング期間における電圧供給部 8 及び補助電圧供給部 18 の 3 つのスイッチの状態を制御する信号である。DA 変換制御信号 b 1 ~ b 6 はそれぞれ、増幅期間における電圧供給部 8 及び補助電圧供給部 18 の 3 つのスイッチの状態を制御する信号である。図 10 に、クロック $\Phi 2$ 、入力 SW 制御信号、及び DA 変換制御信号 a 1 ~ a 6、b 1 ~ b 6 の波形の例を示す。

[0062] 選択制御部 19 a ~ 19 c の選択回路 20 の入力端子 A には、論理演算部 7 の出力が入力される。選択制御部 19 d ~ 19 f の選択回路 20 の入力端子 A にはそれぞれ、H レベル、L レベル、H レベル、H レベルの信号が入力される。選択制御部 19 a ~ 19 f の選択回路 20 の入力端子 B 及び EOR ゲート 21 の一方の入力端子にはそれぞれ、DA 変換制御信号 a 1 ~ a 6 が入力される。選択制御部 19 g の選択回路 20 の入力端子 B 及び EOR ゲート 21 の一方の入力端子には、DA 変換制御信号 a 1 が入力される。選択制御部 19 a ~ 19 f の選択回路 20 の入力端子 C 及び EOR ゲート 21 の他方の入力端子にはそれぞれ、DA 変換制御信号 b 1 ~ b 6 が入力される。選択制御部 19 g の選択回路 20 の入力端子 C 及び EOR ゲート 21 の他方の入力端子には、L レベルの信号が入力される。

[0063] 選択制御部 19 a ~ 19 f の AND ゲート 22 には、EOR ゲート 21 の出力信号、クロック $\Phi 2$ 、及び入力 SW 制御信号が入力される。AND ゲート 22 の出力信号、及び入力 SW 制御信号が、選択回路 20 の制御信号 S0、S1 として供給される。以上のような入力信号に基づき、選択制御部 19 a ~ 19 f の選択回路 20 は、図 9 に示す表 23 に示すような論理で入力端子 A ~ C への入力信号を切替えて出力する。

[0064] 図11は、補助容量 C_c の容量値 ($C_c = a \times C_s$) を決める定数 a を変化させたときのアナログ入出力特性の変化、すなわち、アナログ出力信号 V_{out} のとり得る値の例を示す。上述のとおり、補助電圧供給部18を電圧供給部8の出力と組み合わせることにより、演算増幅器9に対するアナログ入力信号の設定値の自由度を増大させることができる。図11には、図6に示したテスト点P1、P2 ($a = 0.5$) とともに、4つのテスト点 ($a \doteq 0$ 、または $a \doteq 1$) の例が示される。このように、補助電圧供給部18を用いることにより、用途に応じた設定値を有するテスト信号を供給することが可能となる。

[0065] 図12は、8bitのパイプラインA/D変換器において、第3段のステージ1[3]をテスト対象とし、破線で囲った第4段以降のステージの出力を用いてデジタル演算部6で演算する場合を示す。上述のような構成で $a = 0.5$ に設定し、図11におけるテスト点P1のアナログ信号をA/D変換すると、出力結果は、下記のとおりになる。

[0066] $2^5 \times (3/4) = 24$ [LSB]

(実施の形態3)

実施の形態3におけるパイプラインA/D変換器は、マルチビットステージの構成を採用した場合に、実施の形態2のステージの構成を適用して、上述のようなテストモード動作を可能とした例である。

[0067] 図13に、マルチビットステージの一例の要部を示す。このステージの構成では、通常の1.5ビットステージの3段分の変換機能が1つのステージに集約されている。パイプライン方式における消費電力は、各ステージに存在する演算増幅器の消費電力が支配的である。マルチビットステージの構成を採用することにより、演算増幅器の個数を低減できるため、消費電力の低減に有利であることが知られている。

[0068] 図13に示すマルチビットステージでは、8個の入力キャパシタ C_s が使用され、互いに並列に接続されて、その一端に入力アナログ信号 V_{in} が供給され、他端が演算増幅器9の入力端子に接続されている。入力キャパシタ

C_sの一端側には各々、スイッチ10が挿入されている。電圧供給部8[1]～8[8]は8個で構成され、論理演算部出力がそれぞれ供給される。

[0069] 電圧供給部8[1]は、3値の基準電圧を選択的に出力するように構成され、3つのスイッチを含む。各スイッチの入力側にそれぞれ、基準電圧V_{RT}、V_{RB}、及びV_{RM}(=(V_{RT}-V_{RB})/2)が供給される。電圧供給部8[2]～8[8]は、2値の基準電圧を選択的に出力するように構成され、2つのスイッチを含む。各スイッチの入力側にそれぞれ、基準電圧V_{RT}及び基準電圧V_{RB}が供給される。この構成により、電圧供給部8[1]～8[8]はそれぞれ、論理演算部出力に応じて、3値の基準電圧V_{RM}、V_{RT}及びV_{RB}、または2値の基準電圧V_{RT}及びV_{RB}から選択的に、いずれかの基準電圧を出力する。

[0070] その結果、8個の入力キャパシタC_sに対して電圧供給部8[1]～8[8]から各々供給される基準電圧の組み合わせにより、実質的に、A/D変換部3の出力に応じた15値のアナログ基準信号V_{dac}が生成されて剰余演算部に供給される。剰余演算部の動作は、15値の量子化に基づく入出力特性に対応するものとなるように、アナログ基準信号V_{dac}の値が設定される。

[0071] 図14は、本実施の形態におけるパイプラインA/D変換器を構成するステージの一部を示すブロック図である。このステージは、図13に示したものと同様のマルチビットステージの構成に、実施の形態2のステージの構成を適用したものである。図13の構成に対して、補助電圧供給部8[c]が追加されている。また図示を省略するが、実施の形態2と同様に、入力SW制御部13a及びDA変換制御部14bが設けられて、通常動作モードとテストモードとが切替えられる。また、電圧供給部8[1]～8[8]及び補助電圧供給部8[c]は、論理演算部出力に応じて、3値の基準電圧V_{RM}、V_{RT}及びV_{RB}、または2値の基準電圧V_{RT}及びV_{RB}から選択的に、いずれかの基準電圧を出力する。

[0072] 図15に、図14のマルチビットステージのテストモードでの、サンプリ

ング期間および増幅期間における状態遷移例を示す。すなわち、テスト信号 V_{in} 及びアナログ基準信号 V_{dac} の設定値（相対値）に対する、電圧供給部 8 [1] ~ 8 [8]、及び補助電圧供給部 8 [c] の制御状態、及び補助容量 $C_c = 0.5 \times C_s$ とした時のアナログ出力信号 V_{out} の値が示される。電圧供給部の欄における 1 ~ 8、c の欄がそれぞれ、電圧供給部 8 [1] ~ 8 [8]、及び補助電圧供給部 8 [c] の制御状態を示す。「0」は VRM を選択、「+1」は $+V_{ref}$ を選択、「-1」は $-V_{ref}$ を選択することを意味する。

[0073] 以上のとおり、マルチビットステージの構成に対しても、本発明の構成を適用して、種々のテストのためにステージに供給されるテスト信号を、通常動作のラインとは別にテスト信号ラインを設けることなく、小規模でテスト信号を入力することが可能である。

産業上の利用可能性

[0074] 本発明のパイプライン A/D 変換器は、テスト信号を精度良く供給することができ、また、回路規模の増大を抑制可能であるため、AV 分野、あるいは情報通信分野等に用いるパイプライン A/D 変換器に有用である。

請求の範囲

- [1] 一部のビットに対応するA/D変換を行うステージが複数段に縦続接続されて、初段の前記ステージに入力されたアナログ信号を、前記複数段のステージを通して順次上位ビットから下位ビットに向けてデジタル信号に変換するように構成され、
- 各段の前記ステージは、
- 当段の入力アナログ信号を量子化して一部のビットに対応する前記デジタル信号を生成するAD変換部と、
- 前記AD変換部が生成する前記デジタル信号に基づき、複数レベルの基準電圧から所定の基準電圧を選択してアナログ基準信号として出力するDA変換部と、
- 前記入力アナログ信号に対する前記アナログ基準信号の加減算及び所定倍の増幅を行い剰余アナログ信号を生成して、次段の前記ステージへ入力アナログ信号として供給する剰余演算部とを備え、
- 少なくとも一部の前記ステージに対して、前記入力アナログ信号に代えてテスト信号を入力して所定のテストを行うように構成されたパイプラインA/D変換器において、
- 前記剰余演算部に対する前記入力アナログ信号の供給、及び前記DA変換部の前記基準電圧の選択を、通常動作モードとテストモードの各々に応じて制御することが可能な制御部を備え、
- 前記制御部は、前記テストモードでは、前記剰余演算部に対する前記入力アナログ信号の供給を遮断するとともに、前記デジタル信号に基づく前記DA変換部の前記基準電圧の選択を停止し、テスト用のDA変換制御信号に基づく前記基準電圧の選択を行って、前記剰余演算部に対して、前記入力アナログ信号に代わる所定の前記基準電圧からなるテスト信号、及び前記アナログ基準信号を供給するように制御することを特徴とするパイプラインA/D変換器。
- [2] 前記剰余演算部は、前記入力アナログ信号の入力を制御する入力スイッチ

を備え、

前記DA変換部は、前記所定の基準電圧を選択して出力する電圧供給部と、前記AD変換部が生成する前記デジタル信号に基づき前記電圧供給部による選択を制御する信号を出力する論理演算部とを備え、

前記制御部は、前記論理演算部の出力信号と前記DA変換制御信号とから選択して、いずれか一方の信号により前記電圧供給部による前記基準電圧の選択を制御することが可能であり、前記テストモード時に、前記入力スイッチをオフとするとともに、前記DA変換制御信号により前記基準電圧の選択を制御して、前記入力スイッチの後段の経路に前記テスト信号が供給されるように制御する請求項1に記載のパイプラインA/D変換器。

- [3] 前記剰余演算部は、演算増幅器と、前記演算増幅器の入力端子に一端が接続され他端が前記入力スイッチに接続されたサンプリング容量と、前記演算増幅器の前記入力端子と出力端子との間に帰還切替えスイッチを介して接続された帰還ループ容量とを備え、

前記制御部は前記テストモード時において、前記剰余演算部のサンプリング期間には、前記帰還切替えスイッチをオフにして前記テスト信号を前記サンプリング容量によりサンプリングし、増幅期間には前記帰還切替えスイッチをオンにし、前記選択されたアナログ基準信号を前記サンプリング容量に入力して、前記サンプリングされた前記テスト信号と前記アナログ基準信号との間で所定の演算が行われるように制御する請求項2に記載のパイプラインA/D変換器。

- [4] 前記帰還ループ容量と前記帰還切替えスイッチの間に一端が接続され他端が所定のバイアス電圧に接続されたバイアス切替えスイッチを備え、

前記制御部は、前記テストモード時における前記剰余演算部のサンプリング期間には、前記バイアス切替えスイッチをオンとする請求項3に記載のパイプラインA/D変換器。

- [5] 複数レベルの前記基準電圧から所定の基準電圧を選択して出力する補助電圧供給部と、

前記演算増幅器の入力端子に一端が接続され他端が前記補助電圧供給部に接続された補助容量とを備え、

前記制御部は前記テストモード時において、前記電圧供給部及び前記補助電圧供給部の出力電圧を前記剰余演算部に供給するように制御する請求項3または4に記載のパイプラインA/D変換器。

[6] 前記補助容量の容量値 C_c は、前記サンプリング容量の容量値 C_s または帰還ループ容量の容量値 C_f に対し、 $C_c = a \times C_s$ 、または $C_c = a \times C_f$ (a は、 $0 < a \leq 1$ の定数) の関係を持つ請求項5に記載のパイプラインA/D変換器。

[7] 複数段の前記ステージのうちの少なくとも1段のステージは、複数ビット分のA/D変換を行うように構成された請求項1~6のいずれか1項に記載のパイプラインA/D変換器。

補正された請求の範囲
[2009年6月24日 (24 . 06 . 2009) 国際事務局受理]

- [1] (補正後) 一部のビットに対応するA/D変換を行うステージが複数段に縦続接続されて、初段の前記ステージに入力されたアナログ信号を、前記複数段のステージを通して順次上位ビットから下位ビットに向けてデジタル信号に変換するように構成され、
- 各段の前記ステージは、
- 当段の入力アナログ信号を量子化して一部のビットに対応する前記デジタル信号を生成するAD変換部と、
- 複数レベルの基準電圧から所定の基準電圧を選択して出力する電圧供給部、及び前記AD変換部が生成する前記デジタル信号に基づき前記電圧供給部による選択を制御する信号を出力する論理演算部を含み、前記電圧供給部から出力される前記基準電圧をアナログ基準信号として出力するDA変換部と、
- 前記入力アナログ信号に対する前記アナログ基準信号の加減算及び所定倍の増幅を行い剰余アナログ信号を生成して、次段の前記ステージへ入力アナログ信号として供給する剰余演算部とを備え、
- 少なくとも一部の前記ステージに対して、前記入力アナログ信号に代えてテスト信号を入力して所定のテストを行うように構成されたパイプラインA/D変換器において、
- 前記剰余演算部に対する前記入力アナログ信号の供給、及び前記DA変換部の前記基準電圧の選択を、通常動作モードとテストモードの各々に応じて制御することが可能な制御部を備え、
- 前記剰余演算部は、前記入力アナログ信号の入力を制御する入力スイッチと、演算増幅器と、前記演算増幅器の入力端子に一端が接続され他端が前記入力スイッチに接続されたサンプリング容量と、前記演算増幅器の前記入力端子と出力端子との間に帰還切替えスイッチを介して接続された帰還ループ容量とを備え、
- 前記DA変換部は、複数レベルの前記基準電圧から所定の基準電圧を選択して出力する補助電圧供給部と、前記演算増幅器の入力端子に一端が接続さ

れ他端が前記補助電圧供給部に接続された補助容量とを備え、

前記制御部は、

前記論理演算部の出力信号とテスト用のD/A変換制御信号とから選択して、いずれか一方の信号により前記電圧供給部による前記基準電圧の選択を制御することが可能であり、

前記テストモードでは、前記入力スイッチをオフとして前記剰余演算部に対する前記入力アナログ信号の供給を遮断するとともに、前記論理演算部の出力信号に基づく前記D/A変換部の前記基準電圧の選択を停止し、前記D/A変換制御信号に基づく前記基準電圧の選択を行って、前記剰余演算部の前記入力スイッチの後段の経路に対して、前記入力アナログ信号に代わる所定の前記基準電圧からなるテスト信号、及び前記アナログ基準信号を供給するように制御し、

前記テストモードには、前記電圧供給部及び前記補助電圧供給部の出力を合わせた電圧を前記剰余演算部に供給するように制御し、

前記テストモード時における前記剰余演算部のサンプリング期間には、前記帰還切替えスイッチをオフにして前記テスト信号を前記サンプリング容量によりサンプリングし、増幅期間には前記帰還切替えスイッチをオンにし、前記選択されたアナログ基準信号を前記サンプリング容量に入力して、前記サンプリングされた前記テスト信号と前記アナログ基準信号との間で所定の演算が行われるように制御することを特徴とするパイプラインA/D変換器。

[2] (削除)

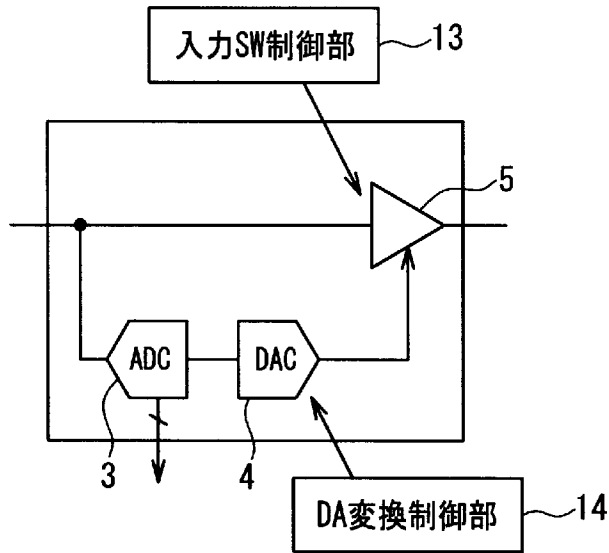
[3] (削除)

[4] (補正後) 前記帰還ループ容量と前記帰還切替えスイッチの間に一端が接続され他端が所定のバイアス電圧に接続されたバイアス切替えスイッチを備え、
前記制御部は、前記テストモード時における前記剰余演算部のサンプリング期間には、前記バイアス切替えスイッチをオンとする請求項1に記載のパイプラインA/D変換器。

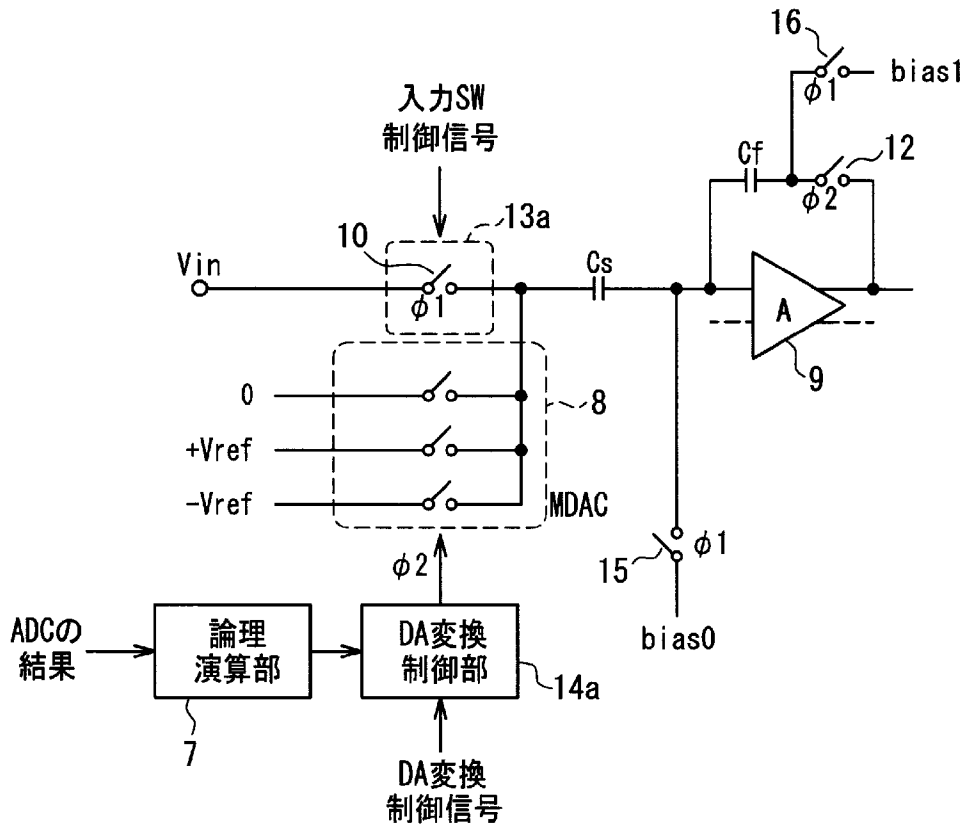
[5] (削除)

- [6] (補正後) 前記補助容量の容量値 C_c は、前記サンプリング容量の容量値 C_s または帰還ループ容量の容量値 C_f に対し、 $C_c = a \times C_s$ 、または $C_c = a \times C_f$ (a は、 $0 < a \leq 1$ の定数) の関係を持つ請求項 1 に記載のパイプライン A/D 変換器。
- [7] (補正後) 複数段の前記ステージのうちの少なくとも 1 段のステージは、複数ビット分の A/D 変換を行うように構成された請求項 1 に記載のパイプライン A/D 変換器。
- [8] (追加) 前記補助容量の容量値 C_c は、前記サンプリング容量の容量値 C_s または帰還ループ容量の容量値 C_f に対し、 $C_c = a \times C_s$ 、または $C_c = a \times C_f$ (a は、 $0 < a \leq 1$ の定数) の関係を持つ請求項 4 に記載のパイプライン A/D 変換器。
- [9] (追加) 複数段の前記ステージのうちの少なくとも 1 段のステージは、複数ビット分の A/D 変換を行うように構成された請求項 4 に記載のパイプライン A/D 変換器。
- [10] (追加) 複数段の前記ステージのうちの少なくとも 1 段のステージは、複数ビット分の A/D 変換を行うように構成された請求項 6 に記載のパイプライン A/D 変換器。

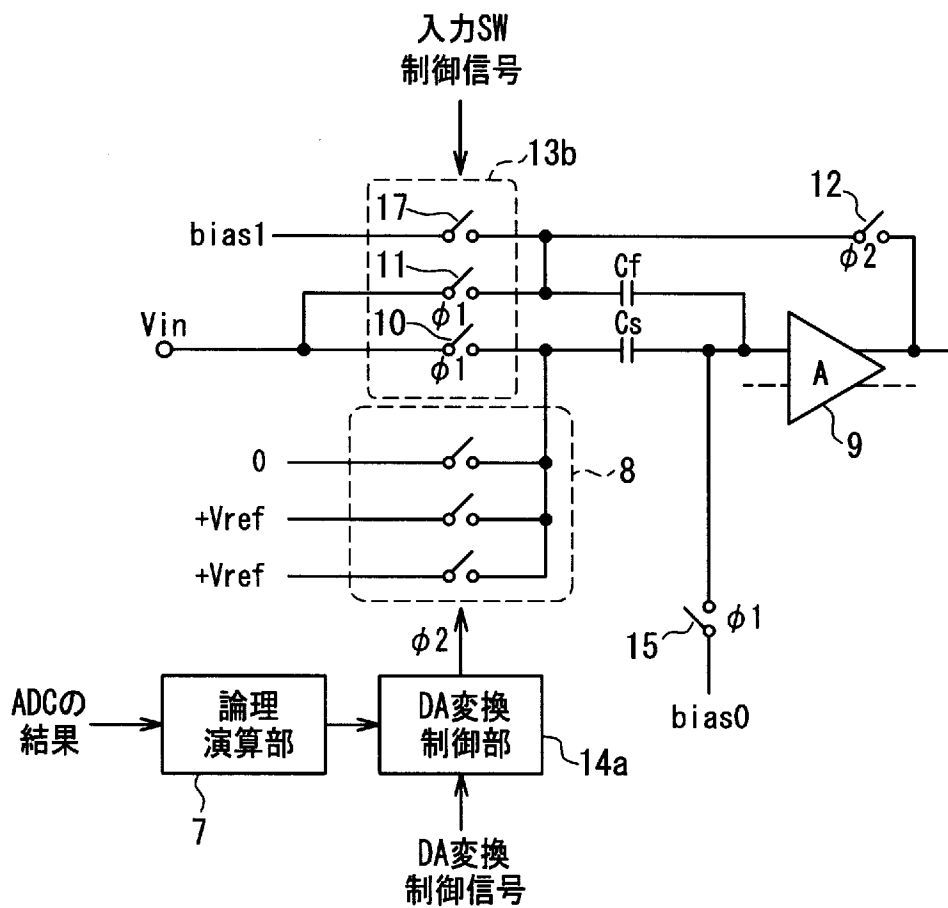
[図1]



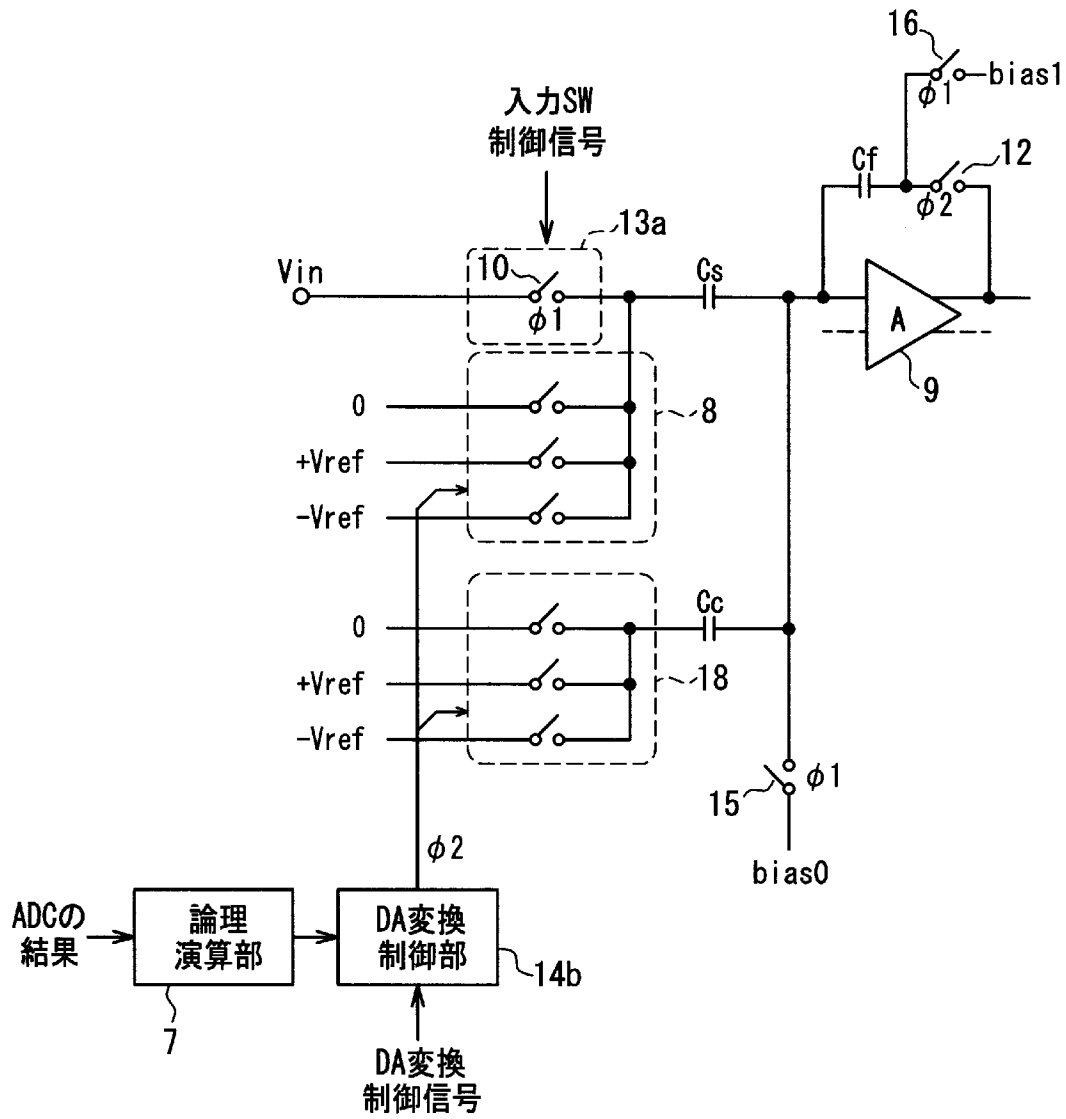
[図2]



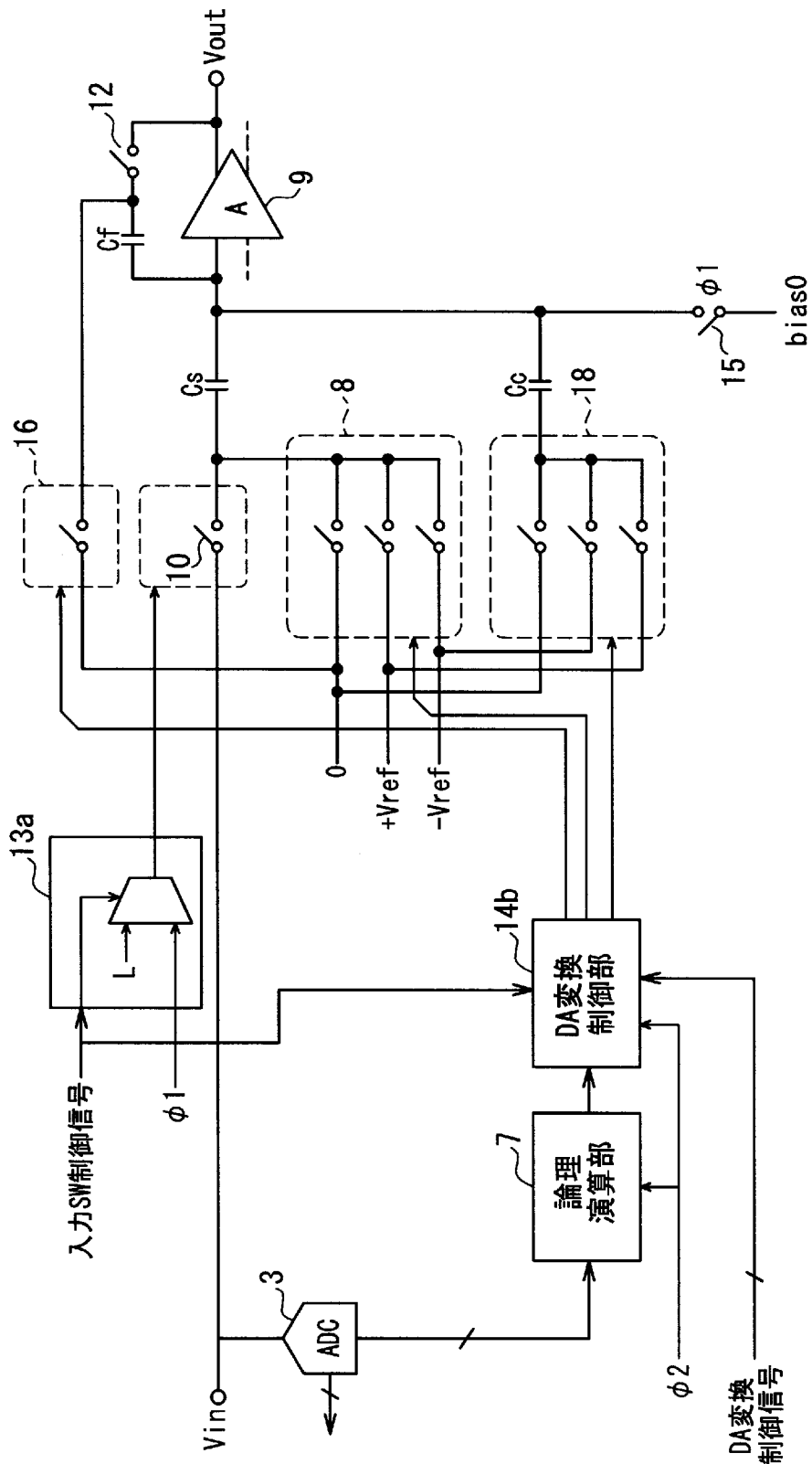
[図3]



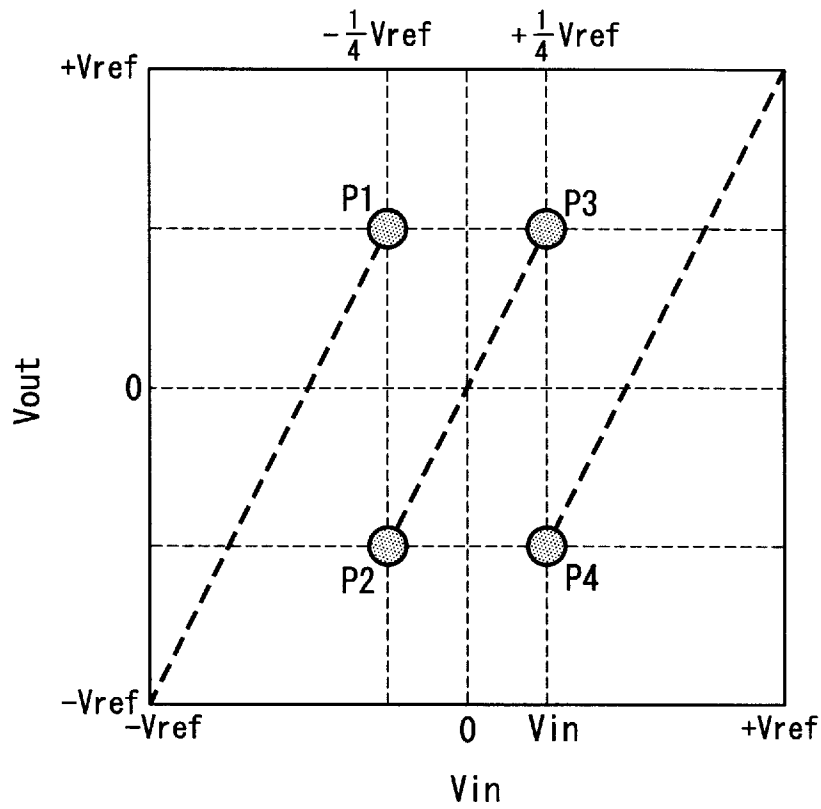
[図4]



[図5]



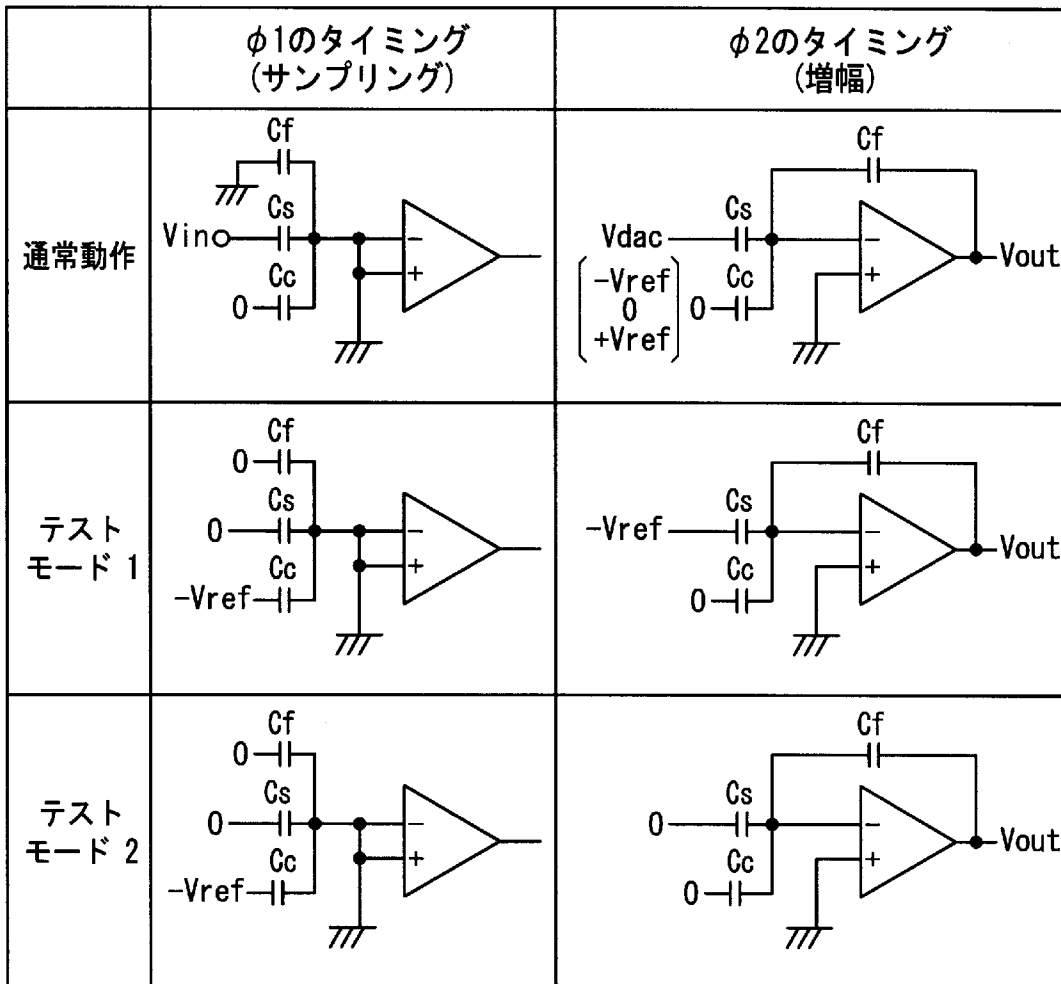
[図6]



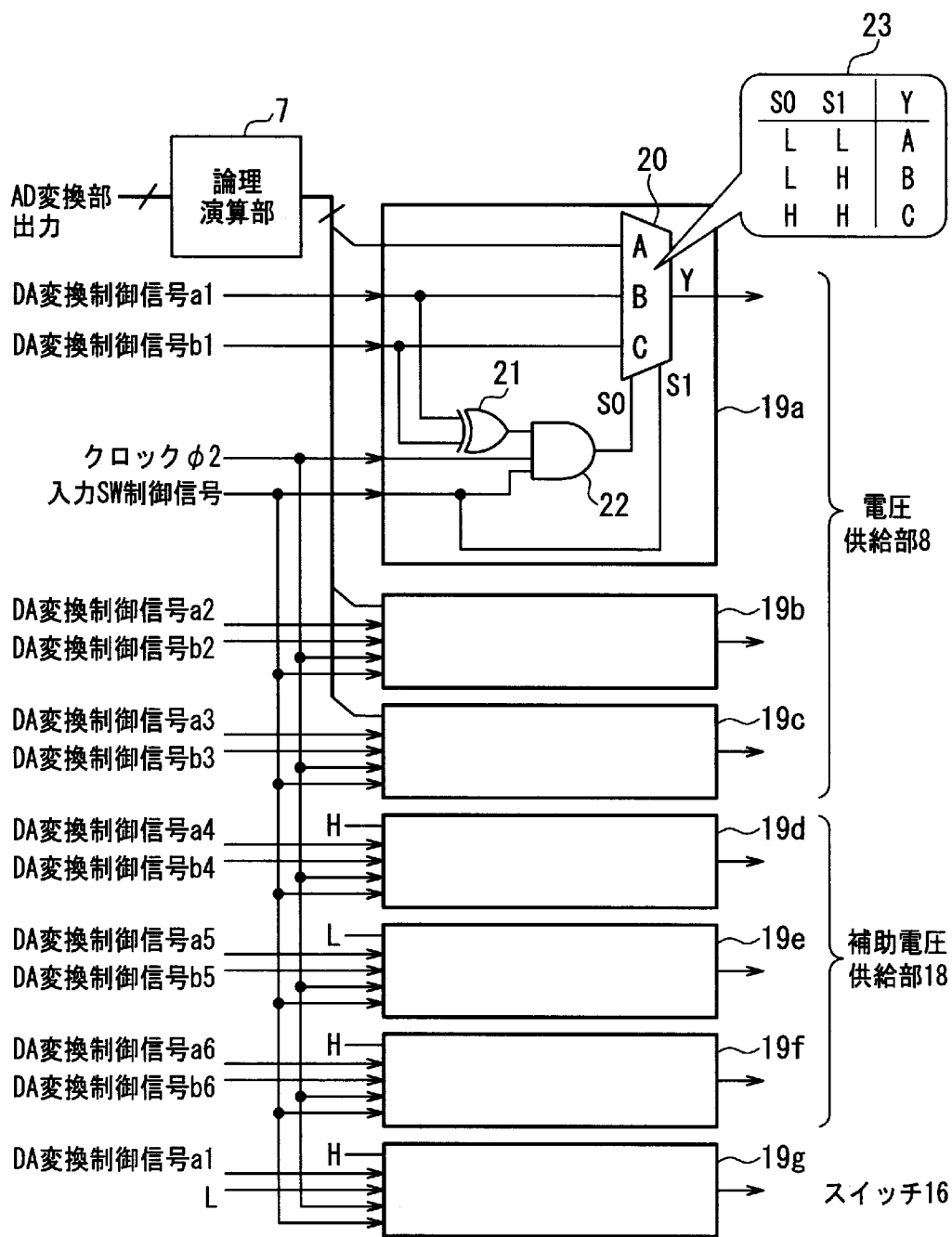
[図7]

サンプリング期間				増幅期間				Vout	
Vin ($\times V_{ref}$)	電圧供給部			Vdac	電圧供給部				
	主	補	s		主	補	s		
-1/4	0	-1	0	-1	-1	0	OFF	+0.5Vref	P1
				0	0	0	OFF	-0.5Vref	P2
+1/4	0	+1	0	0	0	0	OFF	+0.5Vref	P3
				1	+1	0	OFF	-0.5Vref	P4

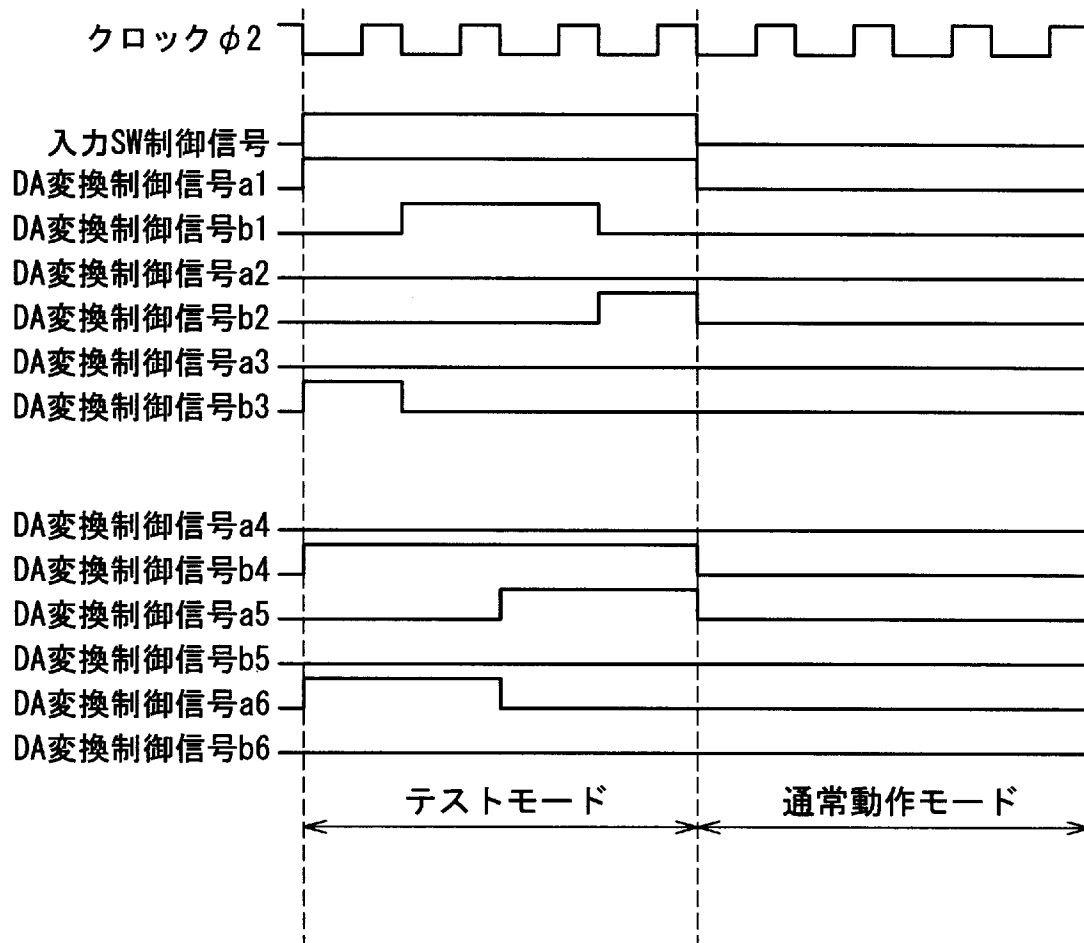
[図8]



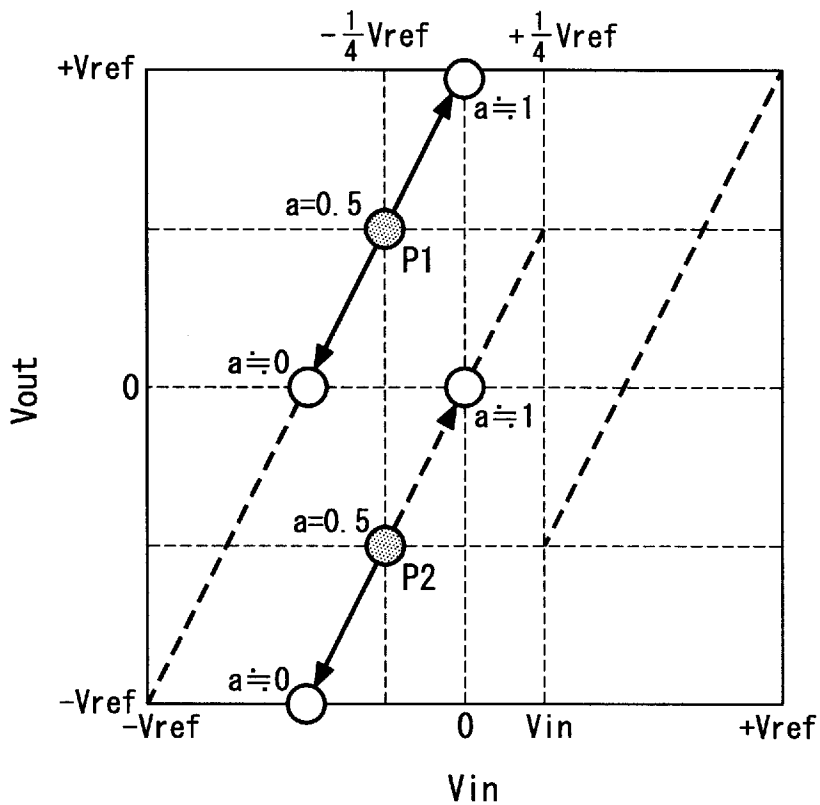
[図9]



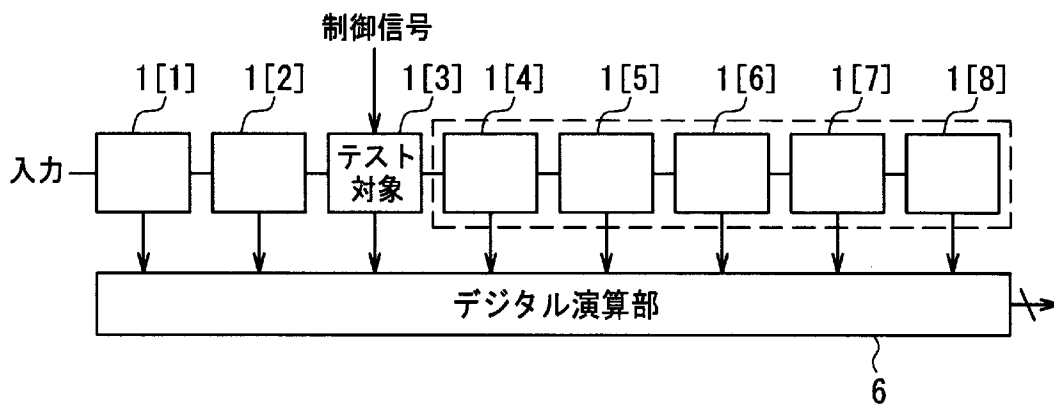
[図10]



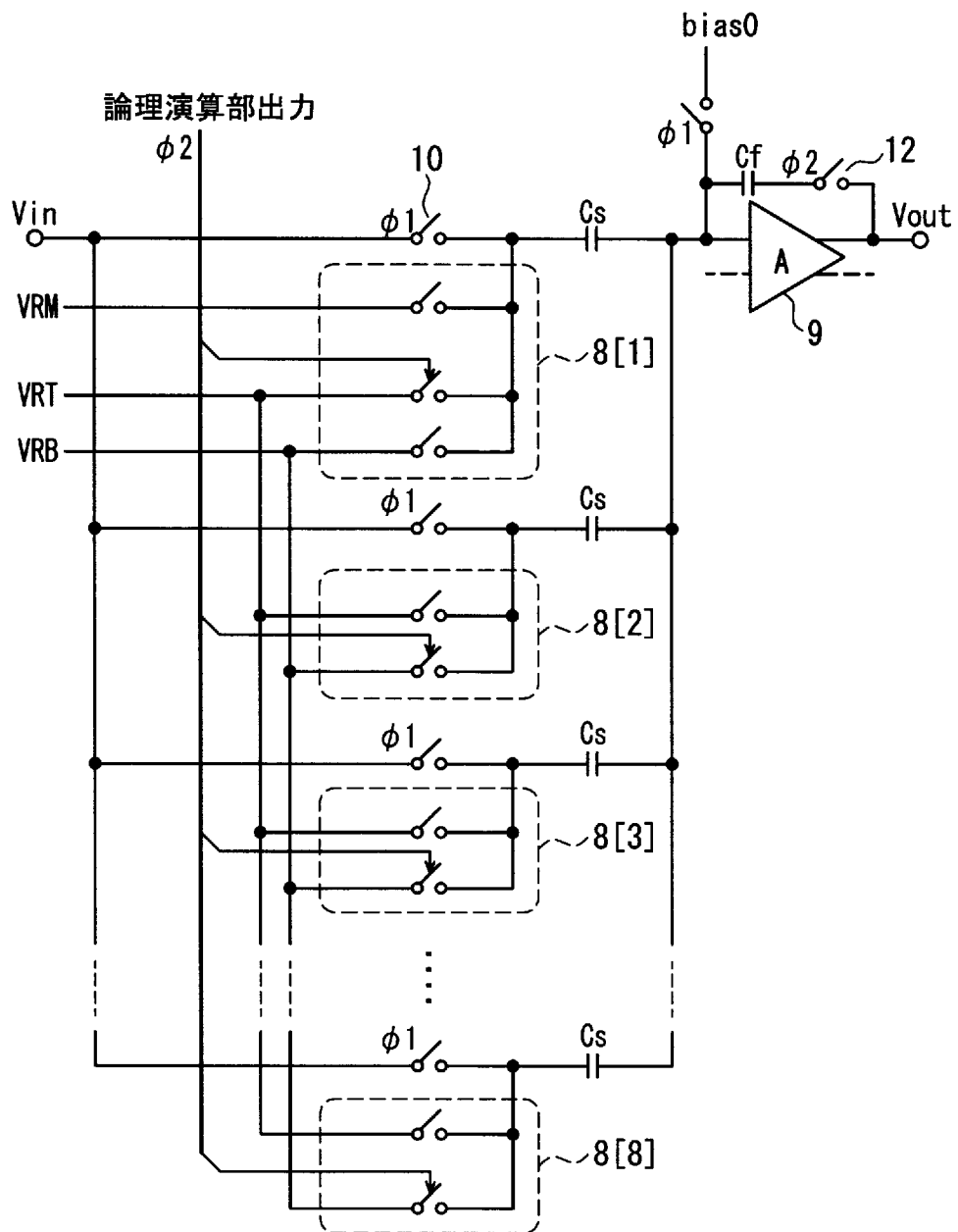
[図11]



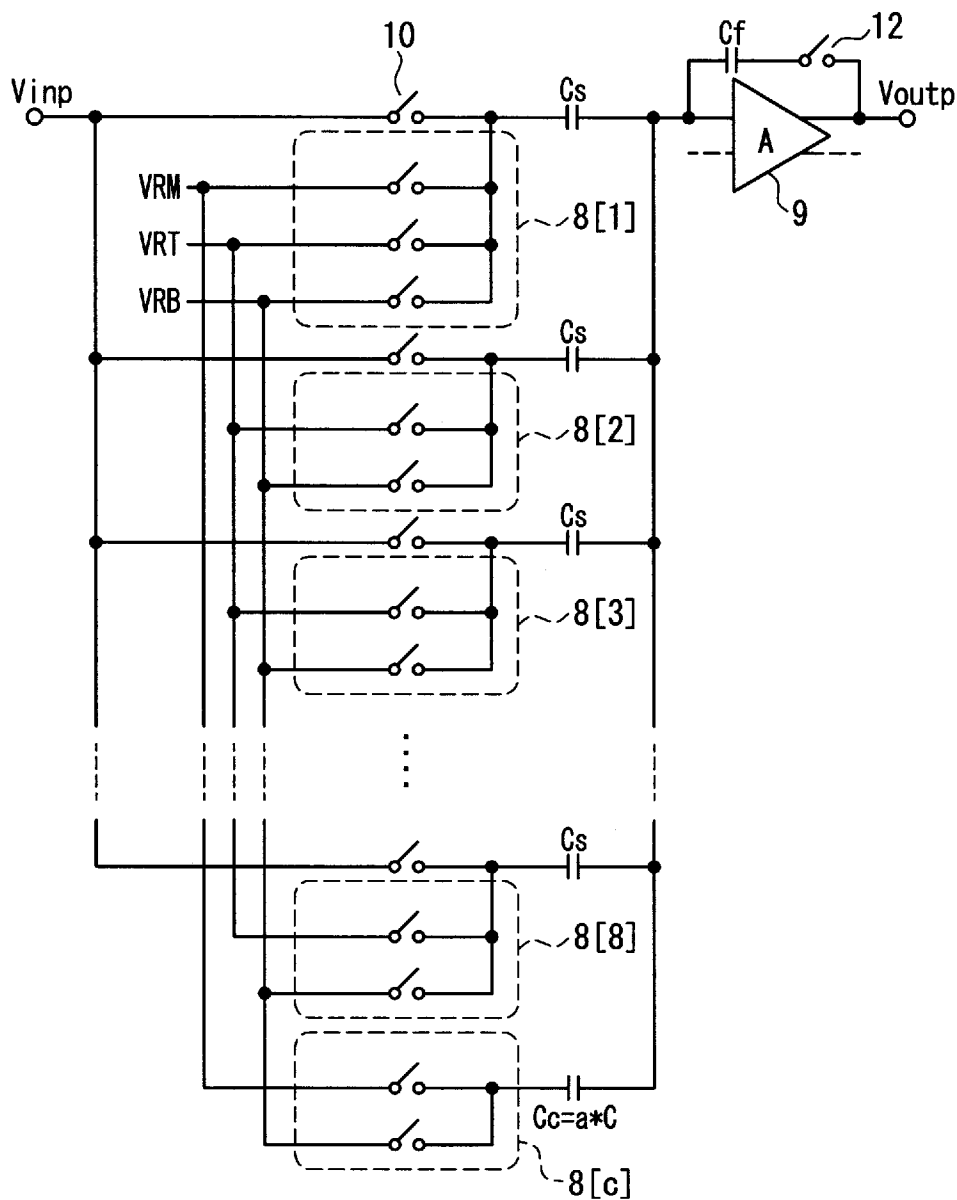
[図12]



[図13]



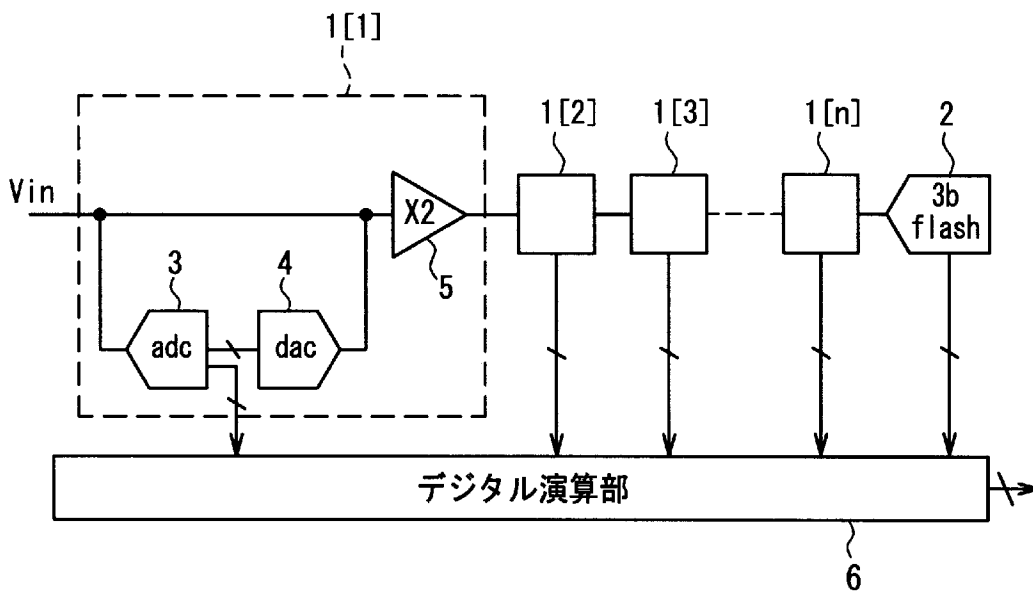
[圖14]



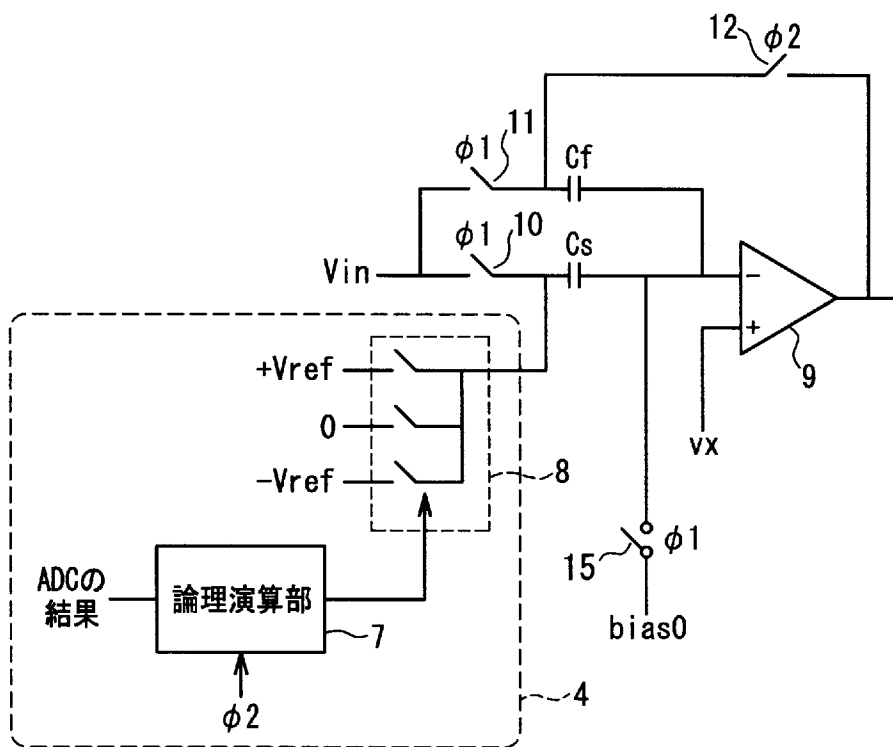
[図15]

サンプリング期間										増幅期間									
Vin (×Vref)	電圧供給部									Vdac	電圧供給部								
	1	2	3	4	5	6	7	8	c		1	2	3	4	5	6	7	8	c
-15/16	0	-1	-1	-1	-1	-1	-1	-1	-1	-8	-1	-1	-1	-1	-1	-1	-1	-1	0
										-7	0	-1	-1	-1	-1	-1	-1	-1	0
-13/16	-1	1	-1	-1	-1	-1	-1	-1	-1	-7	0	-1	-1	-1	-1	-1	-1	-1	0
										-6	-1	-1	-1	-1	-1	-1	-1	1	0
-11/16	0	1	-1	-1	-1	-1	-1	-1	-1	-6	-1	-1	-1	-1	-1	-1	-1	1	0
										-5	0	-1	-1	-1	-1	-1	-1	1	0
-9/16	-1	1	1	-1	-1	-1	-1	-1	-1	-5	0	-1	-1	-1	-1	-1	-1	1	0
										-4	-1	-1	-1	-1	-1	-1	1	1	0
.																			
-1/16	-1	1	1	1	1	-1	-1	-1	-1	-1	0	-1	-1	-1	-1	1	1	1	0
										0	-1	-1	-1	-1	1	1	1	1	0
+1/16	0	1	1	1	1	-1	-1	-1	-1	0	-1	-1	-1	-1	1	1	1	1	0
										1	-1	-1	-1	-1	1	1	1	1	0
.																			
+9/16	0	1	1	1	1	1	1	-1	-1	4	-1	-1	1	1	1	1	1	1	0
										5	0	-1	1	1	1	1	1	1	0
+11/16	-1	1	1	1	1	1	1	1	-1	5	0	-1	1	1	1	1	1	1	0
										6	-1	1	1	1	1	1	1	1	0
+13/16	0	1	1	1	1	1	1	1	-1	6	-1	1	1	1	1	1	1	1	0
										7	0	1	1	1	1	1	1	1	0
+15/16	-1	1	1	1	1	1	1	1	-1	7	0	1	1	1	1	1	1	1	0
										8	1	1	1	1	1	1	1	1	0

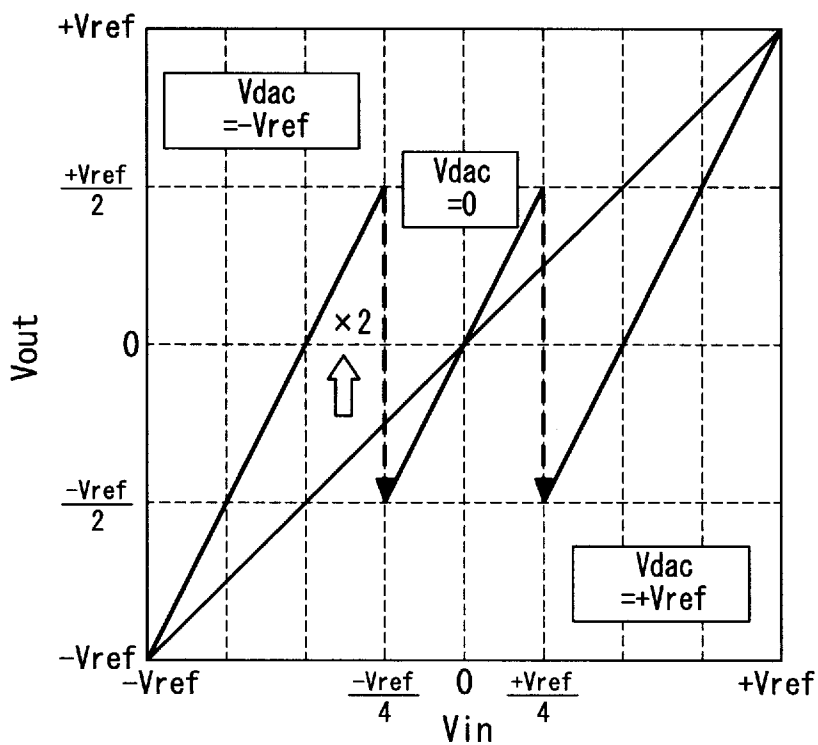
[図16]



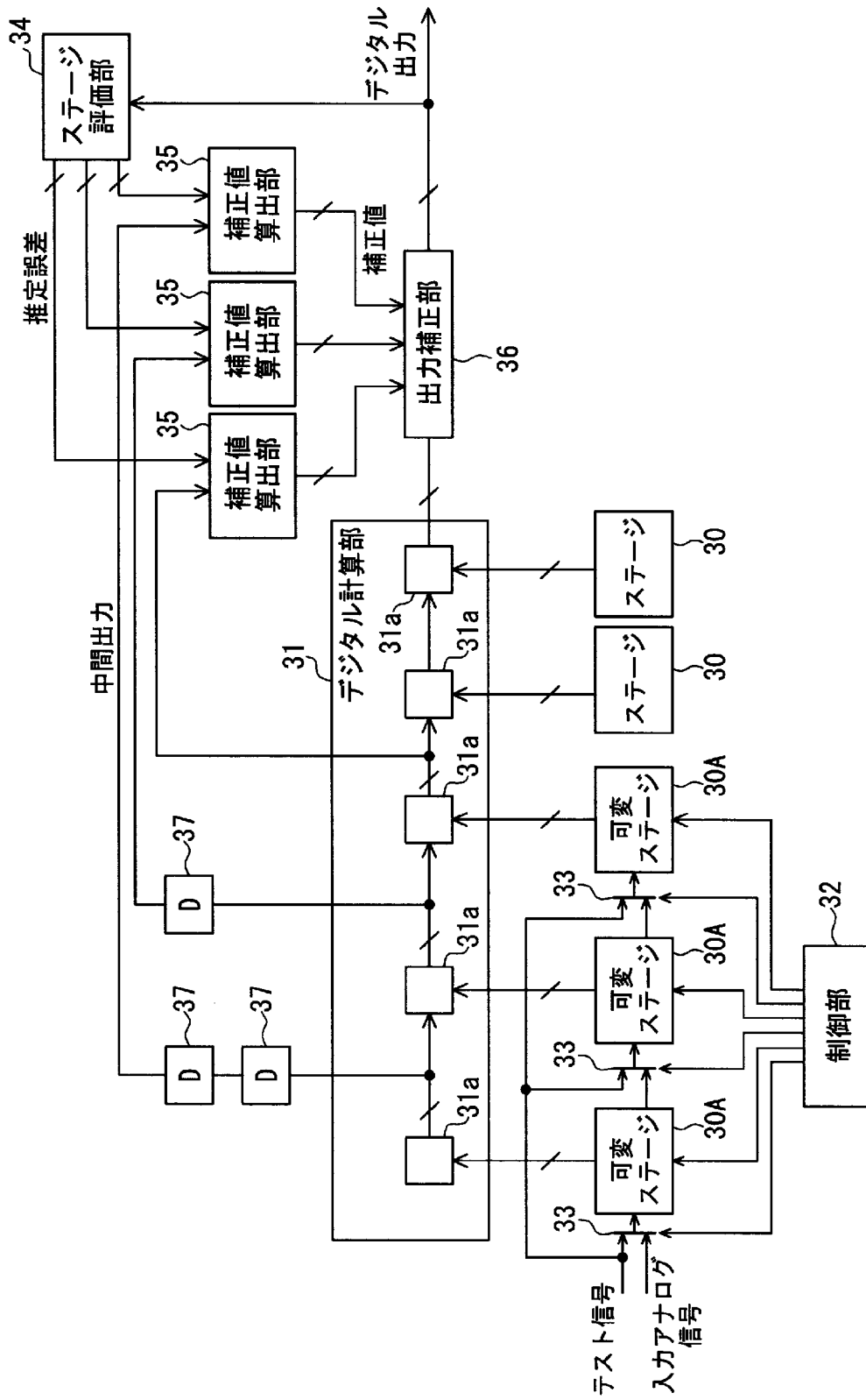
[図17]



[図18]



[図19]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/000959

A. CLASSIFICATION OF SUBJECT MATTER
H03M1/14(2006.01) i, H03M1/10(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03M1/00-1/88

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2006-80717 A (Matsushita Electric Industrial Co., Ltd.), 23 March, 2006 (23.03.06), Par. Nos. [0019] to [0024], [0031] to [0041]; Figs. 1 to 2, 5 to 6 & US 2006/0049973 A1 & EP 1635469 A2	1-4, 7 5-6
X A	JP 2006-109403 A (Sharp Corp.), 20 April, 2006 (20.04.06), Par. Nos. [0028] to [0033], [0040] to [0048]; Figs. 1 to 4 (Family: none)	1-3, 7 4-6
A	JP 2004-222274 A (Thine Electronics, Inc.), 05 August, 2004 (05.08.04), Figs. 1, 6 to 7 & WO 2004/062108 A1	1-7

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 02 April, 2009 (02.04.09)	Date of mailing of the international search report 14 April, 2009 (14.04.09)
--	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H03M1/14(2006.01)i, H03M1/10(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H03M1/00-1/88

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2009年
日本国実用新案登録公報	1996-2009年
日本国登録実用新案公報	1994-2009年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2006-80717 A (松下電器産業株式会社) 2006.03.23, 段落【0019】-【0024】、【0031】-【0041】、図1-2, 5-6 & US 2006/0049973 A1 & EP 1635469 A2	1-4, 7 5-6
X A	JP 2006-109403 A (シャープ株式会社) 2006.04.20, 段落【0028】-【0033】、【0040】-【0048】、図1-4 (ファミリーなし)	1-3, 7 4-6

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的な技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

02.04.2009

国際調査報告の発送日

14.04.2009

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

栗栖 正和

電話番号 03-3581-1101 内線 3596

5 X

3987

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2004-222274 A (ザインエレクトロニクス株式会社) 2004.08.05, 図1, 6-7 & WO 2004/062108 A1	1-7