



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0105194
(43) 공개일자 2010년09월29일

(51) Int. Cl.

H01L 29/786 (2006.01)

(21) 출원번호 10-2009-0024094

(22) 출원일자 2009년03월20일

심사청구일자 2009년03월20일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가 1

에버테크노 주식회사

충남 아산시 음봉면 산동리 139-1

(72) 발명자

홍문표

경기 성남시 분당구 정자동 한솔마을청구아파트
107동 1103호

장진녕

대전 유성구 어은동 52번지

(뒷면에 계속)

(74) 대리인

유미특허법인

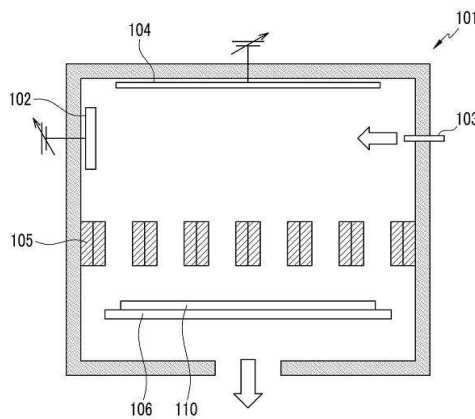
전체 청구항 수 : 총 9 항

(54) 박막 트랜지스터 및 그 제조 방법

(57) 요약

본 발명은 게이트 전극을 형성하는 단계, 상기 게이트 전극 위에 게이트 절연막을 형성하는 단계, 상기 게이트 절연막 위에 미세 결정질 반도체를 형성하는 단계, 그리고 상기 미세 결정질 반도체와 전기적으로 연결되어 있으며 서로 마주하는 소스 전극 및 드레인 전극을 형성하는 단계를 포함하고, 상기 게이트 절연막을 형성하는 단계 및 상기 미세 결정질 반도체를 형성하는 단계 중 적어도 하나는 기판을 플라스마 방전 공간에 배치하는 단계, 상기 플라스마 방전 공간에 상기 게이트 절연막 또는 상기 미세 결정질 반도체를 형성하기 위한 고체 원소 또는 기체 원소를 공급하는 단계, 상기 고체 원소 또는 상기 기체 원소를 플라스마 입자와 충돌시켜 양이온을 생성하는 단계, 상기 양이온을 중성 입자로 변환하는 단계, 그리고 상기 중성 입자로부터 박막을 형성하는 단계를 포함한다.

대표도 - 도3



(72) 발명자

유병문

충남 천안시 청당동 벽산아파트 101동 206호

김재연

충남 아산시 탕정면 호산5리 홍익아파트 101동 615호

박준호

충남 아산시 음봉면 음봉초원아파트 101동 1314호

이봉주

대전 유성구 도룡동 431-6 현대아파트 103동 1001호

유석재

대전 유성구 전민동 엑스포아파트 303동 1601호

특허청구의 범위

청구항 1

게이트 전극을 형성하는 단계,

상기 게이트 전극 위에 게이트 절연막을 형성하는 단계,

상기 게이트 절연막 위에 미세 결정질 반도체를 형성하는 단계, 그리고

상기 미세 결정질 반도체와 전기적으로 연결되어 있으며 서로 마주하는 소스 전극 및 드레인 전극을 형성하는 단계

를 포함하고,

상기 게이트 절연막을 형성하는 단계 및 상기 미세 결정질 반도체를 형성하는 단계 중 적어도 하나는

기관을 플라스마 방전 공간에 배치하는 단계,

상기 플라스마 방전 공간에 상기 게이트 절연막 또는 상기 미세 결정질 반도체를 형성하기 위한 고체 원소 또는 기체 원소를 공급하는 단계,

상기 고체 원소 또는 상기 기체 원소를 플라스마 입자와 충돌시켜 양이온을 생성하는 단계,

상기 양이온을 중성 입자로 변환하는 단계, 그리고

상기 중성 입자로부터 박막을 형성하는 단계

를 포함하는 박막 트랜지스터의 제조 방법.

청구항 2

제1항에서,

상기 미세 결정질 반도체를 형성하는 단계 후에 비정질 반도체를 형성하는 단계를 더 포함하고,

상기 비정질 반도체를 형성하는 단계는

상기 플라스마 방전 공간에 상기 비정질 반도체를 형성하기 위한 고체 원소 또는 기체 원소를 공급하는 단계,

상기 고체 원소 또는 상기 기체 원소를 플라스마 입자와 충돌하여 양이온을 생성하는 단계,

상기 양이온을 중성 입자로 변환하는 단계, 그리고

상기 중성 입자로부터 박막을 형성하는 단계

를 포함하는 박막 트랜지스터의 제조 방법.

청구항 3

제2항에서,

상기 비정질 반도체를 형성하는 단계 후에 불순물 함유 비정질 규소를 포함하는 저항성 접촉층을 형성하는 단계를 더 포함하고,

상기 저항성 접촉층을 형성하는 단계는

상기 플라스마 방전 공간에 상기 불순물 함유 비정질 규소를 형성하기 위한 고체 원소 또는 기체 원소를 공급하는 단계,

상기 고체 원소 또는 상기 기체 원소를 플라스마 입자와 충돌하여 양이온을 생성하는 단계,

상기 양이온을 중성 입자로 변환하는 단계, 그리고

상기 중성 입자로부터 박막을 형성하는 단계를 포함하는 박막 트랜지스터의 제조 방법.

청구항 4

제3항에서,

상기 게이트 절연막을 형성하는 단계, 상기 미세 결정질 반도체를 형성하는 단계, 상기 비정질 반도체를 형성하는 단계 및 상기 저항성 접촉층을 형성하는 단계는 상기 플라즈마 방전 공간에서 연속적으로 수행되는 박막 트랜지스터의 제조 방법.

청구항 5

제4항에서,

상기 플라즈마 방전 공간에 고체 원소를 공급하는 단계는 상기 플라즈마를 고체 원소의 타겟에 충돌시켜 상기 고체 원소를 플라즈마 방전 공간으로 스퍼터링하는 박막 트랜지스터의 제조 방법.

청구항 6

제5항에서,

상기 양이온을 중성 입자로 변환하는 단계는
상기 양이온을 상기 플라즈마 방전 공간에 배치되어 있는 금속판으로 유도하는 단계, 그리고
상기 금속판과 상기 양이온의 충돌에 의해 상기 양이온을 상기 중성 입자로 변환하는 단계를 포함하는 박막 트랜지스터의 제조 방법.

청구항 7

제2항에서,

상기 플라즈마 방전 공간에 기체 원소를 공급하는 단계는 상기 플라즈마 방전 공간으로 기체 원소를 기체 형태로 직접 공급하는 박막 트랜지스터의 제조 방법.

청구항 8

게이트 전극,

상기 게이트 전극과 중첩하는 미세 결정질 반도체,
상기 미세 결정질 반도체 위에 형성되어 있는 비정질 반도체, 그리고
상기 비정질 반도체 위에 형성되어 있는 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터.

청구항 9

제8항에서,

상기 비정질 반도체와 상기 소스 전극 사이 및 상기 비정질 반도체와 상기 드레인 전극 사이에 위치하는 저항성

접촉층을 더 포함하는 박막 트랜지스터.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 박막 트랜지스터 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 박막 트랜지스터(thin film transistor, TFT)는 다양한 분야에 이용되고 있으며, 특히 액정 표시 장치(liquid crystal display, LCD), 유기 발광 표시 장치(organic light emitting diode display, OLED display) 및 전기 영동 표시 장치(electrophoretic display) 등의 평판 표시 장치에서 스위칭 및 구동 소자로 이용되고 있다.

[0003] 박막 트랜지스터는 주사 신호를 전달하는 게이트선에 연결되어 있는 게이트전극, 화소 전극에 인가될 신호를 전달하는 데이터선에 연결되어 있는 소스 전극, 소스 전극과 마주하는 드레인 전극, 그리고 소스 전극 및 드레인 전극에 전기적으로 연결되어 있는 반도체를 포함한다.

[0004] 이 중 반도체는 박막 트랜지스터의 특성을 결정하는 중요한 요소이다. 이러한 반도체로는 규소(Si)가 가장 많이 사용되고 있으며 그 결정 형태에 따라 크게 비결정(amorphous), 다결정(polycrystalline) 및 미세 결정(microcrystalline)의 반도체 박막으로 나눌 수 있다.

[0005] 수소화된 비결정질 실리콘은 능동 매트릭스 액정 디스플레이용 박막 트랜지스터(TFT)에서 활성층으로 널리 사용되고 있다. 그 이유는, 플라즈마 강화 화학 기상 증착법(plasma enhanced chemical vapour deposition, PECVD)에 의해 상기 수소화 비결정질 실리콘 박막을 넓은 면적에 걸쳐 균일하게 증착할 수 있기 때문이다. 그러나 비결정질 구조로 인해, 매우 낮은 운반자 이동도(carrier mobility)를 갖는데, 이것은 디바이스의 스위칭 속도를 감소시키고, 디스플레이 구동기 회로에서 이러한 트랜지스터의 사용을 방해한다. 또한 비결정질 실리콘 TFT는 비정질 실리콘이 가지고 있는 다수의 트랩(trap state)과 불완전한 수소의 패시베이션(passivation)으로 인해 전류 이동도 및 문턱 전압(V_{th})과 같은 동작특성이 시간에 따라 크게 변하는 문제가 있어 트랜지스터를 장시간 구동하여야 하는 유기발광 다이오드의 구동소자로 사용하는데 제한이 따른다.

[0006] 이러한 수소화된 비결정질 실리콘에 비해 기존의 저온 다결정 실리콘(LTPS)에서는 문턱전압(V_{th}) 변동(shift) 문제는 적지만, 위치별 임계값 전압 차이가 발생하여 휘도 불균일 문제가 적지 않았다. 이것은 주로 결정화를 위한 엑시머 레이저(excimer laser)에 의한 열처리(annealing) 불균일성으로 인해 줄무늬(mura)가 매우 심한 수준이다. 보편적으로 픽셀(pixel) 보상회로를 통하여 불균일을 개선하고 있으나 때로는 보상한계를 벗어남으로써 공정마진을 매우 좁게 가져가야 되는 어려움이 있다. 이때 엑시머 레이저를 사용하지 않고 열처리하는 방법이 나오면서 불균일 문제 해결 때문에 다시 조명을 받게 되었다. 비레이저(non-laser) 방식으로는 고상결정화(solid phase crystallization (SPC)), 금속촉매측방결정화(metal-induced lateral crystallization, MILC), 금속촉매 결정화(metal-induced crystallization, MIC) 방법 등이 있다. 하지만 이러한 방식은 레이저 기반의 TFT에 비해 랜덤 줄무늬(random mura)가 매우 심한 수준이다. 보편적으로 픽셀(pixel) 보상회로를 통하여 불균일을 개선하고 있으나 때로는 보상한계를 벗어남으로써 공정마진을 매우 좁게 가져가야 되는 어려움이 있다.

[0007] 이에 비해 마이크로결정질 실리콘은 결정화되어 있기 때문에 수소화된 비결정질 실리콘에 비해에 따른 동작특성 변화도 작다. 하지만 마이크로 결정질 실리콘을 형성하기 위해서는 높은 온도에서의 공정이나 공정 후처리를 통해 결정화를 일으켜주어야 하기 때문에 이용하는 기관의 제한이 따르고 추가공정이 필요하다. 공정 시 Ar, He과 같은 캐리어 가스(carrier gas)의 희석과 높은 수소 함량 때문에 아주 느린 증착 속도를 가진다. 또한 하단 게이트(bottom gate) TFT 구조에서 벌크부분의 이동도가 높지만 실제적인 채널이 형성되는 부분인 하부 게이트 절연막과 다결정 및 마이크로결정질 실리콘 박막 사이의 비정질 인큐베이션(incubation) 층의 형성으로 인해 이동도 저하가 생기고 상기 층과 벌크부분의 그레인 경계(grain boundary)에서의 땀글링 결합(dangling bond) 및 무질서 상태(disordered State) 때문에 TFT의 off state에서 누설 전류 또한 크게 증가하게 된다.

[0008] 미세 결정질 규소는 나노 내지 마이크로 단위의 미세한 크기를 가지는 복수의 결정을 가지고, 비정질 규소보다 높은 전하 이동도 및 낮은 문턱 전압을 가질 수 있다.

발명의 내용

해결 하고자하는 과제

- [0009] 그러나 미세 결정질 규소 또한 고온에서 결정화를 수행하는 단계가 필요하기 때문에 사용할 수 있는 기판이 제한되고 여전히 높은 제조 비용이 소요된다. 또한 공정시 사용하는 운반 가스(carrier gas) 및 수소 기체 등으로 인해 느린 증착 속도를 나타내며 게이트 절연막과 미세 결정질 규소 층 사이에 불규칙한 결정 때문에 이동도가 낮아지고 누설 전류가 커질 수 있다.
- [0010] 따라서 본 발명이 해결하고자 하는 과제는 미세 결정질 규소를 사용하는 경우에 제조 시간 및 제조 비용을 절감하면서도 전하 이동도를 높이고 누설 전류를 줄이는 것이다.

과제 해결수단

- [0011] 본 발명의 한 실시 예에 따른 박막 트랜지스터의 제조 방법은 게이트 전극을 형성하는 단계, 상기 게이트 전극 위에 게이트 절연막을 형성하는 단계, 상기 게이트 절연막 위에 미세 결정질 반도체를 형성하는 단계, 그리고 상기 미세 결정질 반도체와 전기적으로 연결되어 있으며 서로 마주하는 소스 전극 및 드레인 전극을 형성하는 단계를 포함하고, 상기 게이트 절연막을 형성하는 단계 및 상기 미세 결정질 반도체를 형성하는 단계 중 적어도 하나는 기판을 플라즈마 방전 공간에 배치하는 단계, 상기 플라즈마 방전 공간에 상기 게이트 절연막 또는 상기 미세 결정질 반도체를 형성하기 위한 고체 원소 또는 기체 원소를 공급하는 단계, 상기 고체 원소 또는 상기 기체 원소를 플라즈마 입자와 충돌시켜 양이온을 생성하는 단계, 상기 양이온을 중성 입자로 변환하는 단계, 그리고 상기 중성 입자로부터 박막을 형성하는 단계를 포함한다.
- [0012] 상기 박막 트랜지스터의 제조 방법은 상기 미세 결정질 반도체를 형성하는 단계 후에 비정질 반도체를 형성하는 단계를 더 포함하고, 상기 비정질 반도체를 형성하는 단계는 상기 플라즈마 방전 공간에 상기 비정질 반도체를 형성하기 위한 고체 원소 또는 기체 원소를 공급하는 단계, 상기 고체 원소 또는 상기 기체 원소를 플라즈마 입자와 충돌하여 양이온을 생성하는 단계, 상기 양이온을 중성 입자로 변환하는 단계, 그리고 상기 중성 입자로부터 박막을 형성하는 단계를 포함할 수 있다.
- [0013] 상기 박막 트랜지스터의 제조 방법은 상기 비정질 반도체를 형성하는 단계 후에 불순물 함유 비정질 규소를 포함하는 저항성 접촉층을 형성하는 단계를 더 포함하고, 상기 저항성 접촉층을 형성하는 단계는 상기 플라즈마 방전 공간에 상기 불순물 함유 비정질 규소를 형성하기 위한 고체 원소 또는 기체 원소를 공급하는 단계, 상기 고체 원소 또는 상기 기체 원소를 플라즈마 입자와 충돌하여 양이온을 생성하는 단계, 상기 양이온을 중성 입자로 변환하는 단계, 그리고 상기 중성 입자로부터 박막을 형성하는 단계를 포함할 수 있다.
- [0014] 상기 게이트 절연막을 형성하는 단계, 상기 미세 결정질 반도체를 형성하는 단계, 상기 비정질 반도체를 형성하는 단계 및 상기 저항성 접촉층을 형성하는 단계는 상기 플라즈마 방전 공간에서 연속적으로 수행될 수 있다.
- [0015] 상기 플라즈마 방전 공간에 고체 원소를 공급하는 단계는 상기 플라즈마를 고체 원소의 타겟에 충돌시켜 상기 고체 원소를 플라즈마 방전 공간으로 스퍼터링할 수 있다.
- [0016] 상기 플라즈마 방전 공간에 기체 원소를 공급하는 단계는 상기 플라즈마 방전 공간으로 기체 원소를 기체 형태로 직접 공급할 수 있다.
- [0017] 상기 양이온을 중성 입자로 변환하는 단계는 상기 양이온을 상기 플라즈마 방전 공간에 배치되어 있는 금속판으로 유도하는 단계, 그리고 상기 금속판과 상기 양이온의 충돌에 의해 상기 양이온을 상기 중성 입자로 변환하는 단계를 포함할 수 있다.
- [0018] 본 발명의 다른 실시 예에 따른 박막 트랜지스터는 게이트 전극, 상기 게이트 전극과 중첩하는 미세 결정질 반도체, 상기 미세 결정질 반도체 위에 형성되어 있는 비정질 반도체, 그리고 상기 비정질 반도체 위에 형성되어 있는 소스 전극 및 드레인 전극을 포함한다.
- [0019] 상기 박막 트랜지스터는 상기 비정질 반도체와 상기 소스 전극 사이 및 상기 비정질 반도체와 상기 드레인 전극 사이에 위치하는 저항성 접촉층을 더 포함할 수 있다.

효과

- [0020] 본 발명에서는 반도체를 결정화하기 위한 별도의 고온의 열처리가 필요 없이 미세 결정질 반도체를 형성할 수

있으며, 에너지량을 조절하여 마이크로 단위보다 작은 나노 단위의 결정질 반도체를 형성할 수 있다. 또한 박막 전체를 통하여 보다 균일한 그레이를 가지는 미세 결정질 반도체를 형성할 수 있어서 그레이 크기에 의해 전하 이동도가 불규칙하게 변화하는 것을 방지하여 영역에 따라 박막 트랜지스터의 특성이 상이해지는 것을 방지할 수 있다. 또한 박막 전체를 통하여 동일한 에너지를 가진 중성 입자로부터 박막이 형성되므로 게이트 절연막과의 계면에 형성되는 미세 결정질 또한 균일한 크기의 그레이가 형성될 수 있으므로 게이트 절연막과 미세 결정질 규소 사이에 인큐베이션 층이 거의 형성되지 않음을 알 수 있다. 이에 따라 상기와 같이 제조된 미세 결정질 반도체는 균일한 박막 트랜지스터 특성을 나타낼 수 있고 그에 따라 안정한 전기적 특성을 나타낼 수 있을 뿐만 아니라, 비정질 규소를 사용한 경우보다 높은 전하 이동도 및 낮은 문턱 전압을 가지는 박막 트랜지스터를 제작할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0021] 이하, 첨부한 도면을 참조하여 본 발명의 실시 예에 대하여 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- [0022] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우 뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0023] 그러면 도 1을 참고로 하여 본 발명의 한 실시 예에 따른 박막 트랜지스터에 대하여 설명한다.
- [0024] 도 1은 본 발명의 한 실시 예에 따른 박막 트랜지스터를 개략적으로 보여주는 단면도이다.
- [0025] 도 1을 참고하면, 본 발명의 한 실시 예에 따른 박막 트랜지스터는 투명한 유리, 플라스틱 또는 실리콘 따위로 만들어진 기판(10) 위에 게이트 전극(20)이 형성되어 있다. 게이트 전극(20)은 알루미늄(Al)과 알루미늄 합금 등의 알루미늄 계열의 금속, 은(Ag)과 은 합금 등의 은 계열의 금속, 금(Au)과 금 합금 등의 금 계열 금속, 구리(Cu)와 구리 합금 등의 구리 계열의 금속, 몰리브덴(Mo)과 몰리브덴 합금 등의 몰리브덴 계열의 금속, 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 등으로 만들어질 수 있다.
- [0026] 게이트 전극(20) 위에는 기판 전면을 덮는 게이트 절연막(30)이 형성되어 있다. 게이트 절연막(30)은 질화규소(SiNx) 또는 산화규소(SiO₂) 등으로 만들어질 수 있다.
- [0027] 게이트 절연막(30) 위에는 게이트 전극(20)과 중첩하는 하부 반도체(40)와상부 반도체(45)가 차례로 형성되어 있다.
- [0028] 하부 반도체(40)는 미세 결정질 규소(nano-crystalline or micro-crystalline silicon)로 만들어지며, 미세 결정질 규소는 나노 내지 마이크로 단위의 미세한 크기를 가지는 복수의 결정을 가진다. 하부 반도체(40)는 미세 결정질 규소로 만들어짐으로써 비정질 규소에 비하여 전하 이동도를 높일 수 있어서 전류 특성을 개선할 수 있다.
- [0029] 상부 반도체(45)는 비정질 규소(amorphous silicon)로 만들어지며, 하부 반도체(40) 위에 형성되어 오프(off) 상태에서 미세 결정질 규소로 만들어진 하부 반도체(40)로 전하가 과도하게 흐르는 것을 제어하여 누설 전류를 줄일 수 있다.
- [0030] 상부 반도체(45) 위에는 서로 마주하는 소스 전극(60) 및 드레인 전극(70)이 형성되어 있다. 소스 전극(60) 및 드레인 전극(70)은 게이트 전극(20)과 마찬가지로 알루미늄(Al)과 알루미늄 합금 등의 알루미늄 계열의 금속, 은(Ag)과 은 합금 등의 은 계열의 금속, 금(Au)과 금 합금 등의 금 계열 금속, 구리(Cu)와 구리 합금 등의 구리 계열의 금속, 몰리브덴(Mo)과 몰리브덴 합금 등의 몰리브덴 계열의 금속, 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 등으로 만들어질 수 있다. 소스 전극(60) 및 드레인 전극(70)은 온(on) 상태에서 상부 반도체(45) 및 하부 반도체(40)와 전기적으로 연결되어 있다.
- [0031] 소스 전극(60)과 상부 반도체(45) 사이 및 드레인 전극(70)과 상부 반도체(45) 사이에는 저항성 접촉층(50)이 형성되어 있다. 저항성 접촉층(50)은 인(P) 또는 붕소(B) 따위의 불순물이 함유되어 있는 비정질 규소로 만들어질 수 있으며, 소스 전극(60)과 상부 반도체(45) 사이 및 드레인 전극(70)과 상부 반도체(45) 사이에 위치하여 이들 사이의 접촉 저항을 낮추어준다.

- [0032] 박막 트랜지스터의 채널(Q)은 소스 전극(60)과 드레인 전극(70) 사이의 하부 반도체(40)에 형성된다.
- [0033] 그러면 도 1의 박막 트랜지스터를 제조하는 방법에 대하여 도 2a 내지 도 3을 참조하여 설명한다.
- [0034] 도 2a 내지 도 2e는 도 1의 박막 트랜지스터를 제조하는 방법을 차례로 보여주는 단면도이고, 도 3은 도 1의 박막 트랜지스터를 제조하는데 사용되는 중성 입자 빔 장치를 보여주는 개략도이다.
- [0035] 먼저 도 3을 참고하여 본 발명에 따른 박막 트랜지스터를 제조할 때 사용하는 중성 입자 빔 장치에 대하여 설명한다.
- [0036] 도 3을 참고하면, 중성 입자 빔 장치는 플라스마 방전 공간인 소정 크기의 챔버(101)를 포함한다.
- [0037] 챔버(101)의 한 측면에는 고체 원소 타겟(102)이 배치되어 있고, 고체 원소 타겟(102)은 금속 따위로 만들어진 플레이트 위에 고체 원소가 도포되어 있으며 여기에 소정의 바이어스가 인가된다.
- [0038] 챔버(101)의 다른 측면에는 기체 공급구(103)가 배치되어 있고, 기체 공급구(103)는 플라스마 형성을 위한 기체 또는 기체 원소를 공급하는 소스 기체 따위가 공급될 수 있다.
- [0039] 챔버(101)의 상단에는 금속판(104)이 배치되어 있다. 금속판(104)은 스테인레스 등으로 만들어질 수 있으며, 소정의 바이어스가 인가되어 플라스마 입자로부터 중성 입자를 생성한다.
- [0040] 챔버(101)의 하단에는 기판을 지지하기 위한 지지대(106)가 배치되어 있다.
- [0041] 챔버(101) 내에는 복수의 자석 어레이 리미터(magnetic array limiter)(105)가 배치되어 있다. 자석 어레이 리미터(105)는 플라스마 방전 공간에 존재하는 전자 및 다른 이온들이 기판 측으로 접근하는 것을 차단하고 중성 입자를 선택적으로 기판 쪽으로 보내는 역할을 한다.
- [0042] 그러면 상기 중성 입자 빔 장치를 사용하여 기판 위에 박막을 형성하는 방법에 대하여 설명한다. 여기서 박막은 도 1의 게이트 절연막(30), 미세 결정질 규소로 만들어진 하부 반도체(40), 비정질 규소로 만들어진 상부 반도체(45) 및 불순물이 함유되어 있는 비정질 규소로 만들어진 저항성 접촉층(50)일 수 있으며, 상술한 중성 입자 빔 장치에서 이들 중에서 선택된 하나 이상을 형성할 수 있다.
- [0043] 도 2a를 참고하면, 절연 기판(10) 위에 도전층을 적층하고 사진 식각하여 소정 패턴의 게이트 전극(20)을 형성한다.
- [0044] 이어서 게이트 전극(20)이 형성되어 있는 기판(110)을 도 3에 도시한 중성 입자 빔 장치 내의 지지대(106) 위에 배치한다.
- [0045] 이어서 기체 공급구(103)를 통하여 챔버(101) 내로 플라스마 생성을 위한 기체를 공급한다. 기체는 챔버(101) 내에서 플라스마 방전되어 플라스마 입자를 생성한다.
- [0046] 이어서 기체 공급구(103)를 통하여 기체 원소를 포함하는 소스 기체를 공급한다. 게이트 절연막(30)으로서 질화규소(SiNx)를 형성하는 경우, 소스 기체로 규소 함유 기체 및 질소 함유 기체를 공급하고 이 때 수소 기체(H₂), 질소 기체(N₂) 및 기타 비활성 기체를 함께 공급할 수 있다. 여기서 규소 함유 기체는 예컨대 실란(SiH₄)일 수 있으며 질소 함유 기체는 예컨대 암모니아 기체(NH₃)일 수 있다.
- [0047] 상기 기체 원소를 포함하는 소스 기체는 챔버(101) 내에서 플라스마 입자와 충돌하여 양이온으로 된다. 이러한 양이온은 음의 바이어스가 인가된 금속판(104)으로 유도될 수 있다. 이 때 금속판(104)에는 약 10 내지 100V의 음의 바이어스가 인가될 수 있다. 양이온은 금속판(104)에 충돌하여 금속판(104)으로부터 에너지를 받아 중성 입자로 된다.
- [0048] 중성 입자는 복수의 자석 어레이 리미터(105) 사이를 통과하여 기판 쪽으로 이동하고 지지대(106) 위에 배치되어 있는 기판(110)의 표면과 접촉하여 박막이 형성된다.
- [0049] 이 때 자석 어레이 리미터(105)는 자기장을 형성함으로써 플라스마 방전 공간에 존재하는 전자 및 다른 이온들이 기판 측으로 접근하는 것을 차단하고 중성 입자만을 선택적으로 기판 쪽으로 보낼 수 있다.
- [0050] 이에 따라 도 2b에 도시한 바와 같이, 게이트 전극(20) 위에 게이트 절연막(30)이 형성된다.
- [0051] 다음, 연속 공정으로 반도체를 형성한다.

- [0052] 반도체는 고체 원소 또는 기체 원소를 공급하여 수행할 수 있다.
- [0053] 먼저 고체 원소를 공급하는 경우부터 설명한다.
- [0054] 상술한 방법으로 게이트 절연막(30)이 형성되어 있는 기판(110)을 지지대(106) 위에 배치한다. 이어서 기체 공급구(103)를 통하여 플라스마 형성을 위한 기체를 챔버(101) 내로 공급한다. 기체는 챔버(101) 내에서 플라스마 방전되어 플라스마 입자로 전환한다. 플라스마 입자는 음의 바이어스가 인가된 고체 원소 타겟(102)으로 유도된다. 이 때 고체 원소는 규소(Si)일 수 있으며, 고체 원소 타겟(102)에는 약 500V의 음의 바이어스가 인가될 수 있다.
- [0055] 플라스마 입자는 고체 원소 타겟(102)과 충돌하여 고체 원소 양이온을 생성하고, 고체 원소 양이온은 플라스마 방전 공간으로 스퍼터링된다. 스퍼터링된 고체 원소 양이온은 음의 바이어스가 인가된 금속판(104)으로 유도될 수 있다. 이 때 금속판(104)에는 약 10 내지 100V의 음의 바이어스가 인가될 수 있다. 양이온은 금속판(104)과 충돌하여 금속판(104)으로부터 에너지를 받아 중성 입자로 된다.
- [0056] 중성 입자는 복수의 자석 어레이 리미터(105) 사이를 통과하여 기판 쪽으로 이동하고 지지대(106) 위에 배치되어 있는 기판(110)의 표면과 접촉하여 박막이 형성된다.
- [0057] 이에 따라 도 2c에 도시한 바와 같이, 게이트 절연막(30) 위에 미세 결정질규소로 만들어진 하부 반도체(40)가 형성된다.
- [0058] 반도체를 기체 원소를 공급하여 수행하는 경우에는 전술한 게이트 절연막(30)과 동일하게 수행된다. 다만, 이 때 기체 원소를 포함하는 소스 기체는 규소 함유 기체를 수소 기체(H_2), 질소 기체(N_2) 및 기타 비활성 기체를 함께 공급할 수 있다. 여기서 규소 함유 기체는 예컨대 실란(SiH_4)일 수 있다.
- [0059] 이어서, 도 2d에 도시한 바와 같이, 하부 반도체(40) 위에 상부 반도체(45)를 형성한다. 상부 반도체(45)는 하부 반도체(40)와 상술한 바와 같은 동일한 방법으로 형성되나, 하부 반도체(40)는 미세 결정질 규소로 만들어지고 상부 반도체(45)는 비정질 규소로 만들어진다. 하부 반도체(40)와 상부 반도체(45)는 모두 규소를 포함하지만 하부 반도체(40)는 상부 반도체(45)보다 높은 에너지를 공급하여 미세 결정질 규소로 만들어지고 상부 반도체(45)는 그보다 낮은 에너지를 공급하여 비정질 형태의 규소로 만들어진다.
- [0060] 다음 도 2e를 참고하면, 상부 반도체(45) 위에 인(P) 또는 붕소(B) 등의 불순물이 포함되어 있는 규소를 적층하여 저항성 접촉층(50)을 형성한다.
- [0061] 저항성 접촉층(50) 또한 플라스마 방전 공간에서 상술한 방법과 같이 수행하나, 이 때 기체 원소를 포함하는 소스 기체는 규소 함유 기체 및 불순물 함유 기체를 수소 기체(H_2), 질소 기체(N_2) 및 기타 비활성 기체를 함께 공급할 수 있다. 여기서 규소 함유 기체는 예컨대 실란(SiH_4)일 수 있으며 불순물 함유 기체는 예컨대 포스핀(phosphine, PH_3) 또는 보레인(borane, B_2H_6)일 수 있다.
- [0062] 상술한 게이트 절연막(30)을 형성하는 단계, 미세 결정질 규소로 만들어진 하부 반도체(40)를 형성하는 단계, 비정질 반도체로 만들어진 상부 반도체(45)를 형성하는 단계 및 불순물이 포함된 규소로 만들어진 저항성 접촉층(50)을 형성하는 단계는 상기 플라스마 방전 공간에서 연속적으로 수행될 수 있다.
- [0063] 이어서 도 1에 도시한 바와 같이, 저항성 접촉층(50) 위에 도전층을 적층하고 사진 식각하여 소스 전극(60) 및 드레인 전극(70)을 형성한다.
- [0064] 이와 같이, 본 발명에서는 중성 입자 빔 장치에서 바이어스 전압을 조절하면서 중성 입자에 에너지를 공급하여 미세 결정질 반도체를 형성할 수 있으므로, 반도체를 결정화하기 위한 별도의 고온의 열처리가 필요 없다. 또한 에너지량을 조절하여 마이크로 단위보다 작은 나노 단위의 결정질 반도체를 형성할 수 있으며 박막 전체를 통하여 동일한 에너지를 가진 중성 입자로부터 박막이 형성되므로 보다 균일한 그레인(grain)을 가지는 미세 결정질 반도체를 형성할 수 있다. 따라서 그레인 크기에 의해 전하 이동도가 불규칙하게 변화하는 것을 방지하여 영역에 따라 박막 트랜지스터의 특성이 상이해지는 것을 방지할 수 있다.
- [0065] 또한 도 4를 참고하여 게이트 절연막과 반도체 사이의 계면 특성에 대하여 설명한다.
- [0066] 도 4는 본 발명에 따른 박막 트랜지스터에서 게이트 절연막과 반도체 사이의 계면을 보여주는 사진이다.
- [0067] 일반적으로 게이트 전극이 반도체의 하부에 형성되는 바텀 게이트(bottom gate) 구조에서 게이트 절연막 위에

다결정 또는 미세 결정질 반도체를 형성한 경우에 반도체 중 게이트 절연막과 맞닿는 부분에 결정화되지 못한 인큐베이션 층(incubation layer)이 존재한다. 반도체 중 게이트 절연막과 맞닿는 부분은 실질적으로 박막 트랜지스터의 채널(Q)이 형성되는 부분이므로 인큐베이션 층에 의해 전하 이동도가 떨어진다.

[0068] 본 발명에 따른 박막 트랜지스터는 도 4에서 보는 바와 같이 게이트 절연막(401)과 미세 결정질 규소로 만들어진 하부 반도체(402) 사이의 계면(403) 부근에 존재하는 미세 결정질의 그레인 크기가 하부 반도체(402)의 다른 부분과 크게 차이가 없음을 확인할 수 있다. 즉 본 발명에서는 중성 입자 빔 장치에서 바이어스 전압을 조절하면서 중성 입자에 에너지를 공급하여 미세 결정질 반도체 게이트 절연막 및 반도체를 플라즈마 방전 공간에서 연속적으로 수행하므로 박막 전체를 통하여 동일한 에너지를 가진 중성 입자로부터 박막이 형성되므로 게이트 절연막과의 계면에 형성되는 미세 결정질 또한 균일한 크기의 그레인이 형성될 수 있으므로 게이트 절연막과 미세 결정질 규소 사이에 인큐베이션 층이 거의 형성되지 않음을 알 수 있다. 이에 따라 상기와 같이 제조된 미세 결정질 반도체는 균일한 박막 트랜지스터 특성을 나타낼 수 있고 그에 따라 안정한 전기적 특성을 나타낼 수 있을 뿐만 아니라, 비정질 규소를 사용한 경우보다 높은 전하 이동도 및 낮은 문턱 전압을 가지는 박막 트랜지스터를 제작할 수 있다.

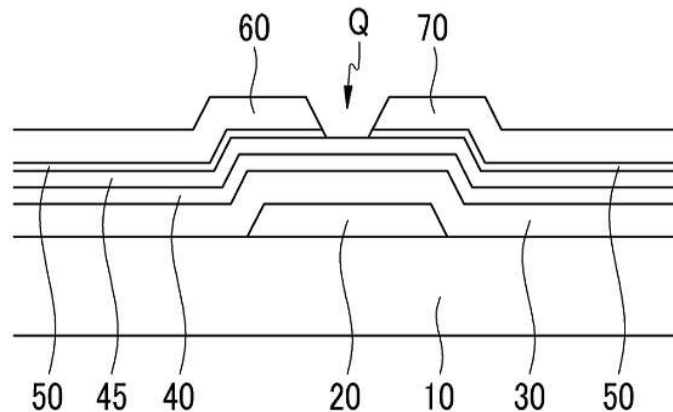
[0069] 이상에서 본 발명의 바람직한 실시 예들에 대하여 상세하게 설명하였지만 본 발명의 권리 범위는 이에 한정되는 것은 아니고 다음의 청구 범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리 범위에 속하는 것이다.

도면의 간단한 설명

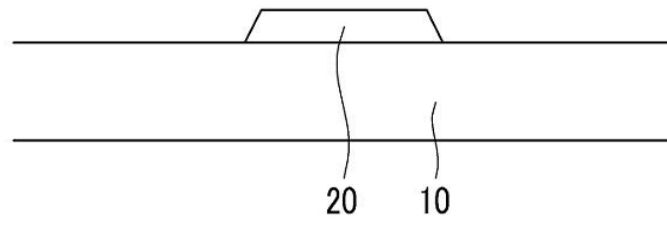
- [0070] 도 1은 본 발명의 한 실시 예에 따른 박막 트랜지스터를 개략적으로 보여주는 단면도이고,
 [0071] 도 2a 내지 도 2e는 도 1의 박막 트랜지스터를 제조하는 방법을 차례로 보여주는 단면도이고,
 [0072] 도 3은 도 1의 박막 트랜지스터를 제조하는데 사용되는 중성 입자 빔 장치를 보여주는 개략도이고,
 [0073] 도 4는 본 발명에 따른 박막 트랜지스터에서 게이트 절연막과 반도체 사이의 계면을 보여주는 사진이다.

도면

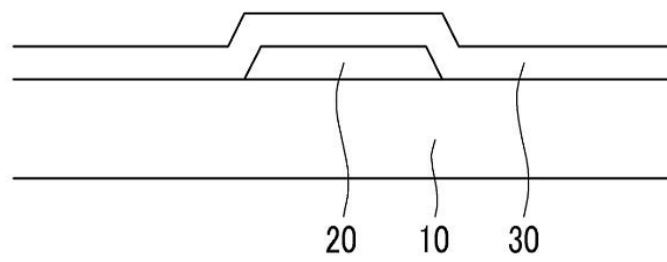
도면1



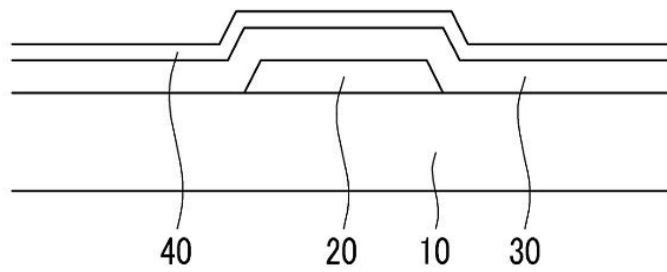
도면2a



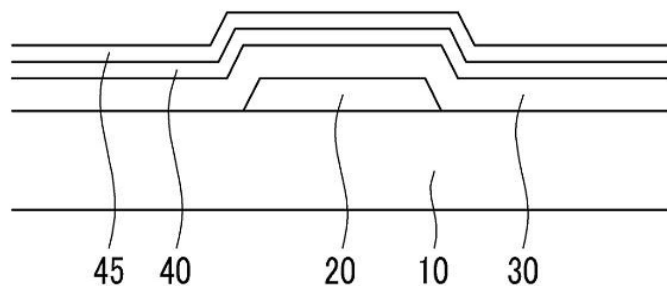
도면2b



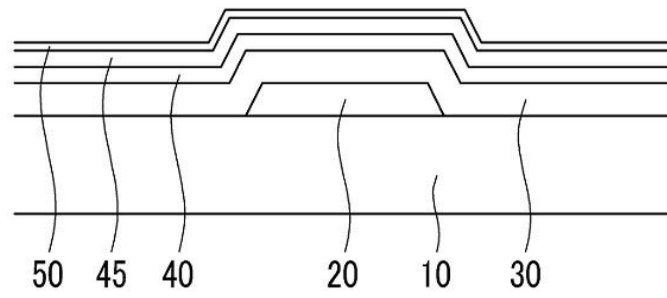
도면2c



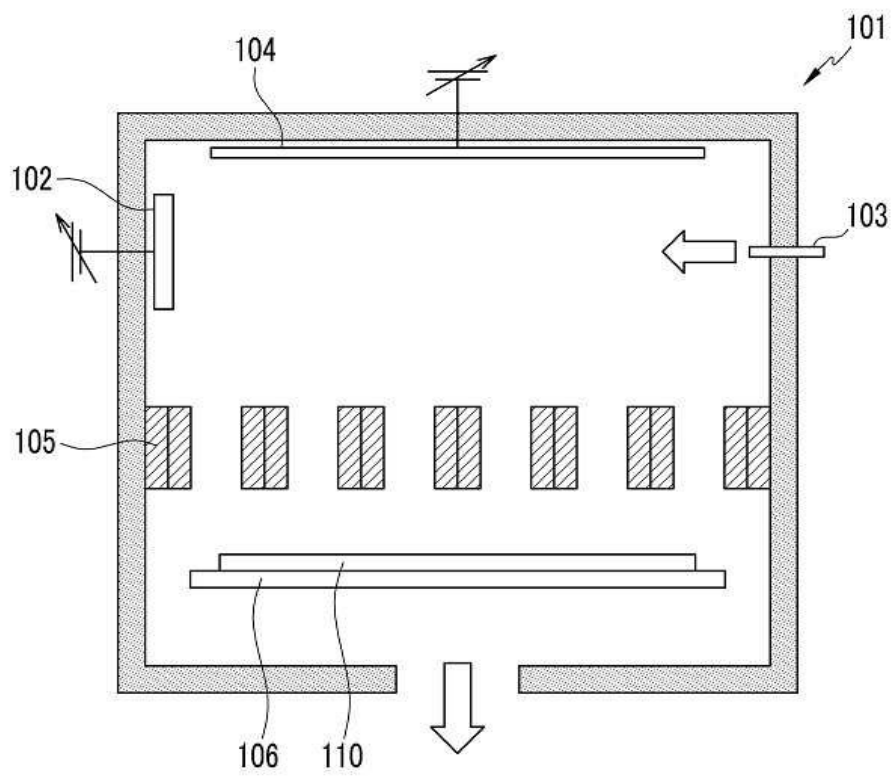
도면2d



도면2e



도면3



도면4

