



(12)发明专利申请

(10)申请公布号 CN 109407191 A

(43)申请公布日 2019.03.01

(21)申请号 201810934058.1

(22)申请日 2018.08.16

(30)优先权数据

62/546,172 2017.08.16 US

16/044,081 2018.07.24 US

(71)申请人 朗美通经营有限责任公司

地址 美国加利福尼亚州

(72)发明人 J.M.米勒 G.威尔斯

(74)专利代理机构 北京市柳沈律师事务所

11105

代理人 贺紫秋

(51)Int.Cl.

G02B 5/18(2006.01)

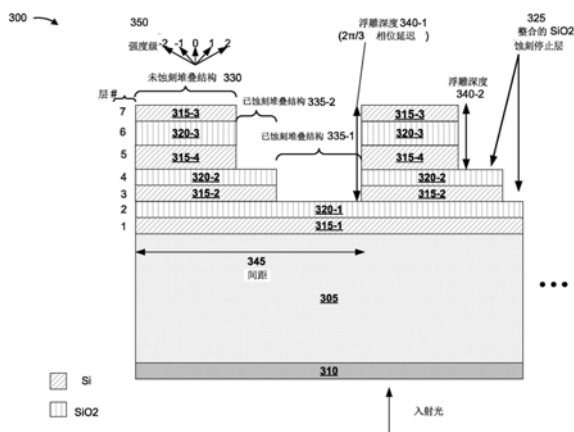
权利要求书2页 说明书11页 附图18页

(54)发明名称

多层衍射光学元件薄膜涂层

(57)摘要

一种透射光学元件可以包括基体。透射光学元件可以包括形成在基体上的用于特定波长范围的第一抗反射结构。透射光学元件可以包括形成在第一抗反射结构上的用于特定波长范围的第二抗反射结构。透射光学元件可以包括形成在第二抗反射结构上的用于特定波长范围的第三抗反射结构。透射光学元件可以包括设置在第一抗反射结构和第二抗反射结构之间或设置在第二抗反射结构和第三抗反射结构之间的至少一个层。



1. 一种透射光学元件,包括:
基体;
形成在基体上的用于特定波长范围的第一抗反射结构;
形成在第一抗反射结构上的用于所述特定波长范围的第二抗反射结构;
形成在第二抗反射结构上的用于所述特定波长范围的第三抗反射结构;和
至少一个层,设置在第一抗反射结构和第二抗反射结构之间或设置在第二抗反射结构和第三抗反射结构之间,

其中,第一抗反射结构的第一表面和第二抗反射结构的第二表面之间的第一浮雕深度与第三抗反射结构的第一表面和第三表面之间的第二浮雕深度配置为形成用于所述特定波长范围的分别与第一相位延迟和第二相位延迟关联的衍射光学元件。

2. 如权利要求1所述的透射光学元件,其中,第一相位延迟为 $\pi/2$ 相位延迟且第二相位延迟为 π 相位延迟。

3. 如权利要求1所述的透射光学元件,其中,用硅和二氧化硅层的交替形成第一抗反射结构、第二抗反射结构、和第三抗反射结构。

4. 如权利要求1所述的透射光学元件,其中,用氢化硅和二氧化硅的交替层形成第一抗反射结构和第二抗反射结构。

5. 如权利要求1所述的透射光学元件,其中,用第一材料的第一层和第二材料的第二层形成第一抗反射结构;

其中,用第一材料的第三层形成所述至少一个层;

其中,用第二材料的第四层和第一材料的第五层形成第二抗反射结构;和

其中,用第二材料的第六层和第一材料的第七层形成第三抗反射结构。

6. 如权利要求1所述的透射光学元件,其中,第一抗反射结构形成在基体的第一侧上;
和

光学元件进一步包括:

形成在基体的第二侧上的用于所述特定波长范围的多个其他抗反射结构。

7. 如权利要求1所述的透射光学元件,其中,第一抗反射结构、第二抗反射结构、和第三抗反射结构形成三层浮雕轮廓。

8. 如权利要求1所述的透射光学元件,其中,所述特定波长范围为930纳米到950纳米。

9. 如权利要求1所述的透射光学元件,其中,所述特定波长范围为1540纳米到1560纳米。

10. 一种光学元件,包括:

基体;

形成在基体上的用于特定波长范围的第一抗反射结构;

形成在第一抗反射结构上的用于所述特定波长范围的第二抗反射结构;

形成在第二抗反射结构上的用于所述特定波长范围的至少一个其他抗反射结构;和

其中,第一抗反射结构的第一表面和至少一个其他抗反射结构的第二表面之间的浮雕深度配置为形成与用于所述特定波长范围的特定相位延迟关联的衍射光学元件。

11. 如权利要求10所述的光学元件,其中,浮雕深度为0.4微米到3.0微米。

12. 如权利要求10所述的光学元件,其中,第一抗反射结构是用于蚀刻第二抗反射结构

的蚀刻停止层,且第二抗反射结构是用于蚀刻至少一个其他抗反射结构的蚀刻停止层。

13. 如权利要求10所述的光学元件,其中,至少一个其他抗反射结构包括第一其他抗反射结构和第二其他抗反射结构;和

其中,第一其他抗反射结构是用于蚀刻第二其他抗反射结构的蚀刻停止层。

14. 如权利要求10所述的光学元件,其中,使用薄膜沉积和蚀刻形成第一抗反射结构、第二抗反射结构、或至少一个其他抗反射结构中的至少一个。

15. 如权利要求10所述的光学元件,进一步包括至少一个层,其设置在第一抗反射结构和第二抗反射结构之间、设置在第二抗反射结构和至少一个其他抗反射结构之间、或设置在至少一个其他抗反射结构中的两个抗反射结构之间。

16. 一种方法,包括:

在晶圆上沉积多个层,

其中,所述沉积形成用于特定波长范围的三个或更多抗反射结构,

其中,所述三个或更多抗反射结构中的第一抗反射结构形成在晶圆上且在所述三个或更多抗反射结构中的第二抗反射结构下方,

其中,第二抗反射结构形成在所述三个或更多抗反射结构中的第三抗反射结构下方;
和

蚀刻所述多个层中的子组层,以形成三层或更多层的浮雕轮廓,

其中所述蚀刻在第一抗反射结构和所述三个或更多抗反射结构中的另一个之间形成与用于所述特定波长范围的特定相位延迟关联的衍射光学元件。

17. 如权利要求16所述的方法,进一步包括:

将晶圆分为多个衍射光学元件。

18. 如权利要求16所述的方法,其中所述多个层包括以下中的至少一个:

硅层,

二氧化硅层,

五氧化二钽层,或

氮化硅层。

19. 如权利要求16所述的方法,其中所述至少一个层形成在所述三个或更多抗反射结构中的两个之间。

20. 如权利要求16所述的方法,进一步包括:

在具有用于所述特定波长范围的特定相位延迟的晶圆的另一侧上形成包括另外三个或更多堆叠抗反射结构的另一衍射光学元件。

多层衍射光学元件薄膜涂层

技术领域

[0001] 本发明涉及薄膜结构。更具体地,本发明的一些方面涉及用于衍射光学元件(diffractive optical element optical element:DOE)的多层薄膜结构,所述衍射光学元件能在多层薄膜结构的已蚀刻区域和未蚀刻区域之间提供特定相位延迟,且针对特定波长范围提供抗反射。

背景技术

[0002] 衍射光学元件(DOE)可以用于引导光束。例如,DOE(例如衍射透镜、点阵发光器、点阵生成器、傅里叶阵列生成器和/或类似器件)可以用于将光束分束、让光束成形、将光束聚焦和/或类似操作。DOE可以整合到组播交换机、波长选择开关、姿态识别系统、动作感测系统、深度感测系统和/或类似物中。

[0003] 双层表面浮雕轮廓(有时称为“二元表面浮雕轮廓”)可以被选择为用于表面浮雕DOE。例如,双层表面浮雕轮廓可以被选择以近似出连续表面浮雕轮廓,并使得光刻过程和/或蚀刻过程能用于制造DOE。双层薄膜堆叠结构可以用于形成单级次二元DOE(single order binary DOE),例如衍射透镜,且对于单级次二元DOE来说,可以与大约40%的衍射效率关联。双层薄膜堆叠结构可以用于点阵生成器,且可以提供对称的点阵。例如,利用双层薄膜堆叠结构可以提供对称轴线,使得光点强度与180度对称轴线关联。用于DOE的一些材料会要求浮雕深度(relief depth)大于临界值,由此实现临界蚀刻时间,以制造DOE。

发明内容

[0004] 根据一些可行实施方式,透射光学元件可以包括基体。透射光学元件可以包括形成在基体上的用于特定波长范围的第一抗反射结构。透射光学元件可以包括形成在第一抗反射结构上的用于特定波长范围的第二抗反射结构。透射光学元件可以包括形成在第二抗反射结构上的用于所述特定波长范围的第三抗反射结构。透射光学元件可以包括设置在第一抗反射结构和第二抗反射结构之间或设置在第二抗反射结构和第三抗反射结构之间的至少一个层。第一抗反射结构的第一表面和第二抗反射结构的第二表面之间的第一浮雕深度与第三抗反射结构的第一表面和第三表面之间的第二浮雕深度可配置为形成用于所述特定波长范围的分别与第一相位延迟和第二相位延迟关联的衍射光学元件。

[0005] 根据一些可行实施方式,光学元件可以包括基体。光学元件可以包括形成在基体上的用于特定波长范围的第一抗反射结构。光学元件可以包括形成在第一抗反射结构上的用于所述特定波长范围的第二抗反射结构。光学元件可以包括形成在第二抗反射结构上的用于所述特定波长范围的至少一个其他抗反射结构。第一抗反射结构的第一表面和至少一个其他抗反射结构的第二表面之间的浮雕深度可以配置为形成与用于所述特定波长范围的特定相位延迟关联的衍射光学元件。

[0006] 根据一些可行实施方式,方法可以包括在晶圆上沉积多个层,其中所述沉积形成用于特定波长范围的三个或更多抗反射结构,其中所述三个或更多抗反射结构中的第一抗

反射结构形成在晶圆上且在所述三个或更多抗反射结构中的第二抗反射结构下方,且其中第二抗反射结构形成在所述三个或更多抗反射结构中的第三抗反射结构下方。方法可以包括蚀刻所述多个层中的子组层,以形成三层或更多层浮雕轮廓,其中所述蚀刻在第一抗反射结构和所述三个或更多抗反射结构中的另一个之间形成与用于所述特定波长范围的特定相位延迟关联的衍射光学元件。

附图说明

- [0007] 图1是本文所述的示例性实施方式的概况图;
- [0008] 图2A和2B是本文所述的示例性实施方式的图解;
- [0009] 图3A和3B是本文所述的示例性实施方式的图解;
- [0010] 图4是用于制造本文所述的示例性实施方式的示例性过程的流程图;
- [0011] 图5A-5E是与图4所示的示例性过程关联的示例性实施方式的图解。
- [0012] 图6A-6G是与图4所示的示例性过程关联的示例性实施方式的图解。

具体实施方式

[0013] 示例性实施方式的以下详细描述参照了附随的附图。相同附图标记在不同附图中可以表示相同或相似的元件。

[0014] 可以使用光刻过程和/或蚀刻过程制造衍射光学元件(DOE)。例如,为了近似连续表面浮雕轮廓,可以选择双层表面浮雕轮廓以用于DOE,且DOE的表面可以被蚀刻或构图,以形成双层表面浮雕轮廓。双层表面浮雕轮廓可以用于对经过DOE的光束形成相位延迟。对于单级次二元(single order binary)DOE,例如衍射透镜,可以使用双层表面浮雕轮廓实现大约40%的衍射效率。然而,对于在光学系统中(例如光学通信系统、姿态识别系统、动作检测系统、深度感测系统和/或类似系统)利用DOE来说,该衍射效率可以小于临界值。而且,通过DOE形成的点阵图案或衍射图案可以是对称的,且对于特定光学系统会期望使用不对称的衍射图案。

[0015] 本文所述的一些实施方式可以提供具有临界衍射效率的多层DOE。例如,本文所述的一些实施方式可以提供多层DOE(例如大于两层),以在DOE的一些部分之间在入射光的特定波长下提供特定的相位延迟并在入射光的特定波长下提供抗反射。而且,本文所述的一些实施方式可以提供与不对称的点阵图案或衍射图案关联的DOE。

[0016] 在本文所述的一些实施方式中,DOE可以与浮雕深度关联,以制造出具有小于临界值的经选择表面浮雕轮廓,由此针对DOE实现减小的高宽比、减少的蚀刻时间、和/或减小的制造成本(相对于用于制造DOE的其他技术而言)。进而,DOE的层可以为DOE提供整合的蚀刻停止层。本文所述的一些实施方式可以提供用于制造DOE的方法。例如,可以使用薄膜沉积过程、蚀刻过程和/或类似过程来制造DOE,其相对于用于制造DOE的其他技术可以提供改善的层厚度准确性和改善的可制造性。

[0017] 图1是本文所述的示例性实施方式100的概况图。图1显示了使用表面浮雕DOE光栅和作为点阵发光器(有时称为点阵生成器或点阵列生成器)的会聚透镜的点阵生成技术的例子。

[0018] 如图1所示,具有波长 λ_0 的入射平面波浪110被朝向表面浮雕DOE光栅120引导。在

一些实施方式中,表面浮雕DOE光栅120可以是具有多层表面浮雕轮廓的DOE,例如四层DOE、八层DOE、 2^n 层DOE(其中 $n>1$)、 k 层DOE(例如其中 $k>2$)、和/或类似的情况。在一些实施方式中,表面浮雕DOE光栅120例如可以包括硅(Si)和二氧化硅(SiO₂)的交替层、氢化硅(Si:H)和二氧化硅的交替层、和/或类似情况。

[0019] 在一些实施方式中,表面浮雕DOE光栅120的层可以配置为在入射光的特定波长下提供抗反射功能。在一些实施方式中,表面浮雕DOE光栅120的层(例如二氧化硅层)可以在表面浮雕DOE光栅120的制造期间提供蚀刻停止功能。在一些实施方式中,入射平面波110可以具有的波长范围为大约800纳米(nm)到大约1100nm、大约800nm到大约1000nm、大约830nm到大约1000nm、大约850nm到大约1000nm、大约915nm到大约1000nm、大约940nm到大约1000nm、大约930nm到大约950nm、和/或类似范围。在一些实施方式中,入射平面波110可以具有的波长范围为大约1100nm到大约2000nm、大约1400nm到大约1700nm、大约1520nm到大约1630nm、大约1540nm到大约1560nm、和/或类似范围。在本文描述与表面浮雕DOE光栅120有关的额外细节。

[0020] 如图1进一步所示的,表面浮雕DOE光栅120使得入射平面波110衍射,且将波前(wavefront)130(例如入射平面波110的衍射级次)朝向会聚透镜140引导。会聚透镜140按焦距150与焦点平面160分开。在一些实施方式中,示例性实施方式100可以用于姿态识别系统,且焦点平面160可以是用于姿态识别的目标。另外或替换地,焦点平面160可以是物体(例如物体感测系统)、通信目标(例如用于光学通信系统)和/或类似物。

[0021] 进一步如图1所示,基于改变波前130的取向以形成波前170的会聚透镜140,波前170被朝向焦点平面160引导,使得在焦点平面160处形成多点阵图案。在一些实施方式中,多点阵图案可以是不对称的。在一些实施方式中,表面浮雕DOE光栅120可以用于形成二维点阵。以此方式,表面浮雕DOE光栅120可以用作点阵发光器,以从入射平面波110在焦点平面160处形成点阵,由此实施姿态识别系统、动作感测系统、光学通信系统、和/或类似系统。

[0022] 如上所述,图1是仅作为例子提供的。其他例子也是可以的,且可以与针对图1所述的有所不同。

[0023] 图2A和2B是关于本文所述的示例性实施方式的图解。如图2A所示,且通过图解200,连续浮雕轮廓可量化为一组个别的层,使得光刻和/或蚀刻过程能用于制造DOE。

[0024] 进一步如图2A所示,且参见附图标记202,连续浮雕轮廓可以与大约100%的衍射效率关联(对于单级次构造),且可以相对于第一间距位置0从第二间距位置 dx 提供连续增加的相位延迟 2π 。如通过附图标记204所示,可以通过双层浮雕轮廓(有时称为二元浮雕轮廓)来近似连续浮雕轮廓。双层浮雕轮廓可以与大约40.5%的衍射效率关联(对于单级次构造),且相对于从间距位置0到间距位置 $0.5dx$ 的DOE的第一区域,可以在从间距位置 $0.5dx$ 到间距位置 dx 的DOE的第二区域提供 π 相位延迟。

[0025] 进一步如图2A所示,且参见附图标记206,可以通过4层浮雕轮廓来近似连续浮雕轮廓。4层浮雕轮廓可以与大约81%的衍射效率关联(对于单级次构造),且相对于从0到 $0.25dx$ 的DOE的第一区域可以在从间距位置 $0.25dx$ 到间距位置 $0.5dx$ 的DOE的第二区域提供 $\pi/2$ 相位延迟;相对于DOE的第一区域在从 $0.5dx$ 到 $0.75dx$ 的DOE的第三区域提供 π 相位延迟;和相对于DOE的第一区域在从 $0.75dx$ 到 dx 的DOE的第四区域提供 $3\pi/2$ 相位延迟。

[0026] 进一步如图2A所示,且参见附图标记208,可以通过8层浮雕轮廓来近似连续浮雕

轮廓。8层浮雕轮廓可以与大约95%的衍射效率关联(对于单级次构造),且可以在DOE的一些区域以 $\pi/4$ 的增量提供相位延迟(例如相对于从0到 $0.125dx$ 到DOE的第一区域,在从 $0.125dx$ 到 $0.25dx$ 的第二区域提供 $\pi/4$;在从 $0.25dx$ 到 $0.375dx$ 的第三区域提供 $\pi/2$;在从 $0.375dx$ 到 $0.5dx$ 的第四区域提供 $3\pi/4$;等)。在一些实施方式中,可以使用具有另一衍射效率的另一构造。例如,使用2级次、4级次、10级次、100级次和/或类似级次的构造相对于单级次构造可以用于增加衍射效率。在这种情况下,例如对于 ± 100 级次,可以针对双层浮雕轮廓实现大约75%到80%的衍射效率。基于使用具有大于2层的多层DOE,衍射效率可以被改善为大于临界值(对单级次构造和/或类似构造),例如大于41%、大于50%、大于75%、大于80%、大于85%、大于90%、大于95%、大于99%、和/或类似的。

[0027] 虽然针对 2^n 层DOE(其中 $n>1$)(例如4层DOE、8层DOE等)在本文描述了一些实施方式,但是其他类型的 k 层DOE也是可以的(其中 $k>2$),例如3层DOE、5层DOE、6层DOE等。另外或替换地,虽然针对层的规则分布描述了本文所述的一些实施方式(例如对于4层DOE,有 $k\pi/2$ 的相位延迟,其中 $k=[0,3]$),但是其他非规则的层分布也是可以的(例如对于4层DOE,有 0 、 $\pi/5$ 、 $\pi/3$ 、 $3\pi/4$ 、和 $7\pi/8$ 的相位延迟)。另外或替换地,虽然针对具有带规则间距分布的区域的DOE描述了本文所述的一些实施方式(例如对于4层DOE,间距($1dx$)被平均划分,每一个区域跨过 $0.25dx$),但是其他非规则间距分布也是可以的(例如对于4层DOE,第一相位延迟区域可以跨过 $0.1dx$,而第二、第三和第四相位延迟区域可以分别跨过 $0.2dx$ 、 $0.4dx$ 和 $0.3dx$)。以此方式,多层DOE可以实现额外的相位延迟量和/或相位延迟值。

[0028] 如图2B所示,DOE 210可以包括基体215。在一些实施方式中,基体215可以是玻璃基体、熔融石英基体和/或类似基体。例如,基体215可以是熔融石英基体,其具有大约200微米的厚度和1.45的折射率 n_{sub} 。例如,如图2B所示,一组交替的硅和二氧化硅层可以设置在基体215的顶表面上且被构图为形成浮雕轮廓,如在本文所述的,且抗反射涂层220可以覆盖基体215的底表面。在一些实施方式中,抗反射涂层220可以没有,或可以被另一抗反射结构(例如形成在顶表面上的抗反射结构)替代。在一些实施方式中,抗反射结构可以包括薄膜、薄膜结构、抗反射涂层、沉积薄层、沉积薄膜层、和/或类似结构。

[0029] 进一步如图2B所示,成组的交替硅和二氧化硅层可以包括一组硅层225和一组二氧化硅层230。例如,硅层225-1可以设置在基体215上,且二氧化硅层230-1可以设置在硅层225-1上。硅层225-1和二氧化硅层230-1可以形成一对匹配层235-1,其提供第一抗反射结构。类似地,二氧化硅层230-2可以设置在硅层225-2上,且可以形成一对匹配层235-2,其提供第二抗反射结构;二氧化硅层230-3可以设置在硅层225-3上,且可以形成一对匹配层235-3,其提供第三抗反射结构;硅层225-4可以设置在二氧化硅层230-4上,且可以形成一对匹配层235-4,其提供第四抗反射结构。如所示的,硅层225-5可以设置在匹配层235-3和匹配层235-4之间。硅层225-5可以配置为给DOE 210提供特定功能,且可以独立于抗反射结构配置,由此改善DOE设计的灵活性。

[0030] 在一些实施方式中,DOE 210可以暴露到空气或气体界面。例如,DOE 210的第一表面(例如匹配层235的表面)和DOE 210的第二表面(例如抗反射涂层220的表面)可以暴露到具有1.0折射率 n_{air} 的空气界面。可以基于以下等式计算浮雕深度 h :

$$[0031] \quad h = \frac{(K - 1)\lambda_0}{K(n_{tf} - n_{air})}$$

[0032] 其中 λ_0 为用于DOE (例如DOE 210) 的名义照明波长,且K代表层的量。为了减小浮雕深度,可以选择具有相对大折射率的材料,例如二氧化硅,其在一些实施方式中可以实现大约0.75微米(μm)的蚀刻(例如蚀刻240)的浮雕深度h。在一些实施方式中,浮雕深度可以是0.4 μm 到3.0 μm 、0.5 μm 到2.5 μm 、1.0 μm 到2.0 μm 和/或类似范围的浮雕深度。在一些实施方式中,层可以经折射率匹配,以增加DOE 210的透光率。例如,可以基于在1.4到3.9的临界量内的3.5和1.45的相应折射率来选择硅层225和二氧化硅层230。

[0033] 在一些实施方式中,可以针对薄膜涂层材料选择其他材料,例如五氧化二钽(Ta_2O_5)和氮化硅(Si_3N_4),其可以具有大约2.0的折射率。基于针对DOE 210的层使用硅薄膜,相对于其他材料选择,4层浮雕轮廓的浮雕深度会减小。例如,对于1550nm的名义照明波长下的4层浮雕轮廓中的 $3\pi/2$ 相位延迟,二氧化硅可以与大约2.33 μm 的浮雕深度关联,五氧化二钽和氮化硅可以与大约1.16 μm 的浮雕深度关联,且硅可以与大约0.47 μm 的浮雕深度关联。可以使用具有相似折射率的其他材料,例如1.5到3.5的折射率范围、2.0的折射率和/或类似折射率。类似地,对于8层浮雕轮廓,二氧化硅可以与大约2.71 μm 的浮雕深度关联,五氧化二钽和氮化硅可以与大约1.36 μm 的浮雕深度关联,且硅可以与大约0.54 μm 的浮雕深度关联。在一些实施方式中,氢化作用可以用于改善涂层材料的光学性能。例如,氢化硅可以用于硅层225。以此方式,氢化作用可以用于减小硅的吸收限,以用于800nm到1000nm的波长,并减小DOE的期望浮雕深度,以改善制造(例如增加质量和/或产量)。在一些实施方式中,氦可以用在沉积腔室中,以形成低吸收涂层(例如小于临界吸收量)。在一些实施方式中,碳化硅可以用于大约2.7的折射率,以用于可见光波长和/或类似波长,例如用于相机的DOE镜头。

[0034] 如上所述,图2A和2B是仅作为例子提供的。其他例子也是可以的,且可以与针对图2A和2B所述的有所不同。

[0035] 图3A和3B是DOE 300和300'的示例性实施方式的图解。如图3A所示,DOE 300包括基体305、抗反射涂层310、一组硅层315-1到315-4、和一组二氧化硅层320-1到320-3。

[0036] 进一步如图3A所示,且通过附图标记325,二氧化硅层320-1和320-2可以是用于实现蚀刻的蚀刻停止层,以针对层量K更准确地形成 $2\pi(K-1)/K$ 的相位延迟。例如,可以执行蚀刻过程,使得未蚀刻堆叠结构330保持未蚀刻,而已蚀刻堆叠结构335-1和335-2被分别蚀刻到浮雕深度340-1和340-2。浮雕深度340-1可以在已蚀刻堆叠结构335-1和未蚀刻堆叠结构330之间提供 $2\pi(K-1)/K$ 的相位延迟。浮雕深度340-2可以在已蚀刻堆叠结构335-2和未蚀刻堆叠结构330之间提供0到 $2\pi/K$ 的相位延迟。在一些实施方式中,可以执行使用多个工具的多个蚀刻过程以对DOE 300进行蚀刻。例如,可以使用多个二氧化硅蚀刻工具、多个硅蚀刻工具、多种蚀刻技术(例如深反应离子(DRIE)蚀刻工具技术、反应离子蚀刻(RIE)工具技术、溅射蚀刻工具技术和/或类似技术)和/或类似手段来制造DOE 300。

[0037] 在一些实施方式中,DOE 300的层可以形成一组抗反射结构。例如,层320-1和315-1可以形成用于特定波长范围(例如入射光的波长)的第一抗反射结构,层315-2和320-2可以形成用于特定波长范围的第二抗反射结构,且层315-3和320-3可以形成用于特定波长范围的第三抗反射结构,由此形成三层浮雕轮廓,其具有内置到DOE 300的每一个已蚀刻堆叠结构且内置到未蚀刻堆叠结构330的抗反射结构。因而,DOE 300可以在顶表面上不要求额外抗反射涂层或结构。

[0038] 在本文所述的一些实施方式中,第二抗反射结构可以形成在第一抗反射结构上,且第一抗反射结构的邻近表面(例如层320-1的顶表面)可以是用于蚀刻的蚀刻停止层,以形成已蚀刻堆叠结构335-1。类似地,第三抗反射结构可以形成在第二抗反射结构上,且在形成已蚀刻堆叠结构335-2时,第二抗反射结构的邻近表面(例如层320-2的顶表面)可以是蚀刻停止层。

[0039] 在一些实施方式中,至少一个层(例如层315-4和/或类似层)可以在一组抗反射结构之间(例如在第一抗反射结构和第二抗反射结构之间,在第二抗反射结构和第三抗反射结构之间,和/或类似情况)。以此方式,可以执行对浮雕深度340-1和/或340-2的改变,以改变DOE 300的特征,而不改变DOE 300的透射特点。在一些实施方式中,第一抗反射结构、第二抗反射结构、和/或第三抗反射结构可以不被层所分离。

[0040] 在一些实施方式中,每一个层可以与特定厚度关联。例如,特定厚度可以对应于一光波长,针对该光波长需造成特定相位延迟且DOE 300应是能透射的(例如大于透射率的临界百分比,例如大于99%,大于98%,大于97%,大于95%,大于90%,和/或类似范围)。在一些实施方式中,DOE 300可以与特定间距345(有时称为区段) d_x 关联,其可以对应于一光波长,针对该光波长需造成特定相位延迟且DOE 300应是能透射的。在一些实施方式中,覆盖层可以形成在第七层上(例如另一二氧化硅层),这可以改善包括DOE 300的晶圆切割期间的稳健性。

[0041] 在一些实施方式中,DOE 300的层厚、间距345的尺寸、抗反射结构的折射率和/或其层和/或类似结构可以被选择为在特定波长下造成特定相位延迟(例如 $2\pi(K-1)/K$ 的相位延迟),抗反射结构针对该特定波长提供抗反射功能。例如,对于940nm的三层薄膜DOE,第一抗反射结构可以与特定量的第一折射率关联,第二抗反射结构可以与3.4的第二折射率关联,第三抗反射结构可以与2.81的第三折射率关联。在一些实施方式中,特定波长可以包括大约1530nm到1570nm、930nm到950nm和/或类似范围的波长范围。如附图标记350所示,基于被引导到基体305的第一侧的入射光,通过DOE 300提供一组强度级(例如强度级-2、-1、0、1、2等)。在一些实施方式中,DOE 300可以提供大于50个的强度级、大于100个的强度级、大于200个的强度级、大于300个的强度级、大于350个的强度级、大于500个的强度级和/或类似强度级。

[0042] 如图3B所示,DOE 300' 包括形成在基体305的第一侧上的第一衍射(透射)光学元件和形成在基体305的第二侧上的第二衍射(透射)光学元件。每一个衍射光学元件包括一组硅层315-1到315-4和一组二氧化硅层320-1到320-3。如附图标记355-1和355-2所示,基于被朝向DOE 300' 引导的入射光,第二衍射光学元件使得第一组强度级被引导通过基体305并达到第一衍射光学元件,该第一衍射光学元件使得从DOE 300' 能提供第二组强度级。以此方式,基体305保持第一衍射光学元件和第二衍射光学元件对准,由此相对于其他技术(例如自由空间光系统或使用取放机器以独立地对准两个分离的DOE),能降低保持对准的难度。而且,基于将DOE设置在基体的两侧上,可以针对DOE让机械应力的量平衡,由此改善耐久性、增加DOE在工作温度范围内的平坦性、减少DOE的翘曲或弓起和/或类似效果。

[0043] 虽然针对特定量的层(例如7层)描述了本文所述的一些实施方式,但是其他量的层也是可以的,例如8层(例如8个交替的硅/二氧化硅层)、9层、10层、20层、和/或类似量。

[0044] 如上所述,图3A和3B是仅作为例子提供的。其他例子也是可以的,且可以与针对图

3A和3B所述的有所不同。

[0045] 图4是用于制造DOE的示例性过程400的流程图。针对图5A-5E和图6A-6G更详细地显示了过程400的一些制造步骤的例子。

[0046] 如图4所示,过程400可以包括在基体上沉积一组层(图块410)。例如,在制造期间,沉积过程可以用于在基体上沉积该一组层。在一些实施方式中,一组或多组层可以是使用薄膜沉积过程沉积的薄膜,例如使用脉冲磁控管溅射系统的溅射沉积过程。在一些实施方式中,该一组层可以是一组硅层、一组二氧化硅层、和/或类似层。在一些实施方式中,该一组层可以按临界公差沉积在基体上。例如,该一组层可以在规定厚度的2%以内、规定厚度的1%以内、规定厚度的0.5%以内、规定厚度的0.25%以内、规定厚度的0.1%以内、规定厚度的0.01%以内和/或类似范围内沉积。以此方式,可以沉积出用于针对特定波长形成第一抗反射结构、针对该特定波长形成第二抗反射结构...和针对该特定波长形成第n抗反射结构的层。在一些实施方式中,在沉积薄膜涂层时的高厚度准确性可以改善DOE的浮雕深度(一个或多个)的准确性。

[0047] 在一些实施方式中,基体可以是玻璃基体、熔融石英基体、特定波长的入射光可穿透的基体和/或类似基体。在一些实施方式中,该一组层可以包括多组硅和二氧化硅层。例如,对于4层DOE,第一组硅和二氧化硅层可以沉积在基体上,第二组硅和二氧化硅层可以沉积在第一组上,第三组硅和二氧化硅层可以沉积在第二组上,且第四组硅和二氧化硅层可以沉积在第三组上。在这种情况下,另一硅层可以沉积在第四组上,且三个掩膜层组成的一组可以沉积在其他硅层上,如本文详细描述,以实现蚀刻和掩膜去除,以形成4层DOE。在一些实施方式中,其他的DOE层量也是可以的,例如2层DOE、3层DOE、5层DOE、6层DOE、和/或类似量。

[0048] 在一些实施方式中,可以使用该一组层形成抗反射涂层。例如,抗反射涂层可以是DOE抗反射涂层,以让基体和DOE应力平衡,由此在运行温度范围内减少基体翘曲。另外或替换地,抗反射层可以沉积在基体的后侧上(且形成DOE的层可以沉积在基体的前侧上)。在一些实施方式中,该一组层可以沉积在基体的多侧上。例如,该一组层可以沉积,以在基体的第一侧和基体的第二侧上形成抗反射结构,这可实现对多个DOE进行支撑的基体。在一些实施方式中,另一组材料可以用于层中的至少一个,例如基于氢化硅的材料、基于五氧化二钽的材料、基于氮化硅的材料和/或类似材料。

[0049] 进一步如图4所示,过程400可以包括在该一组层的表面上沉积一组掩膜(图块420)。例如,在制造期间,沉积过程可以用于在该一组层的表面上沉积该一组掩膜。在一些实施方式中,可以沉积多个掩膜。例如,为了形成4层DOE,第一掩膜可以沉积在该一组层的顶层的一部分上,第二掩膜可以沉积在顶层的一部分上和第一掩膜上,第三掩膜可以沉积在顶层的一部分上和第二掩膜上。在这种情况下,掩膜的构图(例如被每一个掩膜覆盖的顶层的一部分)可以被选择为在蚀刻和掩膜去除期间形成4层DOE。

[0050] 在一些实施方式中,用于掩膜的材料可以被选择为使得掩膜与对硅蚀刻和/或二氧化硅蚀刻的临界抵抗性或临界选择性关联。在一些实施方式中,可以使用多种材料形成掩膜。例如,第一掩膜可以是铝掩膜且第二掩膜可以是光致抗蚀剂掩膜。以此方式,掩膜可以配置为使得第一掩膜的去除不会造成第二掩膜的去除,由此实现DOE的形成。以此方式,相对于其他技术(例如在一个或多个蚀刻步骤之后在DOE的已蚀刻层上沉积掩膜层),基于

在蚀刻之前沉积多个掩膜,制造准确性得以改善,可制造性得以改善,且对准公差得以改善

[0051] 进一步如图4所示,过程400可以包括蚀刻该一组层(图块430),和去除该一组掩膜中的一个掩膜(图块440)。例如,在制造期间,可以执行蚀刻过程和掩膜去除过程,以形成DOE。在这种情况下,蚀刻过程可以包括多个蚀刻步骤,且掩膜去除过程可以包括多个掩膜去除步骤。例如,对于4层DOE,可以执行第一蚀刻步骤,可以执行第一掩膜去除步骤,可以执行第二蚀刻步骤,可以执行第二掩膜去除步骤,可以执行第三蚀刻步骤,且可以执行第三掩膜去除步骤,如本文详细描述。在一些实施方式中,可以针对多种不同材料的掩膜执行多种不同类型的掩膜去除步骤。例如,可以执行铝掩膜去除步骤,以去除第一铝掩膜,且可以执行光致抗蚀剂掩膜去除步骤,以去除第二光致抗蚀剂掩膜。在一些实施方式中,可以执行蚀刻步骤,以去除该一组层中的子组层。例如,基于被配置为蚀刻停止层的二氧化硅层,单个蚀刻步骤可以包括二氧化硅蚀刻,以去除第一二氧化硅层,随后进行硅蚀刻以去除第一硅层,使得设置在第一硅层下方的第二二氧化硅层让硅蚀刻停止,以维持第二二氧化硅层和/或设置在第二二氧化硅层下方的第二硅层。以此方式,可以针对DOE形成一组抗反射结构。

[0052] 进一步如图4所示,过程400可以包括执行晶圆终加工(图块450)。例如,DOE可以经测试,DOE可以被切割成多个离散的DOE(例如在其上构图出多个DOE的晶圆可以被切割成多个离散的DOE),且DOE可以被封装以包含在光学装置中。在一些实施方式中,晶圆可以被切割以形成多个200毫米(mm)×0.725mm的晶圆。

[0053] 虽然图4显示了过程400的示例性图块,但是在一些实施方式中,与图4所示的图块相比,过程400可以包括额外的图块、更少的图块、不同的图块或不同布置的图块。另外或替换地,过程400中的两个或更多图块可以并行执行。

[0054] 图5A-5E是与图4所示的示例性过程400关联的示例性实施方式500的图解。如所示的,图5A-5E显示了如上针对图块430和440所述的蚀刻一组层和从该一组层去除一组掩膜的例子。

[0055] 如图5A所示,且从参考线502到参考线508,示例性实施方式500可以包括一组层512到528。该一组层512到528可以是平面的且未经蚀刻的。例如,示例性实施方式500可以包括基体层514。一组交替的硅层516、520、524、528和二氧化硅层518、522、526被沉积在基体层514的一个表面上。可选抗反射涂层或结构512设置在基体层514的相反表面上。

[0056] 如针对图5A进一步所示的,在硅层528的一些部分上可以沉积并构图出掩膜层536和538,使得掩膜层536和538覆盖硅层528的一些部分。用于每一个掩膜的材料可以是不同的,使得掩膜538的去除不影响掩膜536的图案。掩膜层536被沉积以覆盖参考线506和508之间的硅层528,以在蚀刻期间保护该一组层512-528,由此实施蚀刻以在参考线506和508之间形成第三抗反射结构。掩膜层538被沉积以覆盖参考线504和参考线506之间的硅层528,以在蚀刻期间保护该一组层512到528,由此实施蚀刻以在参考线504和506之间形成第二抗反射结构。掩膜层536和538不覆盖参考线502和504之间的硅层528,使得在蚀刻期间该一组层512到528无保护,由此实施蚀刻以在参考线502和504之间形成第一抗反射结构,如本文详细描述。

[0057] 如图5B所示,可以执行蚀刻过程的第一蚀刻步骤以去除硅层528、二氧化硅层526和硅层524的未被掩膜层538覆盖的部分(例如在参考线502和504之间)。在这种情况下,二

氧化硅层522可以针对第一蚀刻步骤执行蚀刻停止功能。

[0058] 如图5C所示,可以执行掩膜去除过程的第一掩膜去除步骤,以去除掩膜层538,由此露出硅层528的一部分(例如在参考线504和506之间)和掩膜层536的一部分(例如在参考线506和508之间)。

[0059] 如图5D所示,可以执行蚀刻过程的第二蚀刻步骤,以去除参考线502和504之间的二氧化硅层522和硅层520,且去除参考线504和506之间的硅层528、二氧化硅层526和硅层524。在这种情况下,二氧化硅层518可以在参考线502和504之间针对第二蚀刻步骤执行蚀刻停止功能,且二氧化硅层522可以在参考线504和506之间针对第二蚀刻步骤执行蚀刻停止功能。

[0060] 如图5E所示,可以执行掩膜去除过程的第二掩膜去除步骤,以去除掩膜层536,由此露出参考线506和508之间的硅层528。以此方式,3层浮雕轮廓可以形成为在参考线502和504之间具有用于特定波长的第一抗反射结构,在参考线504和506之间具有用于特定波长的第二抗反射结构,和在参考线506和508之间具有第三抗反射结构和另一硅层(例如硅层524)。在这种情况下,参考线502和504之间的第一抗反射结构与参考线506和508之间的第三抗反射结构之间的相位延迟可以是 π 相位延迟。

[0061] 如上所述,图5A-5E仅仅是作为例子提供的。其他例子也是可以的,且可以与针对图5A-5E所述的有所不同。

[0062] 图6A-6G是与图4所示的示例性过程400关联的示例性实施方式600的图解。如所示的,图6A-6G显示了如上针对图块430和440所述的蚀刻一组层和从该一组层去除一组掩膜的例子。

[0063] 如图6A所示,从参考线602到参考线610的示例性实施方式600可以包括一组层612到632。该一组层612到632可以是平面的且未经蚀刻的。例如,示例性实施方式600可以包括基体层614。抗反射层612可以沉积在基体层614的第一侧上,且一组交替的硅层616、620,624、628和632和二氧化硅层618、622、626和630可以沉积在基体层614的第二侧上。

[0064] 进一步如图6A所示,沉积并构图出掩膜层634、636和638,以覆盖硅层632的一些部分,以使得蚀刻过程和掩膜去除过程被执行,以在参考线602和610之间形成四个抗反射结构组成的组。用于每一个掩膜634、636、638的材料可以是不同的,使得其中一个的去除不影响其余掩膜(一个或多个)的图案。

[0065] 如图6B所示,可以执行蚀刻过程的第一蚀刻步骤,以去除硅层632、二氧化硅层630和硅层628的未被掩膜层638覆盖的部分(例如在参考线602和604之间)。在这种情况下,二氧化硅层626可以针对第一蚀刻步骤执行蚀刻停止功能。

[0066] 如图6C所示,可以执行掩膜去除过程的第一掩膜去除步骤,以去除掩膜层638,由此露出硅层632的在参考线604和606之间的部分和掩膜层636的在参考线606和610之间的部分。

[0067] 如图6D所示,可以执行蚀刻过程的第二蚀刻步骤,以去除参考线602和604之间的二氧化硅层626和硅层624,且去除参考线604和606之间的硅层632、二氧化硅层630和硅层628。在这种情况下,二氧化硅层622可以在参考线602和604之间针对第二蚀刻步骤执行蚀刻停止功能,且二氧化硅层626可以在参考线604和606之间针对第二蚀刻步骤执行蚀刻停止功能。

[0068] 如图6E所示,可以执行掩膜去除过程的第二掩膜去除步骤,以去除掩膜层636,由此露出在参考线606和608之间的硅层632和掩膜层634的在参考线608和610之间的部分。

[0069] 如图6F所示,可以执行蚀刻过程的第三蚀刻步骤,以去除参考线602和604之间的二氧化硅层622和硅层620;参考线604和606之间的二氧化硅层626和硅层624;和参考线606和608之间的硅层632、二氧化硅层630和硅层628。在这种情况下,二氧化硅层618可以在参考线602和604之间针对第三蚀刻步骤执行蚀刻停止功能,二氧化硅层622可以在参考线604和606之间针对第三蚀刻步骤执行蚀刻停止功能,且二氧化硅层626可以在参考线606和608之间针对第三蚀刻步骤执行蚀刻停止功能。

[0070] 如图6G所示,可以执行掩膜去除过程的第三掩膜去除步骤,以去除掩膜层634,由此露出参考线608和610之间的硅层632。

[0071] 以此方式,4层浮雕轮廓可以形成为在参考线602和604之间具有用于特定波长的第一抗反射结构,在参考线604和606之间具有用于该特定波长的第二抗反射结构,在参考线606和608之间具有用于该特定波长的第三抗反射结构,和在参考线608和610之间具有第四抗反射结构和另一硅层(例如硅层628)。在这种情况下,参考线602和604之间的第一抗反射结构与参考线608和610之间的第四抗反射结构之间的相位延迟可以是 π 相位延迟。

[0072] 如上所述,图6A-6G仅仅是作为例子提供的。其他例子也是可以的,且可以与针对图6A-6G所述的有所不同。

[0073] 以此方式,可以构造并制造具有薄膜堆叠结构的DOE,该薄膜堆叠结构包括蚀刻为多层(例如三层或更多层)浮雕轮廓的交替硅层(例如氢化硅层)和二氧化硅层。而且,DOE的层可以被设计为提供抗反射性能、整合的蚀刻停止性能和/或类似性能。进而,可以使用薄膜沉积过程执行设计,其可以控制零级功率。进而,基于使用薄膜沉积和蚀刻,可以减少制造DOE的制造步骤量,由此相对于用于制造DOE的其他技术减少时间和成本。

[0074] 在例如图5A-5E、6A-6G示出的示例性实施例和/或类似实施例中,已经将浮雕深度和抗反射结构显示为周期性或重复的样式且具有恒定截面,例如在衍射光栅中的情况那样。同样可以想到具有不规则或可变截面的其他非周期性浮雕深度和抗反射结构,例如但不限于,用于图案生成、深度映射点投影和结构光的DOE。

[0075] 前文内容提供了展示和描述,但是目的不是要将实施方式穷尽或限制为所公开的确切形式。可以在上述内容的启发下或从具体实施方式的实施过程中做出改变和修改。

[0076] 本文所述的一些实施方式与临界值有关。如在本文使用的,满足临界值可以是指大于临界值、多于临界值、高于临界值、大于或等于临界值、小于临界值、少于临界值、低于临界值、小于或等于临界值、等于临界值等的情况。

[0077] 即使特征的具体组合记载于权利要求中和/或公开在说明书中,这些组合的目的也不是限制本发明的可能实施方式。事实上,许多这些特征可以以权利要求中未具体记载和/或说明书中未具体公开的各种方式组合。虽然每一个从属权利要求可以直接属于一个权利要求,但是可行实施方式的公开包括与权利要求书中每个其他权利要求组合的每个从属权利要求。

[0078] 本文使用的元件、动作或指令都不应被理解为是关键或必不可少的,除非另有描述。还有,如本文使用的,冠词“一”应是包括一个或多个项目,且可以与“一个或多个”替换使用。进而,如本文使用的,术语“组”应是包括一个或多个项目(例如关联项目,非关联项

目,关联项目和非关联项目的组合等),且可以与“一个或多个”替换使用。在指仅一个项目的情况下,使用术语“一个”或相似用语。还有,如本文使用的,术语“具有”、“包括”、“包含”等应是开放性的术语。进一步地,短语“基于”应是“至少部分地基于”,除非另有说明。

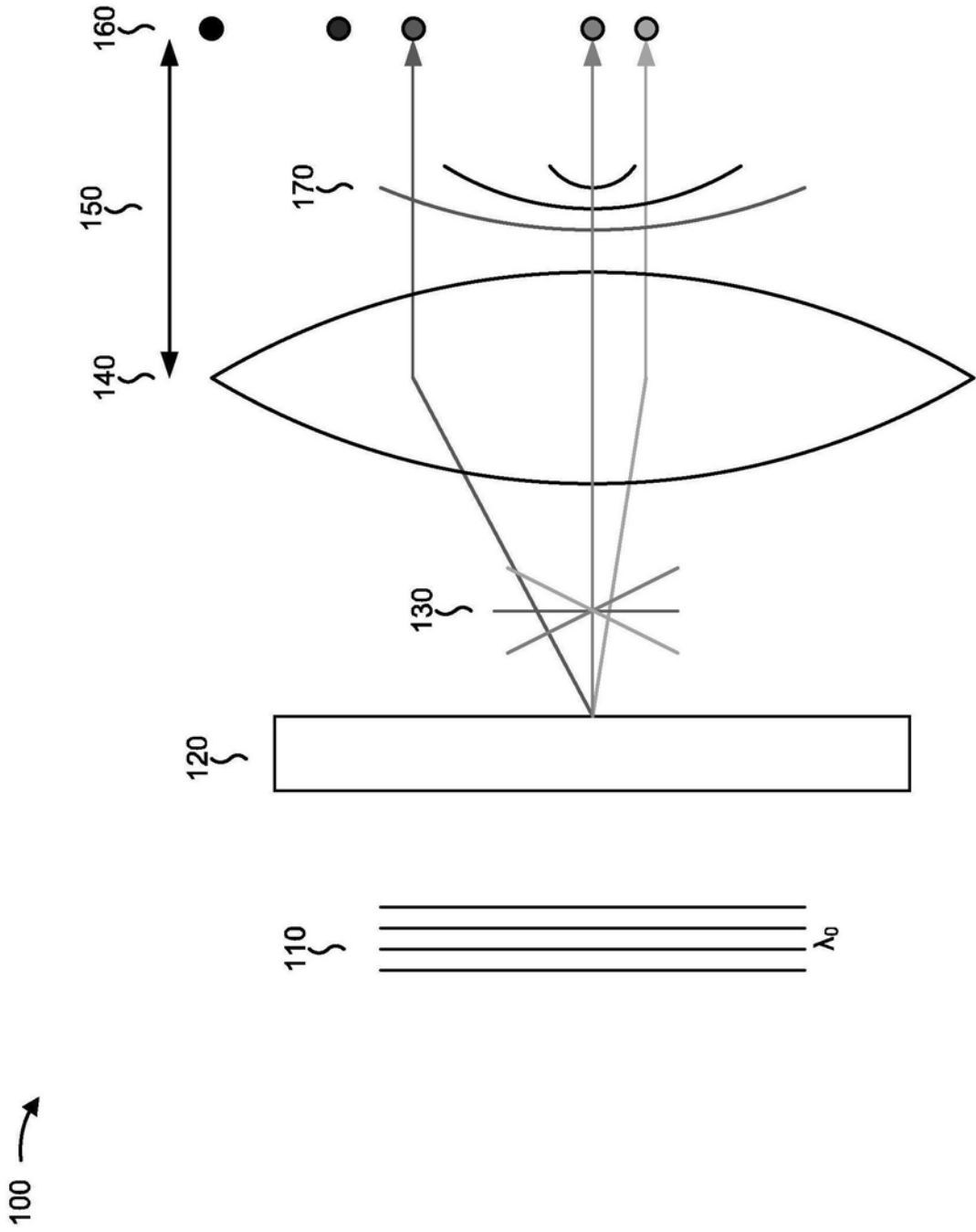


图1

200 →

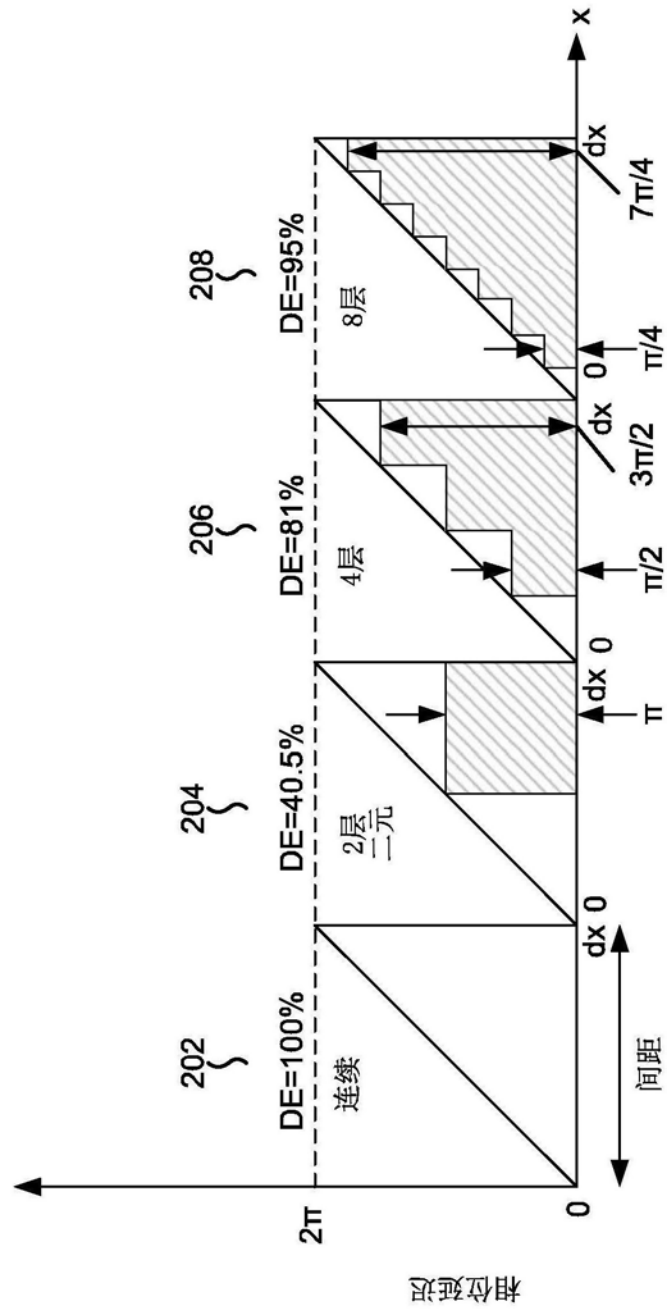


图2A

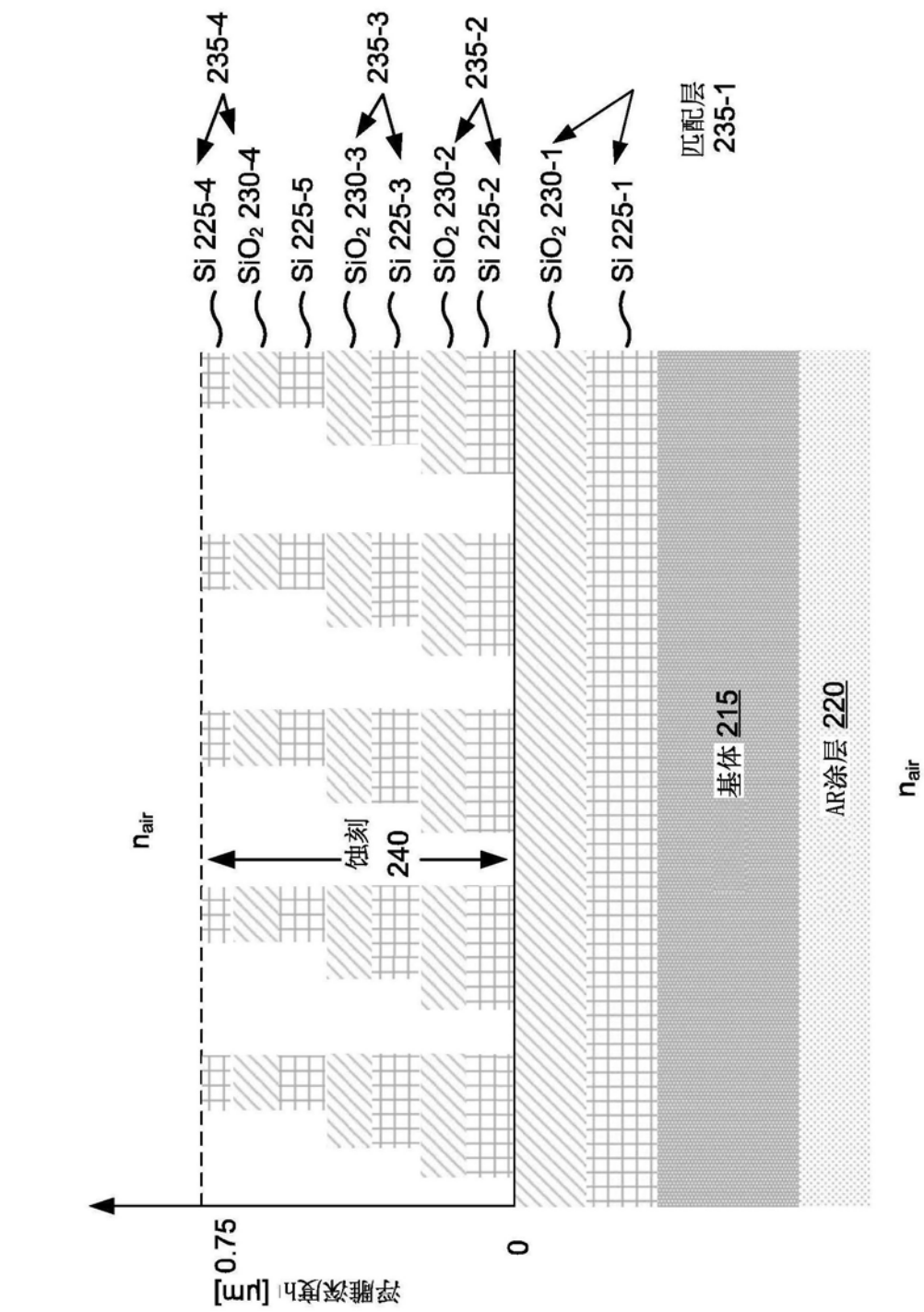


图2B

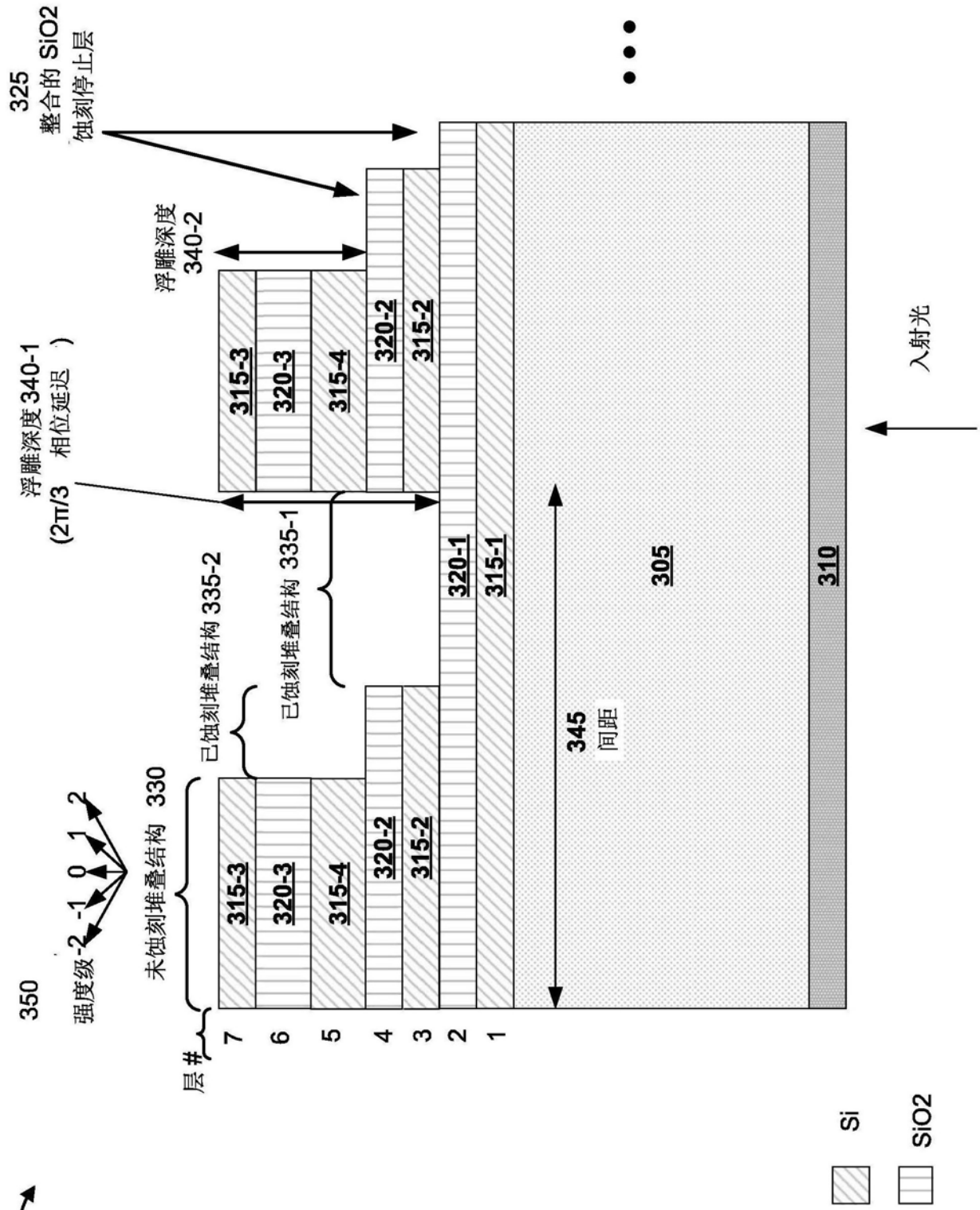


图3A

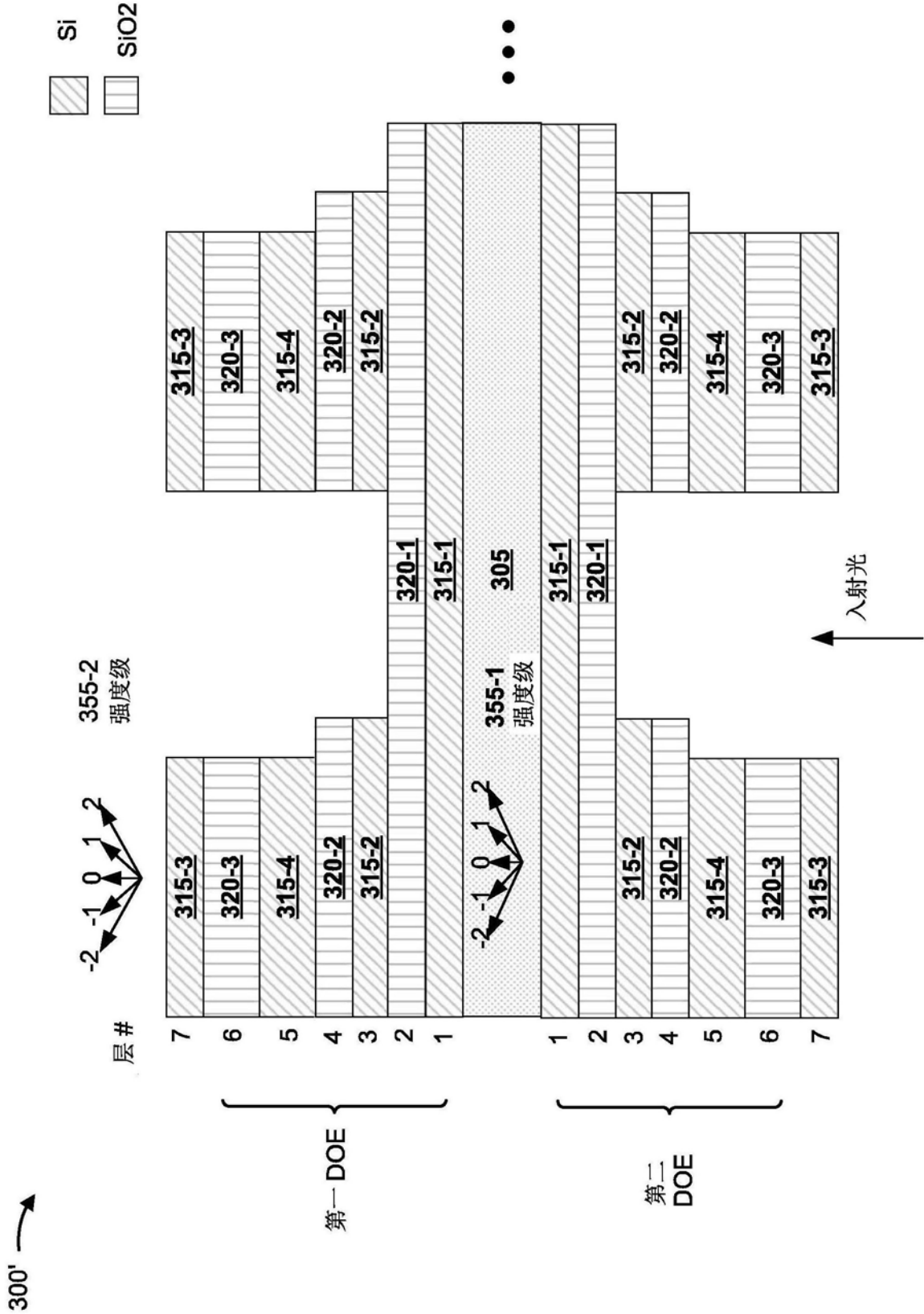


图3B

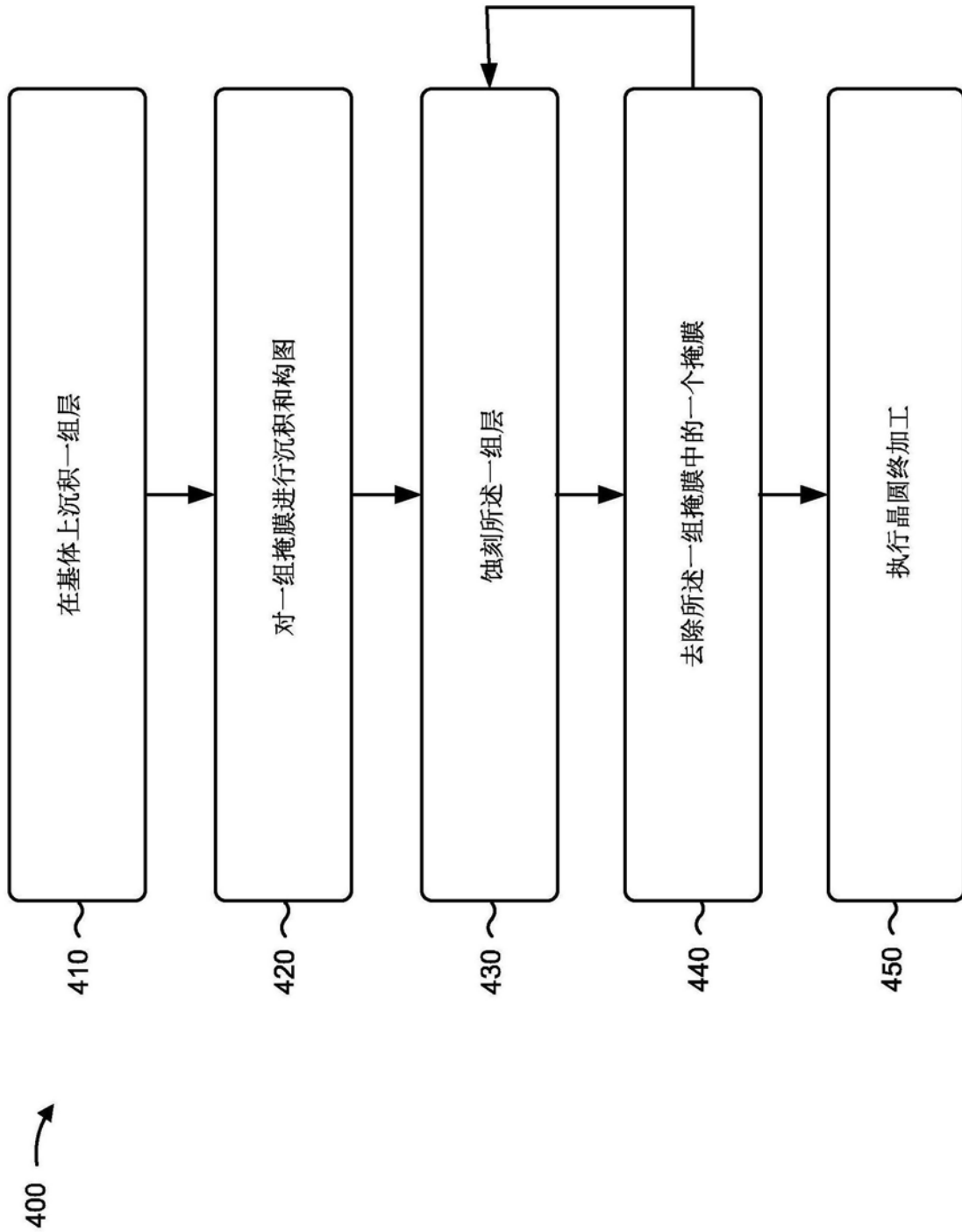


图4

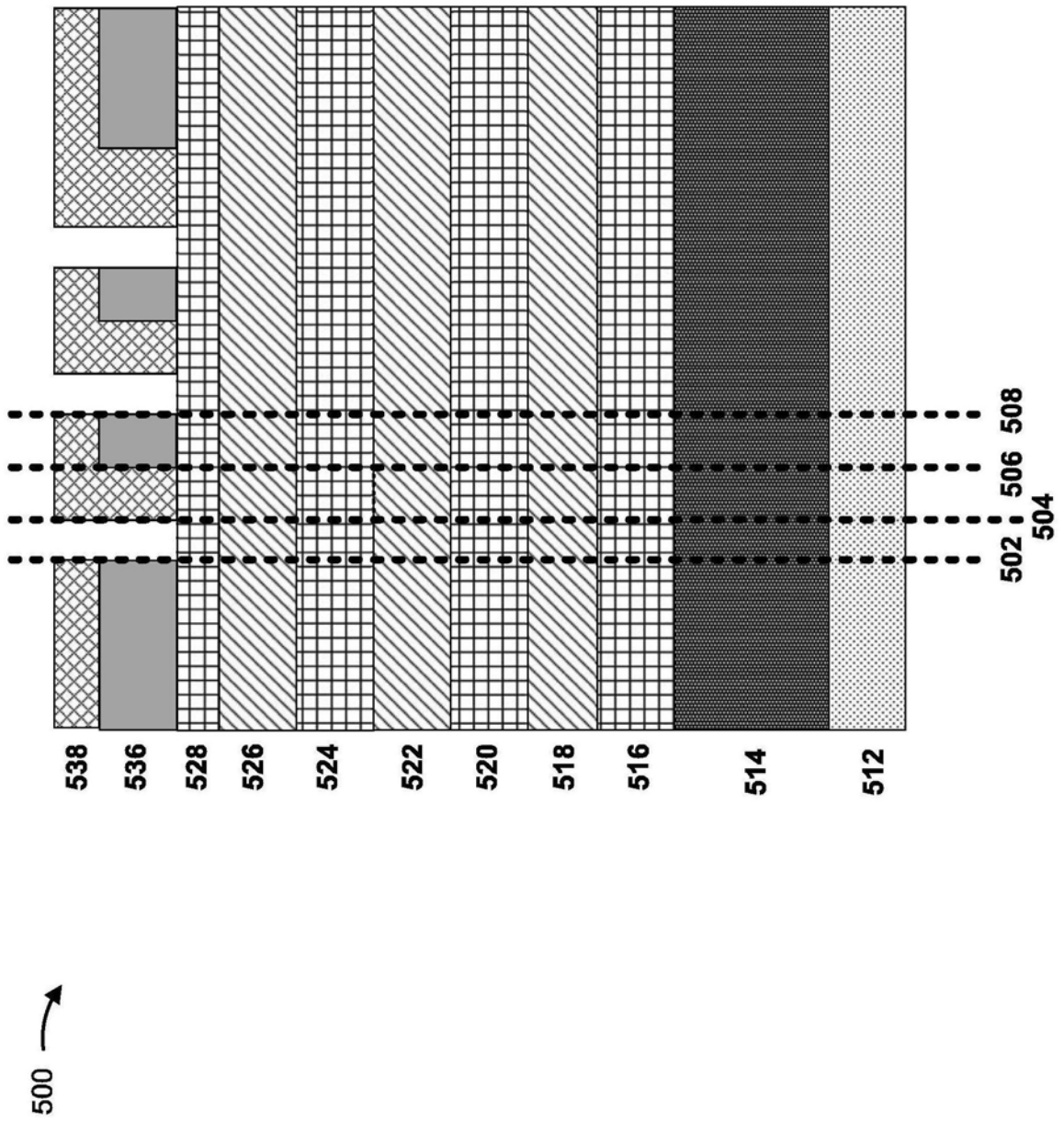


图5A

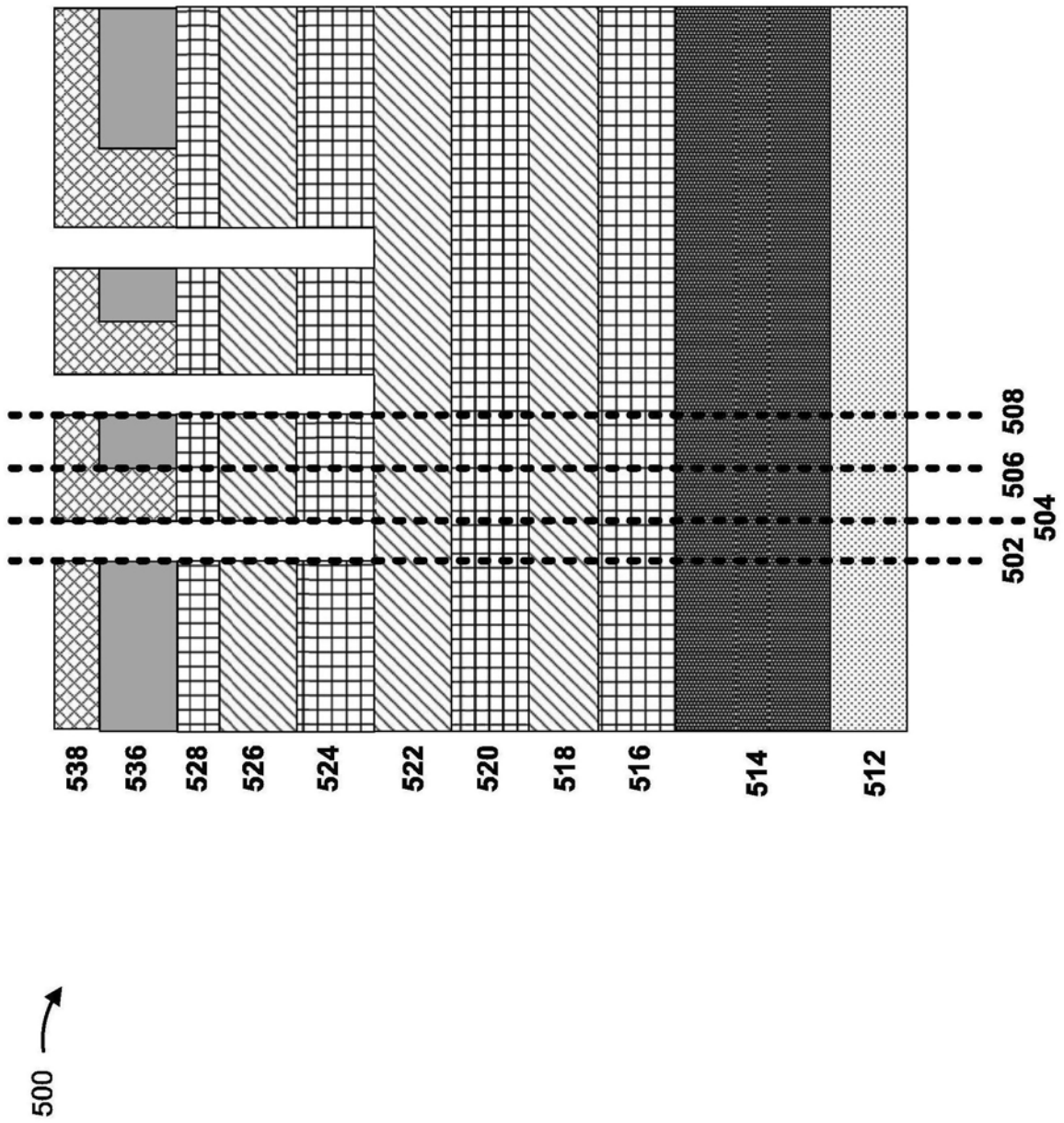


图5B

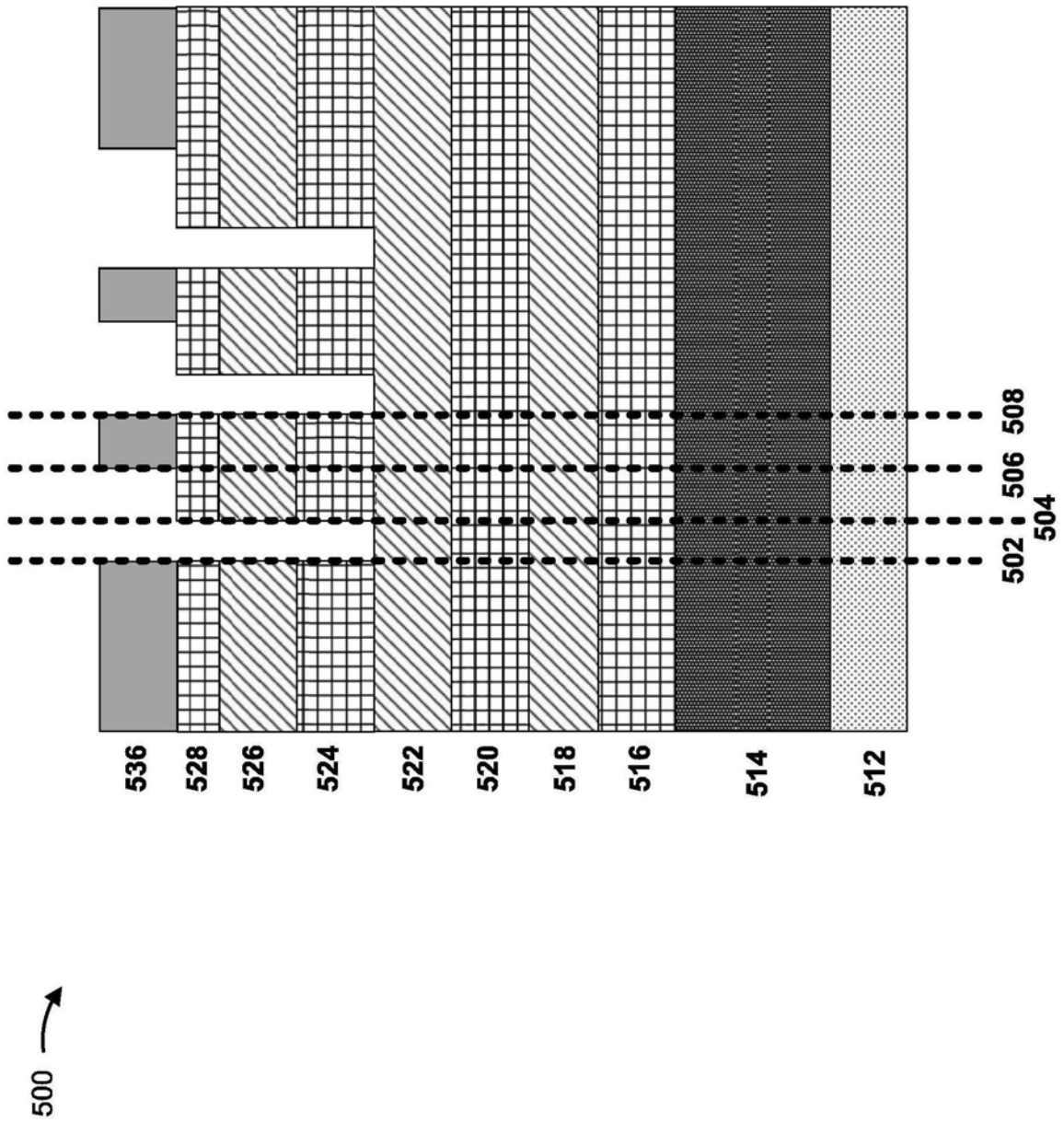


图5C

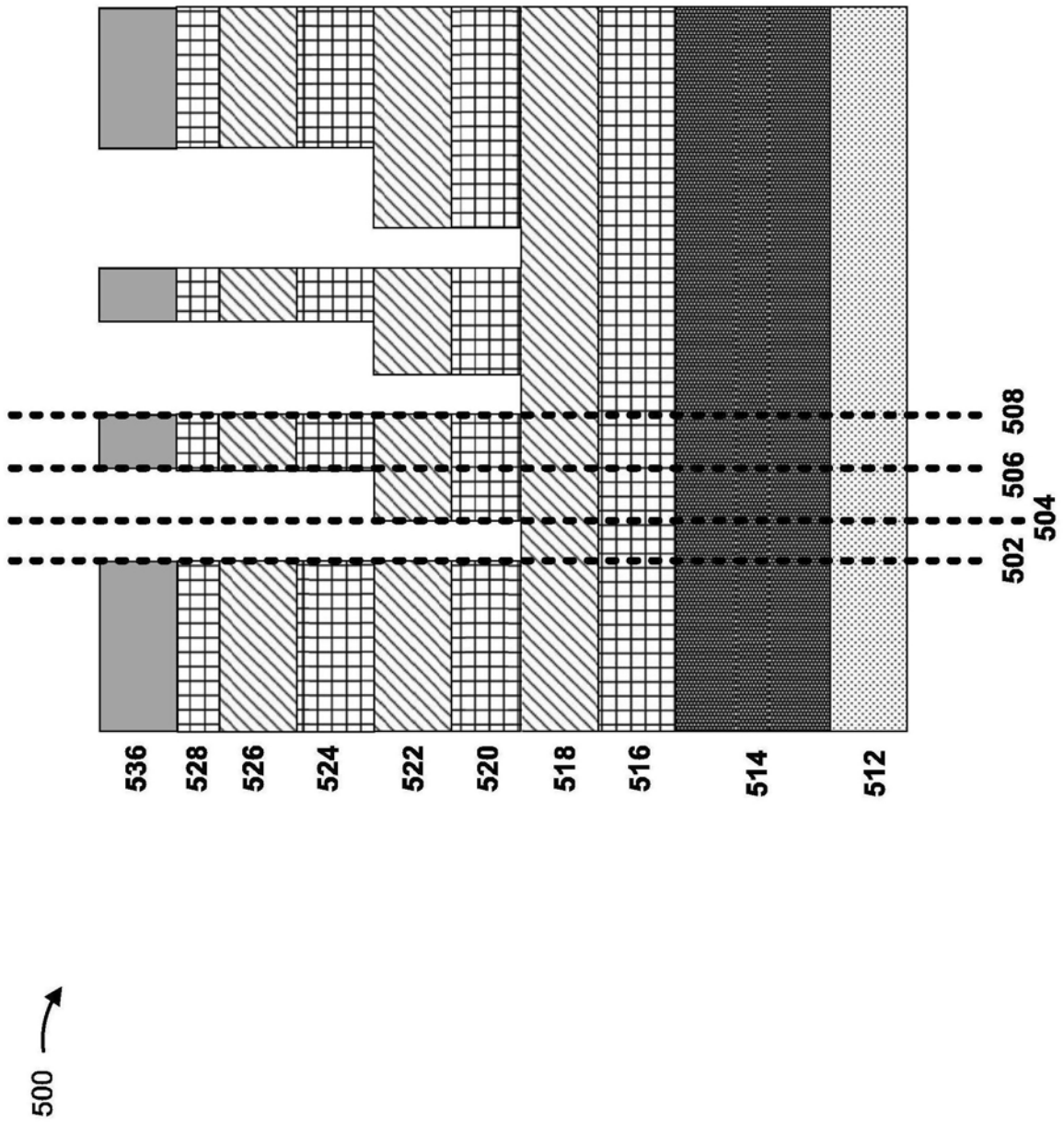


图5D

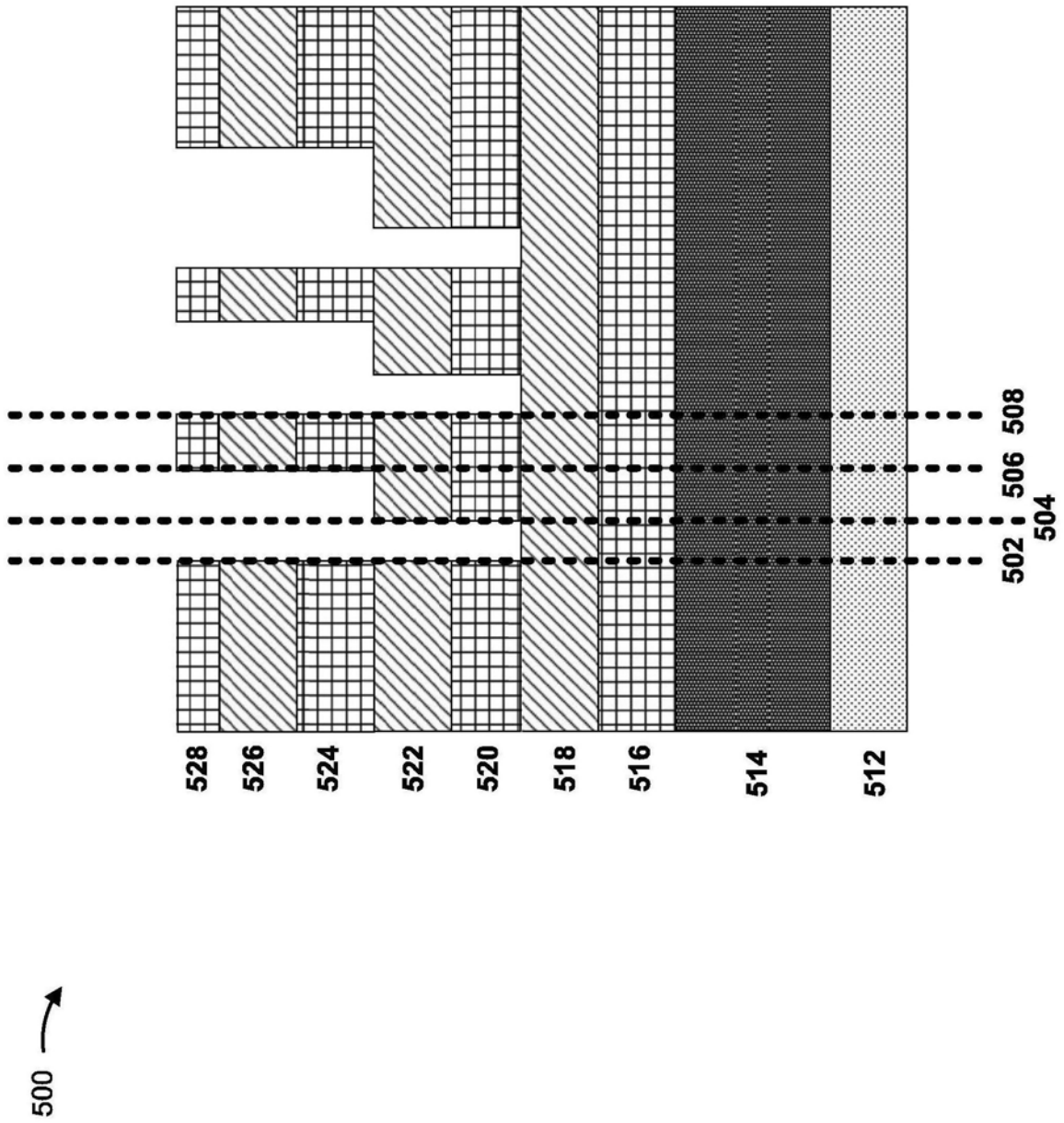


图5E

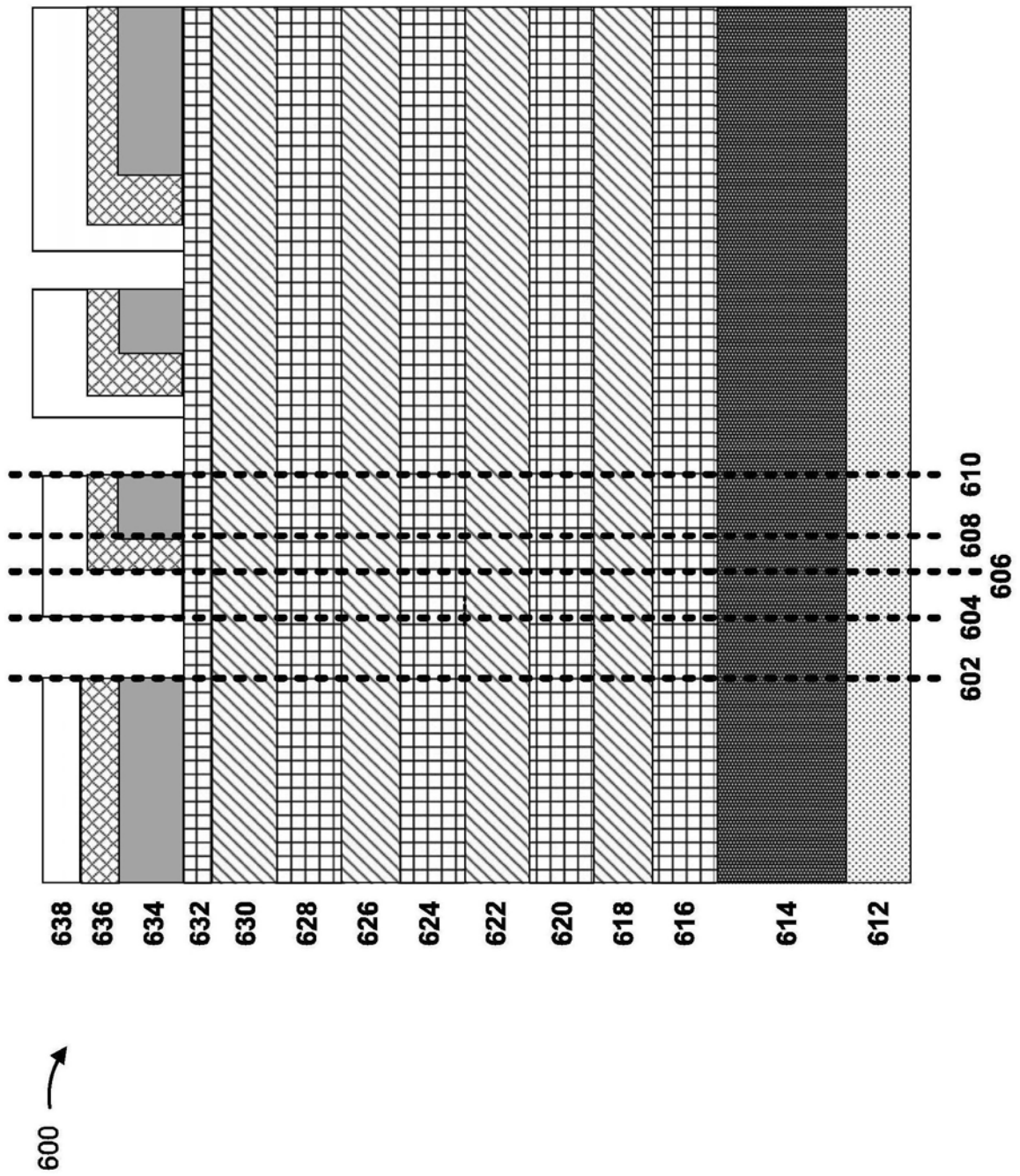


图6A

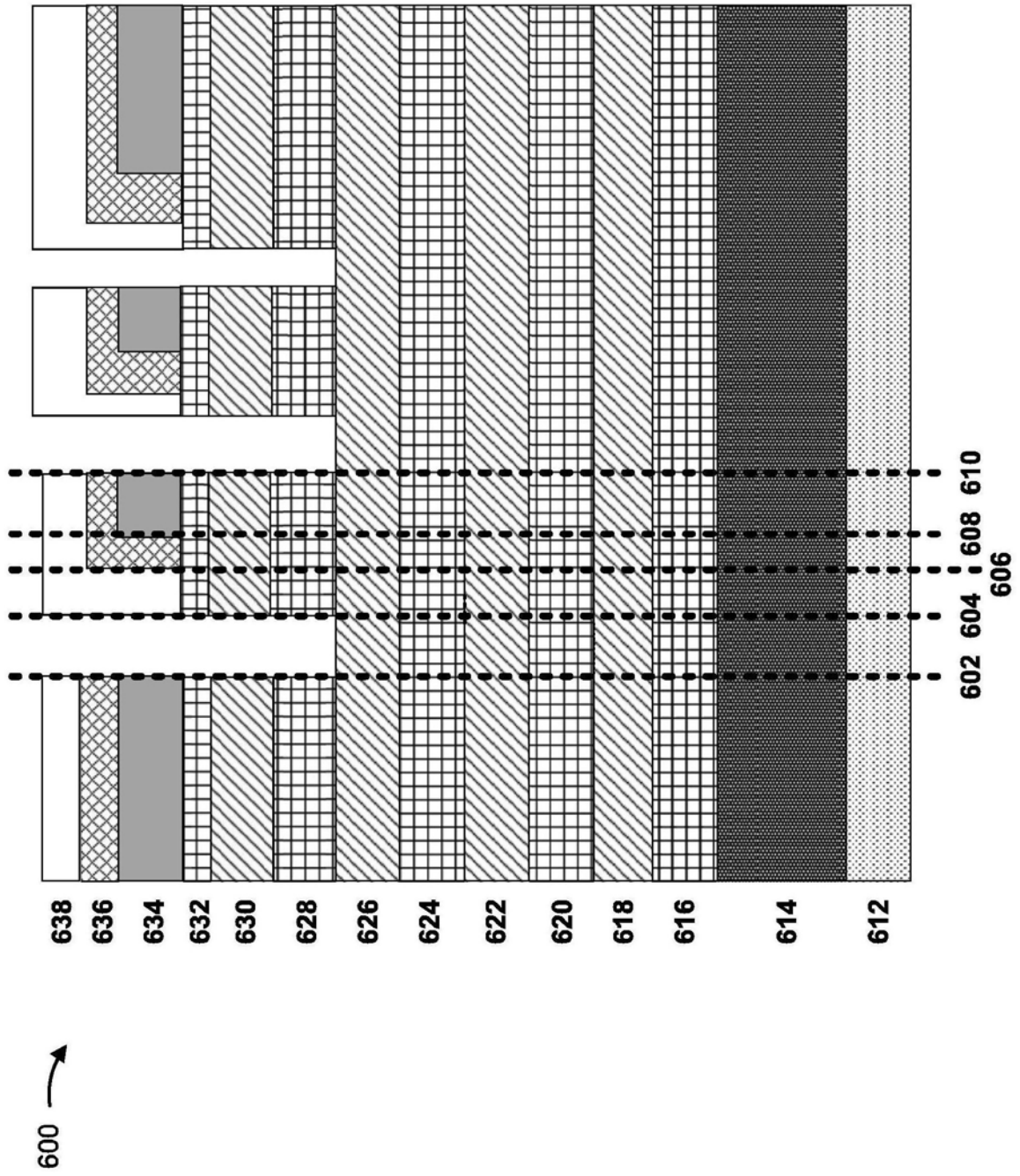


图6B

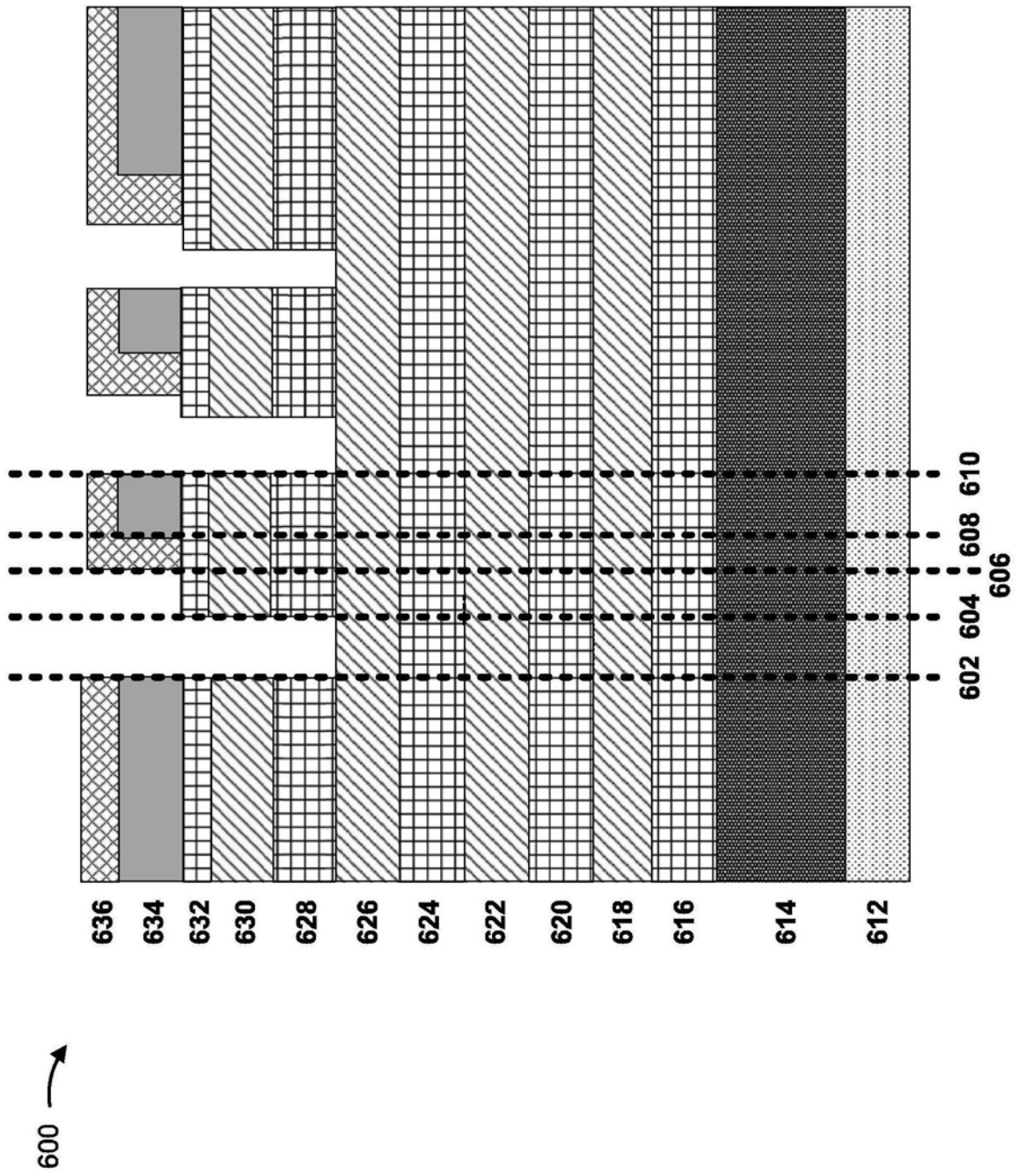


图6C

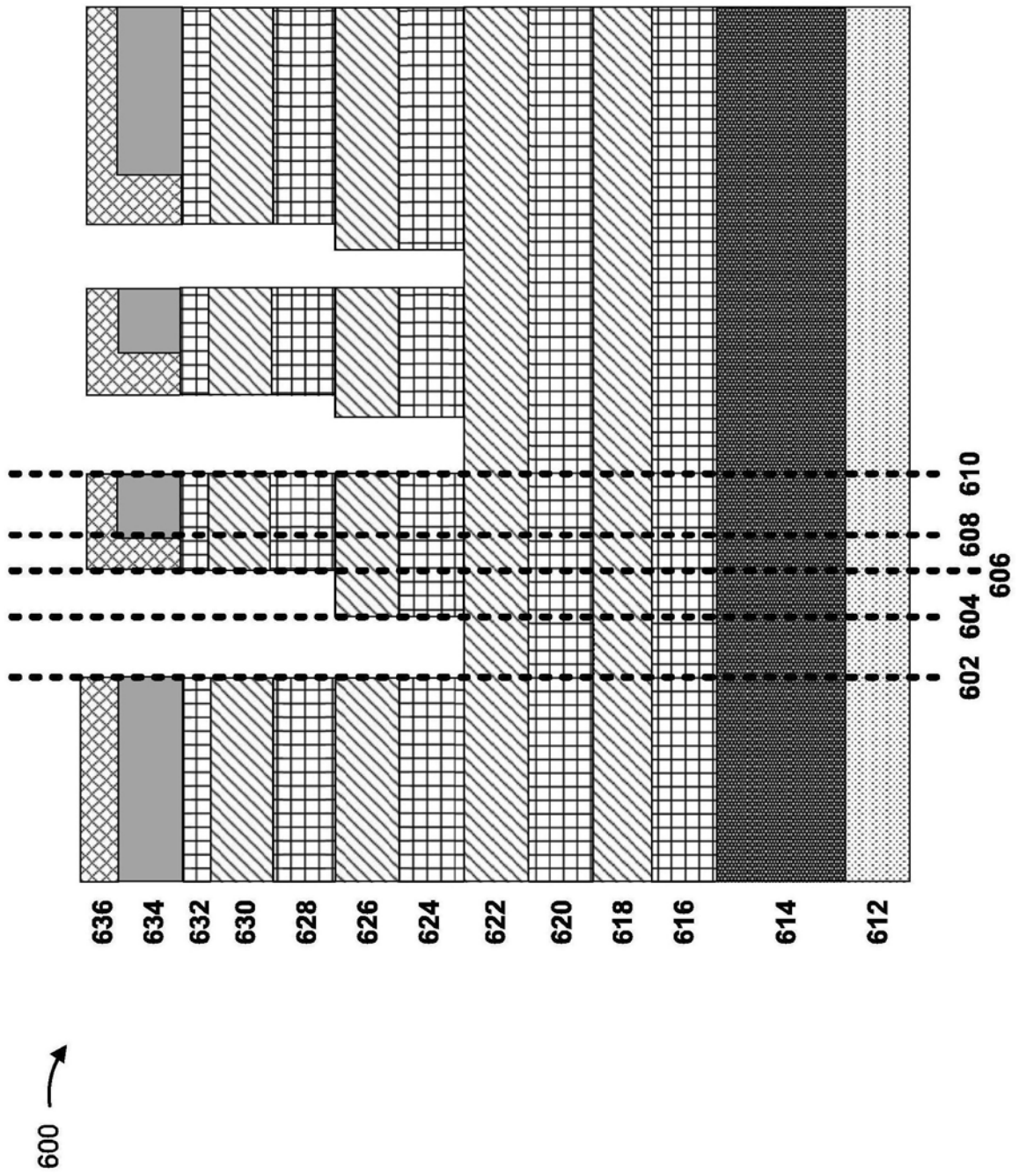


图6D

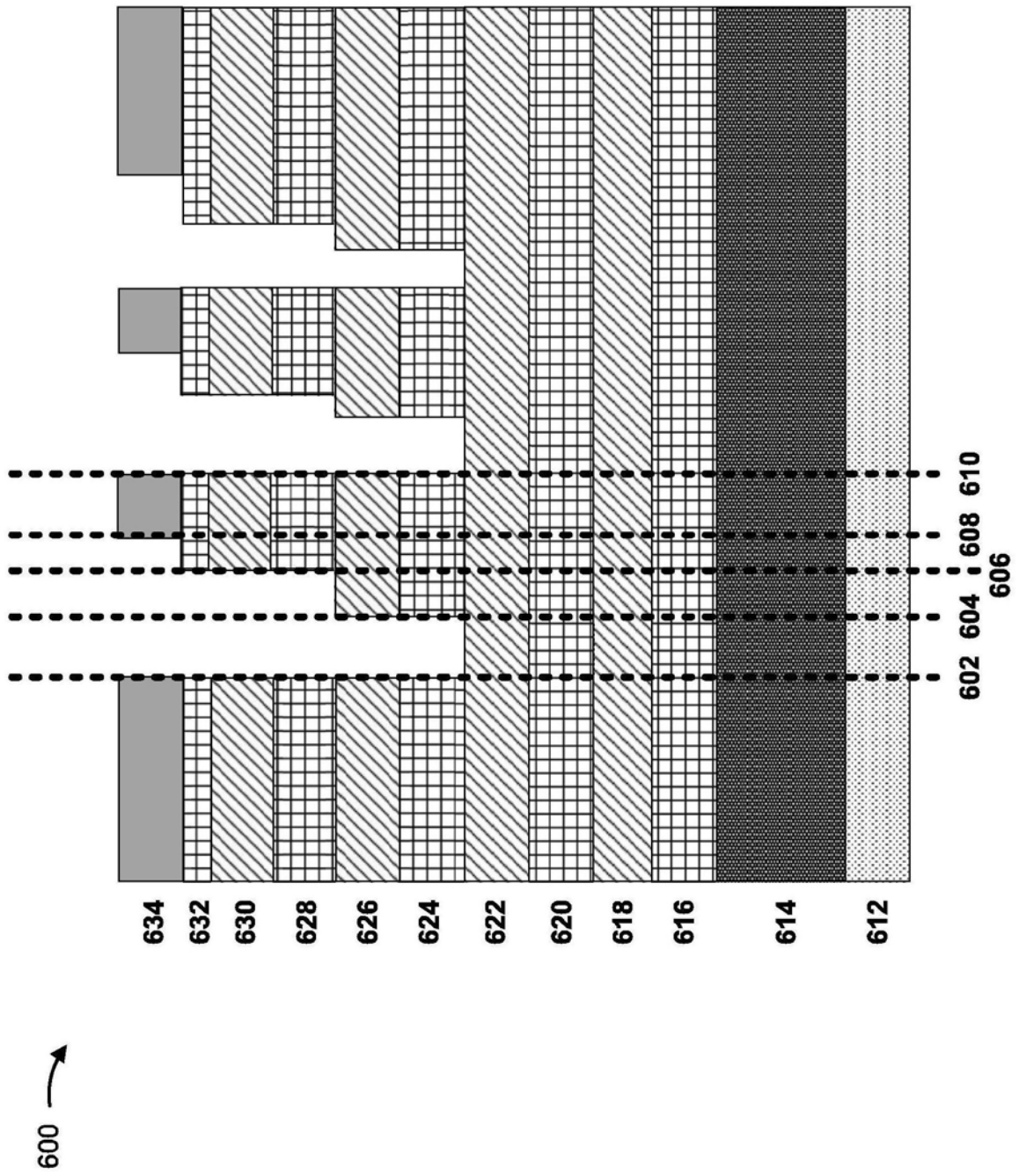


图6E

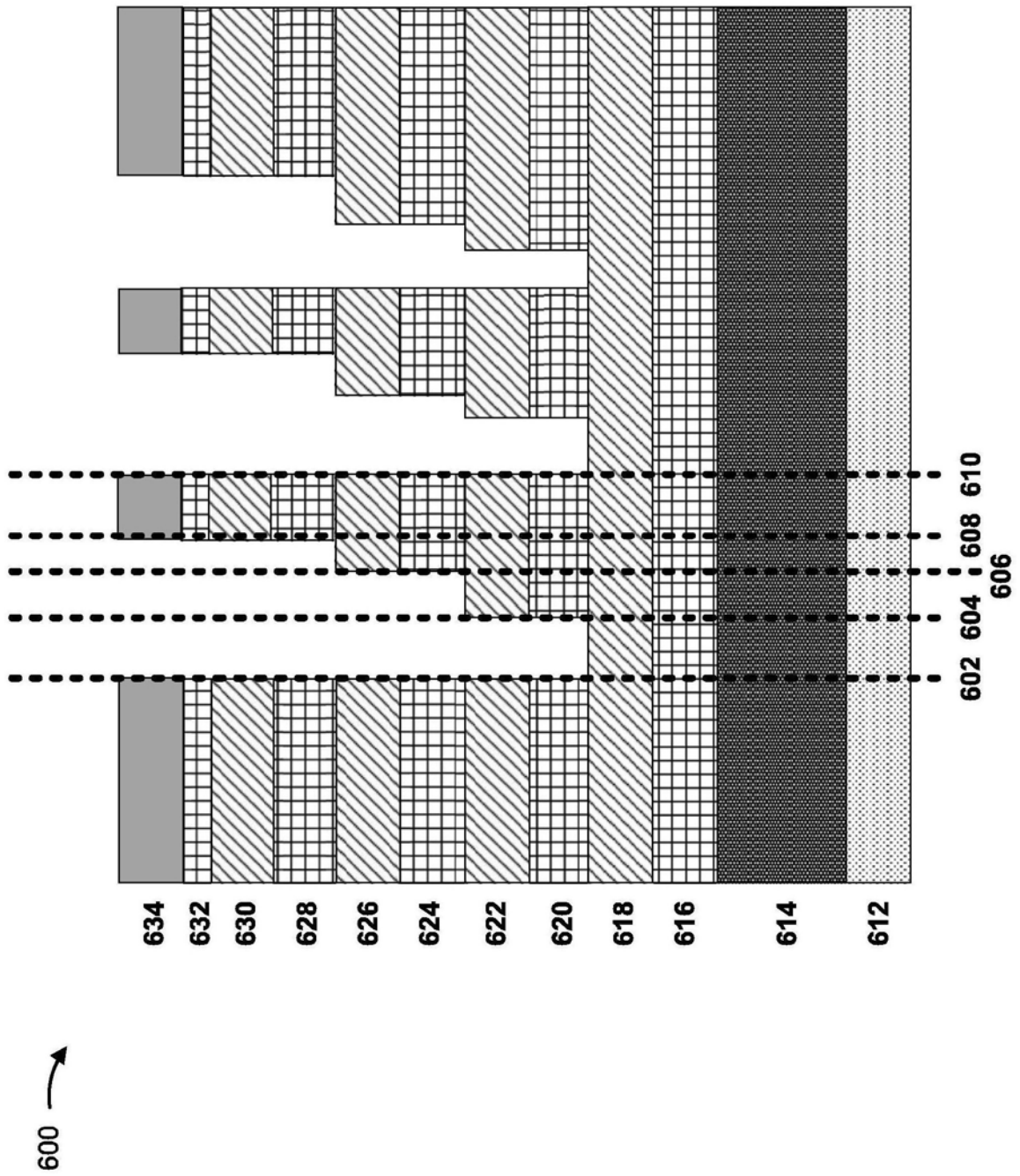


图6F

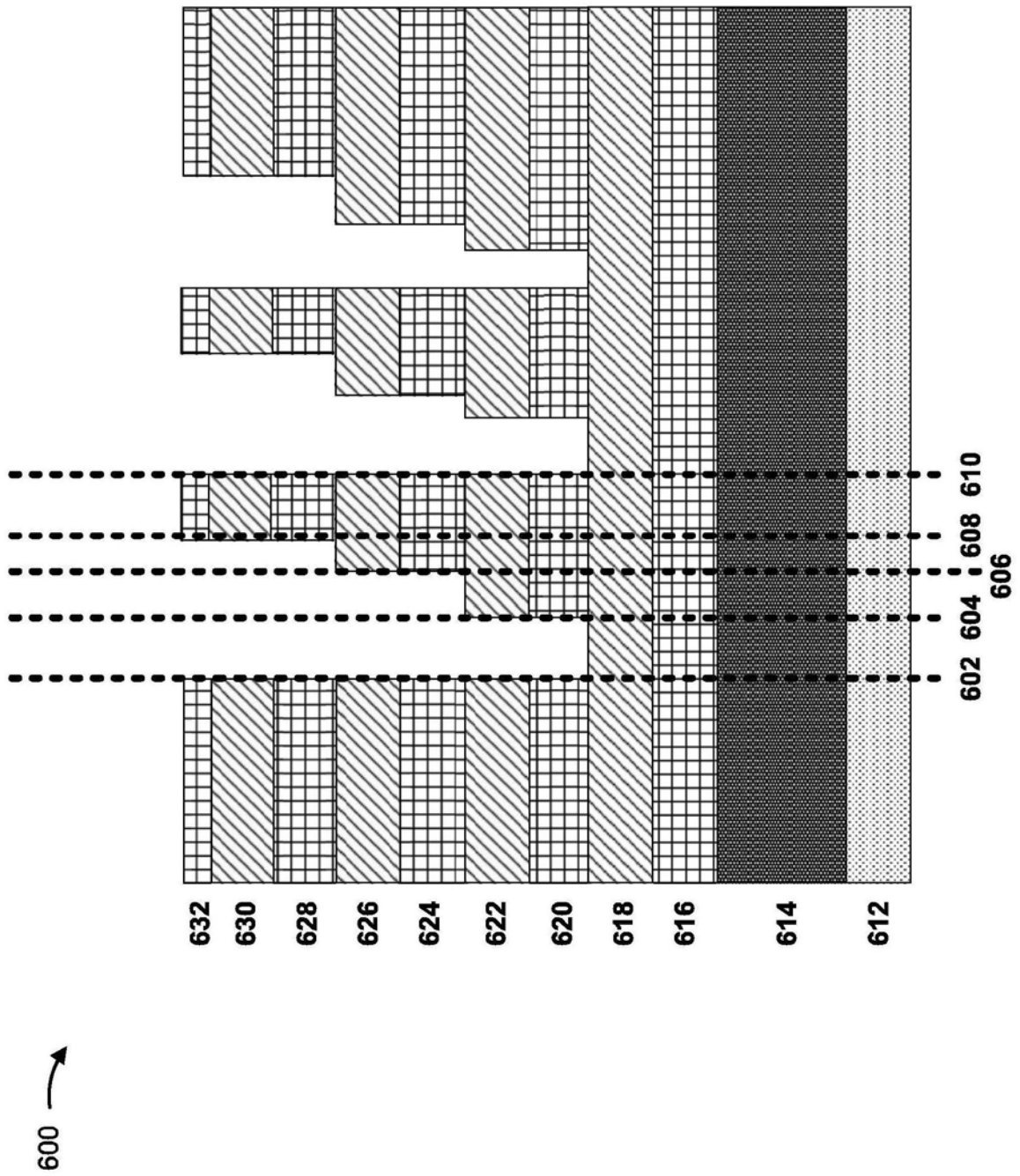


图6G