

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2017-504185

(P2017-504185A)

(43) 公表日 平成29年2月2日(2017.2.2)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 A	5 E 0 0 1
HO 1 L 27/04 (2006.01)	HO 1 L 27/04 C	5 F 0 3 8
HO 1 L 21/82 (2006.01)	HO 1 L 27/04 V	5 F 0 6 4
HO 1 G 4/12 (2006.01)	HO 1 L 27/04 L	
	HO 1 L 21/82 S	
審査請求 未請求 予備審査請求 有 (全 21 頁) 最終頁に続く		

(21) 出願番号 特願2016-532627 (P2016-532627)
(86) (22) 出願日 平成26年7月9日 (2014.7.9)
(85) 翻訳文提出日 平成28年5月19日 (2016.5.19)
(86) 国際出願番号 PCT/US2014/046021
(87) 国際公開番号 W02015/080770
(87) 国際公開日 平成27年6月4日 (2015.6.4)
(31) 優先権主張番号 14/092, 241
(32) 優先日 平成25年11月27日 (2013.11.27)
(33) 優先権主張国 米国 (US)

(71) 出願人 591025439
ザイリンクス インコーポレイテッド
X I L I N X I N C O R P O R A T E D
アメリカ合衆国 カリフォルニア州 95
124-3400 サン ホセ ロジック
ドライブ 2100
(74) 代理人 110001195
特許業務法人深見特許事務所
(72) 発明者 ジン, ジン
アメリカ合衆国、95124 カリフォル
ニア州、サン・ノゼ、ロジック・ドライブ
、2100

最終頁に続く

(54) 【発明の名称】 高品質係数の誘導性および容量性回路構造

(57) 【要約】

回路は、第1のバス配線(110)が第1の複数のフィンガ素子(120)に結合され、第2のバス配線(105)が第2の複数のフィンガ素子(115)に結合される第1のフィンガコンデンサ(100)を含む。第1のバス配線は第2のバス配線に平行である。回路は、第1のレグ(125, 515)が第1のバス配線および第2のバス配線に垂直に向けられるインダクタ(500)をさらに含む。インダクタの第1のレグは第1のバス配線の中央(135)に結合される。関連の方法も開示される。

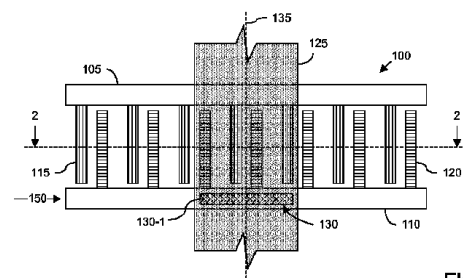


FIG. 1

【特許請求の範囲】**【請求項 1】**

回路であって、

第 1 の複数のフィンガ素子に結合される第 1 のバス配線と、第 2 の複数のフィンガ素子に結合される第 2 のバス配線とを備える第 1 のフィンガコンデンサを備え、

前記第 1 のバス配線は前記第 2 のバス配線に平行であり、さらに

前記第 1 のバス配線および前記第 2 のバス配線に垂直に向けられる第 1 のレグを備えるインダクタを備え、

前記インダクタの前記第 1 のレグは前記第 1 のバス配線の中央に結合される、回路。

【請求項 2】

前記第 1 の複数のフィンガ素子および前記第 2 の複数のフィンガ素子は前記バス配線に垂直であり、

前記複数のフィンガ素子の個々の 1 つは前記第 2 の複数のフィンガ素子の個々の 1 つと交互である、請求項 1 に記載の回路。

【請求項 3】

前記第 1 のバス配線、前記第 2 のバス配線、前記第 1 の複数のフィンガ素子、および前記第 2 の複数のフィンガ素子は同じ平面中に実現される、請求項 2 に記載の回路。

【請求項 4】

前記インダクタは、前記第 1 の平面とは異なりかつ前記第 1 の平面に平行な少なくとも第 2 の平面中に実現される、請求項 3 に記載の回路。

【請求項 5】

第 3 の複数のフィンガ素子に結合される第 3 のバス配線と、第 4 の複数のフィンガ素子に結合される第 4 のバス配線とを備える第 2 のフィンガコンデンサをさらに備え、

前記第 3 のバス配線および前記第 4 のバス配線は前記第 1 のバス配線に平行であり、

前記インダクタの前記第 1 のレグは前記第 3 のバス配線の中央に結合される、請求項 1 に記載の回路。

【請求項 6】

第 3 の複数のフィンガ素子に結合される第 3 のバス配線と、第 4 の複数のフィンガ素子に結合される第 4 のバス配線とを備える第 2 のフィンガコンデンサをさらに備え、

前記第 3 のバス配線および前記第 4 のバス配線は前記第 1 のバス配線に平行であり、

前記インダクタは前記第 1 のレグに平行な第 2 のレグを備え、

前記インダクタの前記第 2 のレグは前記第 3 のバス配線の中央に結合される、請求項 1 に記載の回路。

【請求項 7】

前記第 2 のバス配線を前記第 4 のバス配線に選択的に接続するように構成される第 1 のスイッチをさらに備える、請求項 6 に記載の回路。

【請求項 8】

第 5 の複数のフィンガ素子に結合される第 5 のバス配線と、第 6 の複数のフィンガ素子に結合される第 6 のバス配線とを備える第 3 のフィンガコンデンサをさらに備え、

前記第 5 のバス配線および前記第 6 のバス配線は前記第 1 のバス配線に平行であり、

前記インダクタの前記第 1 のレグは前記第 5 のバス配線の中央に結合され、さらに

第 7 の複数のフィンガ素子に結合される第 7 のバス配線と、第 8 の複数のフィンガ素子に結合される第 8 のバス配線とを備える第 4 のフィンガコンデンサを備え、

前記第 7 のバス配線および前記第 8 のバス配線は前記第 1 のバス配線に平行であり、

前記インダクタの前記第 2 のレグは前記第 7 のバス配線の中央に結合される、請求項 6 に記載の回路。

【請求項 9】

前記第 6 のバス配線を前記第 8 のバス配線に選択的に接続するように構成される第 2 のスイッチをさらに備える、請求項 1 に記載の回路。

【請求項 10】

方法であって、

回路の第 1 のフィンガコンデンサを設けるステップを備え、

前記第 1 のフィンガコンデンサは、第 1 の複数のフィンガ素子に結合される第 1 のバス配線と、第 2 の複数のフィンガ素子に結合される第 2 のバス配線とを備え、

前記第 1 のバス配線は前記第 2 のバス配線に平行であり、さらに

前記第 1 のバス配線および前記第 2 のバス配線に垂直に向けられる第 1 のレグを備えるインダクタを設けるステップを備え、

前記インダクタの前記第 1 のレグは前記第 1 のバス配線の中央に結合される、方法。

【請求項 1 1】

前記第 1 の複数のフィンガ素子および前記第 2 の複数のフィンガ素子は前記バス配線に垂直であり、

前記第 1 の複数のフィンガ素子の個々の 1 つは前記第 2 の複数のフィンガ素子の個々の 1 つと交互である、請求項 1 0 の記載の方法。

【請求項 1 2】

前記第 1 のバス配線、前記第 2 のバス配線、前記第 1 の複数のフィンガ素子、および前記第 2 の複数のフィンガ素子を同じ平面中に実現するステップをさらに備える、請求項 1 0 または 1 1 に記載の方法。

【請求項 1 3】

前記第 1 の平面とは異なりかつ前記第 1 の平面に平行な少なくとも第 2 の平面中に前記インダクタを実現するステップをさらに備える、請求項 1 2 に記載の方法。

【請求項 1 4】

第 3 の複数のフィンガ素子に結合される第 3 のバス配線と、第 4 の複数のフィンガ素子に結合される第 4 のバス配線とを備える第 2 のフィンガコンデンサを設けるステップをさらに備え、

前記第 3 のバス配線および前記第 4 のバス配線は前記第 1 のバス配線に平行であり、

前記インダクタの前記第 1 のレグは前記第 3 のバス配線の中央に結合される、請求項 1 0 から 1 3 のいずれかに記載の方法。

【請求項 1 5】

第 3 の複数のフィンガ素子に結合される第 3 のバス配線と、第 4 の複数のフィンガ素子に結合される第 4 のバス配線とを備える第 2 のフィンガコンデンサを設けるステップをさらに備え、

前記第 3 のバス配線および前記第 4 のバス配線は前記第 1 のバス配線に平行であり、

前記インダクタは前記第 1 のレグに平行な第 2 のレグを備え、

前記インダクタの前記第 2 のレグは前記第 3 のバス配線の中央に結合される、請求項 1 0 から 1 3 のいずれかに記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

この開示は半導体集積回路（IC）に関し、より特定的には、半導体 IC 内で用いるための高品質係数の容量性および誘導性回路構造に関する。

【背景技術】

【0002】

背景

近代の集積回路（IC）はしばしば、十分にギガヘルツ範囲内の周波数で動作することが求められる。10 GHz 以下の周波数に関しては、許容可能な性能を提供するさまざまな回路構造が公知である。たとえば、好適に高い品質（Q）値を有する、10 GHz 以下で動作する公知のインダクターコンデンサ（LC）回路構造を実現することができる。これらの LC 回路構造はフィンガコンデンサを組入れている。

【0003】

回路の Q 値は一般的に、周波数が高くなるにつれて低下する。周波数が 10 GHz を超

10

20

30

40

50

えて高くなると、従来の LC 回路構造の性能は顕著に低下し始める。一例として、フィンガコンデンサを利用する従来の LC 回路構造の Q 値は、周波数が約 10 GHz から約 32 GHz に上昇すると 67% も低下することが予測され得る。

【0004】

そのような高周波数で LC 回路構造の Q 値を向上させるための技術は、フィンガコンデンサのバス配線の幅を大きくすること、フィンガコンデンサのフィンガ素子の幅を大きくすること、またはその両方を含んでいた。しかしながら、これらの技術は大面積を消費し、そのため他の回路構成用に IC 内で利用可能な面積が小さくなってしまい、および／または IC 自身の大きさが大きくなってしまふ。さらに、バス配線および／またはフィンガ素子の幅が大きくなると、LC 回路構造の寄生容量が増してしまふ。寄生容量が増すと、電圧制御発振器などの回路、および／または典型的に LC 回路構造に依拠するもしくはこれを組入れる他の回路の調整範囲を劣化させてしまふ可能性がある。

【発明の概要】

【課題を解決するための手段】

【0005】

要約

回路は、第 1 のバス配線が第 1 の複数のフィンガ素子に結合され、かつ第 2 のバス配線が第 2 の複数のフィンガ素子に結合される第 1 のフィンガコンデンサを含む。第 1 のバス配線は第 2 のバス配線に平行である。回路は、第 1 のレグが第 1 のバス配線および第 2 のバス配線に垂直に向けられるインダクタも含む。インダクタの第 1 のレグは第 1 のバス配線の中央に結合される。

【0006】

別の回路は第 1 の複数のフィンガコンデンサを含み、第 1 の複数のフィンガコンデンサの各フィンガコンデンサは、第 1 の複数のフィンガ素子に結合される第 1 のバス配線と、第 1 のバス配線に平行でありかつ第 2 の複数のフィンガ素子に結合される第 2 のバス配線とを含む。回路は、第 2 の複数のフィンガコンデンサを含み、第 2 の複数のフィンガコンデンサの各フィンガコンデンサは、第 3 の複数のフィンガ素子に結合される第 3 のバス配線と、第 3 のバス配線に平行でありかつ第 4 の複数のフィンガ素子に結合される第 4 のバス配線とを含む。第 3 のバス配線は第 1 のバス配線に平行である。回路は、第 1 のレグが第 1 のバス配線に平行に向けられかつ第 2 のレグが第 1 のレグに平行なインダクタも含む。インダクタの第 1 のレグは、第 1 の複数のフィンガコンデンサの各々の第 1 のバス配線の中央に結合される。インダクタの第 2 のレグは、第 2 の複数のフィンガコンデンサの各々の第 3 のバス配線の中央に結合される。

【0007】

関連の方法も開示される。方法は、回路の第 1 のフィンガコンデンサを設けるステップを含み、第 1 のフィンガコンデンサは、第 1 の複数のフィンガ素子に結合される第 1 のバス配線と、第 2 の複数のフィンガ素子に結合される第 2 のバス配線とを含む。第 1 のバス配線は第 2 のバス配線に平行である。方法は、第 1 のレグが第 1 のバス配線および第 2 のバス配線に垂直に向けられるインダクタを設けることも含み得る。インダクタの第 1 のレグは第 1 のバス配線の中央に結合される。

【図面の簡単な説明】

【0008】

【図 1】フィンガコンデンサを含む例示的な回路構造を示すブロック図である。

【図 2】図 1 の回路構造の側面断面図である。

【図 3】フィンガコンデンサを含む別の例示的な回路構造の斜視図である。

【図 4】フィンガコンデンサアレイを含む例示的な回路構造を示すブロック図である。

【図 5】例示的なインダクターコンデンサ (LC) 回路構造を示すブロック図である。

【図 6】フィンガコンデンサアレイを含む例示的な回路構造を示すブロック図である。

【図 7】別の例示的な LC 回路構造を示すブロック図である。

【図 8】LC 回路構造を作製する例示的な方法を示すフローチャートである。

【図 9】周波数に対して、2つの異なる LC 回路構造の Q 値をプロットしたグラフである。

【発明を実施するための形態】

【0009】

詳細な説明

開示は新規の特徴を規定する請求項で結ばれるが、図面とともに説明を検討することによって本明細書中に記載のさまざまな特徴がより十分に理解され则认为られる。この開示内に記載のプロセス、機械、製造、および任意のその変形は例示の目的のために与えられる。記載の任意の特定の構造および機能的詳細は限定と解釈されるべきではなく、単に請求項の根拠として、および事実上任意の適切に詳述される構造において記載の特徴をさまざまに用いることを当業者に教示するための代表的な根拠として解釈されるべきである。さらに、この開示内で用いられる用語および文言は限定を意図するものではなく、むしろ記載される特徴の理解可能な説明を提供することを意図する。

【0010】

この開示は半導体集積回路 (IC) に関し、より特定のには半導体 IC 内で用いるための高品質係数の容量性および誘導性回路構造に関する。本明細書中に開示される発明の配置に従うと、約 10 GHz を超える周波数を含む広い周波数範囲を通じて高い品質 (Q) 係数を与える回路構造が記載される。回路構造は、約 32 GHz およびその付近の、ならびに約 52 GHz までの周波数について、従来の回路構造と比較して向上した Q 値を与える。

【0011】

回路構造は、インダクタと 1 つ以上のフィンガコンデンサとを含む。各々のフィンガコンデンサは、第 1 のバス配線と第 2 のバス配線とを含む。フィンガコンデンサのフィンガ素子は第 1 のバス配線および第 2 のバス配線の各々に結合される。インダクタはフィンガコンデンサに結合されるレグを含む。より特定のには、インダクタのレグは、用いられる各々のフィンガコンデンサのバス配線の中央に結合される。

【0012】

インダクタのレグをフィンガコンデンサのバス配線の中央に結合することにより、フィンガコンデンサの中央にあるインダクタから各々のフィンガコンデンサの中へ電流が注入される。その結果、電流がフィンガコンデンサ内を進む経路の長さが、フィンガコンデンサのバス配線の端縁に電流を注入する他の回路構造の約 2 分の 1 に短縮される。電流経路の長さが短くなる結果、回路構造の直列抵抗が低下し、これにより Q 値が大きくなる。この開示内で記載されるようにインダクタのレグをバス配線の中央に結合することにより、選択された周波数で、端縁接続構成に対して、回路構造の Q 値を約 60 % 上昇させることができる。

【0013】

図示の簡潔さおよび明確性の目的のために、図に示される要素は必ずしも縮尺通りに描かれるとは限らない。たとえば、明確さのために、要素の一部の寸法は他の要素に対して誇張されることがある。さらに、適切と考えられる場合は、対応の、類似の、または同様の特徴を示すために、参照番号が図の間で繰返される。

【0014】

図 1 はフィンガコンデンサ 100 を含む例示的な回路構造を示すブロック図である。図 1 の回路は半導体 IC 内で実現され、レイアウト図で示される。描かれるように、フィンガコンデンサ 100 は、バス配線 105 とバス配線 110 とを含む。バス配線 105 はバス配線 110 に平行である。バス配線 105 は複数のフィンガ素子 115 に結合される。フィンガ素子 115 は縦方向の線でハッチングされる。バス配線 110 は複数のフィンガ素子 120 に結合される。フィンガ素子 120 は横方向の線でハッチングされる。フィンガ素子 115 およびフィンガ素子 120 はバス配線 105 および 110 の各々に対して垂直である。したがってフィンガ素子 115 および 120 は互いに対して平行である。

【0015】

図 1 に描かれるように、フィンガ素子 1 1 5 の個々の 1 つはフィンガ素子 1 2 0 の個々の 1 つと交互である。より特定的には、フィンガコンデンサ 1 0 0 を横切るように左から右への繰返しパターンでフィンガ素子が配置され、フィンガ素子 1 1 5 の後にフィンガ素子 1 2 0 があり、その後に別のフィンガ素子 1 1 5 があり、その後に別のフィンガ素子 1 2 0 がある、などである。

【0016】

フィンガコンデンサ 1 0 0 の異なる部分をより明確に示すために、バス配線 1 0 5 とフィンガ素子 1 1 5 とは図 1 では異なるハッチングで描かれる。1 つの局面では、バス配線 1 0 5 およびフィンガ素子 1 1 5 を半導体 IC の導電層の連続した部分から形成することを認めるべきである。たとえば、バス配線 1 0 5 およびフィンガ素子 1 1 5 を金属の 1 つの連続した部分から形成することができる。同様に、バス配線 1 1 0 とフィンガ素子 1 2 0 とは異なってハッチングされるが、半導体 IC 内で金属などの導電層の連続した部分として実現されてもよい。

【0017】

インダクタの一部はフィンガコンデンサ 1 0 0 の上に形成される。インダクタの一部はインダクタのレグ 1 2 5 部分である。レグ 1 2 5 はフィンガコンデンサ 1 0 0 とは異なる導電層の中に実現される。示される例では、レグ 1 2 5 はフィンガコンデンサ 1 0 0 上の金属層の中に形成される。図示の目的のため、フィンガコンデンサ 1 0 0 に対するレグ 1 2 5 の載置およびレグ 1 2 5 とフィンガコンデンサ 1 0 0 との間に形成される接続をより明確に示すために、レグ 1 2 5 は半透明の形態で示される。

【0018】

レグ 1 2 5 はバス配線 1 1 0 の中央の上に位置する。本明細書中で規定されるように、バス配線の「中央」は、バス配線を 2 つの等しい長さまたは半分に分ける線である。バス配線 1 1 0 の中央と、少なくともこの例ではバス配線 1 0 5 の中央とは、破線 1 3 5 で示される。破線 1 3 5 はバス配線 1 0 5、バス配線 1 1 0、およびレグ 1 2 5 を二分する。

【0019】

レグ 1 2 5 はビア構造 1 3 0 を用いてフィンガコンデンサ 1 0 0 に結合される。ビア構造 1 3 0 はバス配線 1 1 0 をレグ 1 2 5 に取付ける。さらにビア構造 1 3 0 は線 1 3 5 によって二分され、そのため、同様のバス配線 1 0 5 および 1 1 0 は線 1 3 5 に対して対称である。1 つの局面では、ビア構造 1 3 0 は、「トレンチ」ビアと称されることがある単一のより大きなビアとして実現される。図 1 のビア 1 3 0-1 は、レグ 1 2 5 をバス配線 1 1 0 の中央に取付けるトレンチビアを表わす。別の例では、単一の標準的なサイズのおよび／または形状のビアを用いてレグ 1 2 5 をバス配線 1 1 0 の中央に接続してもよい。

【0020】

レグ 1 2 5 からの電流はビア構造 1 3 0 を通って中央にあるバス配線 1 1 0 の中に注入される。そのため、電流は、線 1 3 5 でマークされる中央からバス配線 1 1 0 の各々それぞれの端へ外向きに進む。電流はさらにフィンガ 1 2 0 を通って流れ下る。注記されるように、これは、矢印 1 5 0 で示されるようにバス配線の端縁に電流を注入する従来の LC 回路構造と比較して、電流が進む経路を短縮する。矢印 1 5 0 の場所で、すなわちバス配線 1 1 0 の端縁で電流を注入する結果、図 1 に描かれる例示的な実現例よりも、電流が進む経路がより長くなり、抵抗が大きくなり、かつ Q 値が低くなる。

【0021】

図 2 は、図 1 の回路構造の側面断面図である。図 2 は、図 1 の線 2-2 に沿って切断した図を示す。図 2 は、フィンガコンデンサ 1 0 0 およびインダクタのレグ 1 2 5 を形成するのに用いられる複数の IC 処理層を示す。図 2 に示されるように、層は、絶縁層 2 0 5 と、導電層 2 1 0 と、絶縁層 2 1 5 と、導電層 2 2 0 と、別の絶縁層 2 2 5 とを含む。導電層 2 1 0 および 2 2 0 は、金属層として、たとえばパターニングされた金属層として実現されてもよい。層 2 2 5 の上および／または層 2 0 5 の下に 1 つ以上の付加的な層を含んで、受動であっても能動であってもさらなる回路構造を実現してもよい。

【0022】

10

20

30

40

50

図 2 の例では、フィンガコンデンサ 1 0 0 は単一の金属層を用いて実現され、そのため、同じ平面内に実現される。より特定的には、バス配線 1 0 5、バス配線 1 1 0、フィンガ素子 1 1 5、およびフィンガ素子 1 2 0 は導電層 2 1 0 の中に実現され、そのため、同じ平面内にある。レグ 1 2 5 は導電層 2 2 0 の中に実現される。レグ 1 2 5 は、ビア構造 1 3 0 によってバス配線 1 1 0 に結合される。ビア構造 1 3 0 は、絶縁層 2 1 0 を通って延在してバス配線 1 1 0 をレグ 1 2 5 に接続するように実現される。

【0 0 2 3】

図 2 に提示される例では、ビア構造 1 3 0 は複数のより小さなビア 1 3 0-2 として実現される。図 2 には偶数個のビア 1 3 0-2 が示される。したがって、どの単一のビア 1 3 0-2 も線 1 3 5 によって二分されない。しかしながら、全体的なビア構造 1 3 0 は二分され、かつ線 1 3 5 に対して対称であり、それにより接続をバス配線 1 1 0 の中央に近づける。そのため、ビア 1 3 0-2 として実現されるビア構造 1 3 0 は、バス配線 1 1 0 の中央に接続されているといえる。奇数個のビア 1 3 0-2 が用いられる場合は、そのようなビア 1 3 0-2 のうち 1 つが線 1 3 5 によって二分されるであろう。

【0 0 2 4】

図 3 は、フィンガコンデンサ 3 0 5 を含む別の例示的な回路構造 3 0 0 の斜視図である。フィンガコンデンサ 3 0 5 はバス配線 3 1 0 とバス配線 3 1 5 とを含む。バス配線 3 1 0 は複数のフィンガ素子 3 2 0 に結合される。バス配線 3 1 5 は複数のフィンガ素子 3 2 5 に結合される。インダクタのレグ 3 3 0 はフィンガコンデンサ 3 0 5 の上に実現され、バス配線 3 1 5 の中央に接続する。図では見えないビア構造を用いてレグ 3 3 0 をバス配線 3 1 5 に取付ける。

【0 0 2 5】

図 4 は、フィンガコンデンサアレイ 4 0 5 を含む例示的な回路構造 4 0 0 を示すブロック図である。本明細書中で用いるような用語「アレイ」は、注記される回路素子の種類のうち 2 つ以上を意味する。アレイの素子は典型的に相互接続される。多くの場合、アレイは、選択された軸または原点に対して対称となるように実現される。さらに、アレイの各々個々の素子は通常、アレイの互いに均等なまたは同一の回路素子となるように実現される。

【0 0 2 6】

フィンガコンデンサアレイ 4 0 5 は、フィンガコンデンサ 4 1 0、4 1 5、4 2 0、および 4 2 5 を含む。1 つの局面では、フィンガコンデンサアレイ 4 0 5 の一部として、フィンガコンデンサ 4 1 0、4 1 5、4 2 0、および 4 2 5 の各々を、同じ、たとえば「単位」フィンガコンデンサとして、実現することができる。たとえば、フィンガコンデンサ 4 1 0、4 1 5、4 2 0、および 4 2 5 は、同じキャパシタンス値または互いの規定される公差範囲内の値を有する点で同一である。図 4 に描かれる例では、フィンガコンデンサ 4 1 0、4 1 5、4 2 0、および 4 2 5 の各々は整列される。さらに、フィンガコンデンサ 4 1 0、4 1 5、4 2 0、および 4 2 5 のうち隣接するもの同士の間と同じ間隔が維持される。この場合、たとえば、フィンガコンデンサ 4 1 5 からフィンガコンデンサ 4 1 0 を隔てる距離は、フィンガコンデンサ 4 2 0 からフィンガコンデンサ 4 1 5 を隔てる距離と同じである、などである。

【0 0 2 7】

フィンガコンデンサ 4 1 0、4 1 5、4 2 0、および 4 2 5 の各々はバス配線 4 3 0 とバス配線 4 3 5 とを含む。複数のフィンガ素子はバス配線 4 3 0 および 4 3 5 の各々に結合される。バス配線 4 3 5 の各々の中央をレグ 4 4 0 に取付けるビア構造 4 4 5 をより十分に示すように、インダクタのレグ 4 4 0 は半透明の形態で示される。

【0 0 2 8】

フィンガコンデンサ 4 1 0、4 1 5、4 2 0、および 4 2 5 の各々は、実質的に図 1-図 3 を参照して説明されたように実現される。同様に、インダクタのレグ 4 4 0 は、実質的に説明されたように、1 つ以上のビアを含むビア構造を用いてフィンガコンデンサ 4 1 0、4 1 5、4 2 0、および 4 2 5 のバス配線 4 3 5 の各々に結合される。

【0029】

図5は例示的なインダクターコンデンサ(LC)回路構造500を示すブロック図である。LC回路構造500は、1つ以上のループ510、レグ515、およびレグ520を有するインダクタ505を含む。レグ515はレグ520に平行である。

【0030】

示される例では、インダクタ505は単一のループまたはターンを含む。しかしながら、インダクタ505は、示されるループの数によって限定されることを意図されないことを認めるべきである。インダクタ505は、1つ以上の付加的な完全なループおよび／または1つ以上の付加的な部分的ループを含んでもよい。さらに、インダクタ505のループ510または場合によっては複数のループの形状は八角形に限定されることを意図されない。ループ510は、用いられる特定のIC作製技術の制約に従って、円形状、方形、楕円形状、螺旋形状などで形成されることができる。

【0031】

レグ515は上方に位置決めされ、フィンガコンデンサ素子525に接続する。フィンガコンデンサ素子525は、図1ー図3を参照して説明されるようなフィンガコンデンサまたは図4を参照して説明されるようなフィンガコンデンサアレイとして実現されてもよい。レグ515はフィンガコンデンサ素子525の上に位置決めされ、フィンガコンデンサ素子525を二分する。フィンガコンデンサ素子525の各フィンガコンデンサの1つのバス配線の中央は、ビア構造(図示せず)を用いてレグ515に結合される。注記されるように、フィンガコンデンサ素子525の各フィンガコンデンサのバス配線をレグ515に取付けるビア構造は、各々のバス配線の中央に対して対称である。

【0032】

従来のLC回路構造は、フィンガコンデンサアレイをインダクタのレグの側方に位置させる。図5を参照して、たとえば、従来の設計は、フィンガコンデンサアレイを破線で示されるブロック530の場所の中に位置させる。描かれるように、ブロック530の場所はレグ515の完全に左側にあるため、電流は中央に対してバス配線の端縁に注入される。

【0033】

図6は、フィンガコンデンサアレイ602および604を含む例示的な回路構造600を示すブロック図である。フィンガコンデンサアレイ602は、フィンガコンデンサ606、608、610、および612を含む。フィンガコンデンサ606、608、610、および612の各々は、バス配線614とバス配線616とを含む。複数のフィンガ素子はバス配線614および616の各々に結合される。各々のバス配線616の中央をレグ618に取付け、これによりフィンガコンデンサアレイ602とレグ618との間の接続を形成するビア構造620をより十分に示すように、インダクタの第1のレグ618は半透明の形態で示される。

【0034】

フィンガコンデンサアレイ604は、フィンガコンデンサ622、624、626、および628を含む。フィンガコンデンサ622、624、626、および628の各々は、バス配線630とバス配線632とを含む。複数のフィンガ素子はバス配線630および632の各々に結合される。各々のバス配線630の中央をレグ634に取付け、これによりフィンガコンデンサアレイ604とレグ634との間の接続を形成するビア構造636をより十分に示すように、インダクタの第2のレグ634は半透明の形態で示される。

【0035】

フィンガコンデンサアレイ602および604は、実質的に図4を参照して説明されるように実現される。そのため、フィンガコンデンサ606、608、610、612、622、624、626、および628の各々は、図1ー図3を参照して説明されるのと実質的に同じように実現される。したがって、インダクタのレグ618は、ビア構造620を用いて、実質的に記載のようにフィンガコンデンサ606、608、610、および6

1 2 のバス配線 6 1 6 の各々の中央に結合される。同様に、インダクタのレグ 6 3 4 は、ビア構造 6 3 6 を用いて、実質的に記載のようにフィンガコンデンサ 6 2 2、6 2 4、6 2 6、および 6 2 8 のバス配線 6 3 0 の各々の中央に結合される。

【0036】

図 6 は、複数のスイッチ 6 4 0、6 4 2、6 4 4、および 6 4 6 をさらに含む。1 つの局面では、スイッチ 6 4 0、6 4 2、6 4 4、および 6 4 6 は任意であり、含まれる必要はない。その場合、フィンガコンデンサの対の間、たとえば、フィンガコンデンサ 6 1 2 と 6 2 2 との間、フィンガコンデンサ 6 1 0 と 6 2 4 との間、フィンガコンデンサ 6 0 8 と 6 2 6 との間、およびフィンガコンデンサ 6 0 6 と 6 2 8 との間に開回路が存在する。

【0037】

図 6 に示されるようにスイッチ 6 4 0、6 4 2、6 4 4、および 6 4 6 を含むと、スイッチ 6 4 0、6 4 2、6 4 4、および 6 4 6 の各々のそれぞれ 1 つのプログラミングに基づいて前述のフィンガコンデンサの対を接続できるようになる。1 つの局面では、スイッチ 6 4 0、6 4 2、6 4 4、および 6 4 6 は、当該技術分野で公知のような 1 つ以上のトランジスタを用いて実現されてもよい。スイッチを閉じてフィンガコンデンサ対の 2 つのフィンガコンデンサを接続すると、回路構造 6 0 0 のキャパシタンスを増大させる効果がある。スイッチを開いてフィンガコンデンサ対の 2 つのフィンガコンデンサ同士の間の開回路を作製すると、回路構造 6 0 0 のキャパシタンスを低減する効果がある。

【0038】

スイッチ 6 4 0、6 4 2、6 4 4、および 6 4 6 のうち特定のものを開くおよび／または閉じることにより、回路 6 0 0 のキャパシタンスを変更して、これにより回路 6 0 0 を作製後に調整することができ得る。1 つの局面では、スイッチ 6 4 0、6 4 2、6 4 4、および 6 4 6 は、回路 6 0 0 が含まれる特定の IC の中にビットストリームおよび／または他のコンフィギュレーションデータをロードすることによってプログラミング可能である。別の局面では、スイッチ 6 4 0、6 4 2、6 4 4、および 6 4 6 のうち 1 つ以上またはすべてを IC 内の他の回路構成が生成する制御信号によって制御して、現場で IC の動作の際にスイッチの動的制御を提供することができる。いずれの場合も、IC が検出するさまざまな状態に応答してならびに／または IC 内の信号および／もしくは状態に応答して、現場で動作する際に、回路構造 6 0 0 のキャパシタンスを所望され得るように変更することができる。

【0039】

フィンガコンデンサアレイ 6 0 2 および 6 0 4 の各々の中のフィンガコンデンサの数は、図示の目的のためにのみ選択されていることを認めるべきである。より少ないまたはより多くのフィンガコンデンサを含んでもよい。しかしながら、いずれの場合も、フィンガコンデンサアレイ 6 0 2 および 6 0 4 中のフィンガコンデンサの数は一致していてもまたは等しくてもよい。この点について、含まれるスイッチの数は、フィンガコンデンサアレイ 6 0 2 および 6 0 4 内に含まれるフィンガコンデンサの数によって異なる。

【0040】

すべてのフィンガコンデンサがスイッチを含む必要がないことも認めるべきである。たとえば、ハードワイヤード接続を用いてフィンガコンデンサの 1 つ以上の対（たとえば、フィンガコンデンサ 6 1 2 および 6 2 2；フィンガコンデンサ 6 1 0 および 6 2 4 など）を接続してもよい一方で、他の対は切換え可能である。また別の局面では、フィンガコンデンサ対のすべてがハードワイヤード接続を有して切換え不可能であってもよい。

【0041】

図 7 は別の例示的な LC 回路構造 7 0 0 を示すブロック図である。LC 回路 7 0 0 は、1 つ以上のループ 7 1 0、レグ 7 1 5、およびレグ 7 2 0 を有するインダクタ 7 0 5 を含む。レグ 7 1 5 はレグ 7 2 0 に平行に形成される。

【0042】

示される例では、インダクタ 7 0 5 は単一のループまたはターンを含む。図 5 を参照して論じたように、インダクタ 7 0 5 は示されるループの数によって限定されることを意図

10

20

30

40

50

されない。インダクタ705は1つ以上の付加的な完全なループおよび／または1つ以上の付加的な部分的ループを含んでもよい。さらに、インダクタ705のループ710または場合によっては複数のループの形状は八角形に限定されることを意図されない。ループ710は、用いられる特定のIC作製技術の制約に従って、円形状、方形形状、楕円形状、螺旋形状、または何らかの他の形状で形成されることができる。

【0043】

レグ715は上方に位置決めされ、フィンガコンデンサ素子725に接続される。フィンガコンデンサ素子725は、図1－図3を参照して説明されるようなフィンガコンデンサとしてまたは図6を参照して説明されるようなフィンガコンデンサアレイ、たとえばフィンガコンデンサアレイ602として、実現されてもよい。そのため、フィンガコンデンサ素子725の各フィンガコンデンサの1つのバス配線の中央は、ビア構造を用いてレグ715に結合される。レグ715はフィンガコンデンサ素子725の上に位置決めされ、フィンガコンデンサ素子725を二分する。さらに、ビア構造を通したフィンガコンデンサ素子725へのレグ715の取付点は、各々それぞれのバス配線の中央に位置し、そのためビア構造は各々のバス配線の中央に対して対称である。

10

【0044】

レグ720は上方に位置決めされ、フィンガコンデンサ素子730に接続される。フィンガコンデンサ素子730は、図1－図3を参照して説明されるようなフィンガコンデンサとして、または図6を参照して説明されるようなフィンガコンデンサアレイ、たとえばフィンガコンデンサアレイ604として、実現されてもよい。そのため、フィンガコンデンサ素子730の各フィンガコンデンサの1つのバス配線の中央は、ビア構造を用いてレグ720に結合される。レグ720はフィンガコンデンサ素子730の上に位置決めされ、フィンガコンデンサ素子730を二分する。さらに、ビア構造を通したフィンガコンデンサ素子730へのレグ720の取付点は、各々それぞれのバス配線の中央に位置し、そのためビア構造は各々のバス配線の中央に対して対称である。

20

【0045】

回路700は複数のスイッチ735をさらに含む。スイッチ735は、図6を参照して説明されるように、より特定のにはスイッチ640、642、644、および646として実現されることができる。応じて、スイッチ735のうち異なるものは、必要に応じて閉じられおよび／または開かれて、フィンガコンデンサ素子725および730が与えるキャパシタンスを変化させ、これにより回路700を調整することができるようになり得る。しかしながら、別の局面では、図6を参照して説明されるように、フィンガコンデンサ素子725からの1つのフィンガコンデンサおよびフィンガコンデンサ素子730からの対応のフィンガコンデンサを含むフィンガコンデンサ対のうち1つ以上またはすべてを、ハードワイヤード接続によって接続してもよい。

30

【0046】

従来のLC回路構成では、フィンガコンデンサアレイはインダクタのレグの下に位置しない。図7を参照して、たとえば、従来のLC回路構成では、フィンガコンデンサアレイ全体がレグ715の左側の実現されるであろう。すなわち、破線で示されるブロック740が位置する場所である。同様に、従来のLC回路構成中では、他のフィンガコンデンサアレイ全体がレグ720の右側の実現されるであろう。すなわち、これも破線で示されるブロック745が位置する場所である。場所740および745での各々それぞれのフィンガコンデンサアレイの場所では、電流を端縁に注入する必要がある、このためLC回路のQが低下してしまうであろう。

40

【0047】

図8は、LC回路構造を作る例示的な方法800である。より特定のには、方法800は、この開示内に記載されるようにLC回路構造を作製する高レベルの記載を与える。本明細書中に記載するようなLC回路構造は、当業者には公知のさまざまなIC作製プロセスおよび／または材料のうち任意のものを用いて作ることができる。

【0048】

50

応じて、ブロック 805 で、第 1 のフィンガコンデンサが設けられる。第 1 のフィンガコンデンサの第 1 のバス配線は第 1 の複数のフィンガ素子に結合され、第 2 のバス配線は第 2 の複数のフィンガ素子に結合される。第 1 のバス配線は第 2 のバス配線に平行である。ブロック 810 で、インダクタが設けられる。インダクタの第 1 のレグは第 1 のバス配線および第 2 のバス配線に垂直に向けられている。第 1 のレグは第 1 のバス配線の中央に結合される。ブロック 815 で、第 1 の複数のフィンガ素子および第 2 の複数のフィンガ素子がバス配線に垂直に形成される。第 1 の複数のフィンガ素子の個々の 1 つは第 2 の複数のフィンガ素子の個々の 1 つと交互である。

【0049】

ブロック 820 で、第 2 のフィンガコンデンサが設けられる。第 2 のフィンガコンデンサの第 3 のバス配線は第 3 の複数のフィンガ素子に結合され、第 4 のバス配線は第 4 の複数のフィンガ素子に結合される。第 3 のバス配線および第 4 のバス配線は第 1 のバス配線に平行である。インダクタはさらに、第 1 のレグに平行な第 2 のレグを含む。インダクタの第 2 のレグは第 3 のバス配線の中央に結合される。ブロック 825 で、スイッチを用いて第 2 のバス配線を第 4 のバス配線に選択的に接続することによって、回路のキャパシタンスが変更される。

【0050】

別の局面では、第 1 のフィンガコンデンサはフィンガコンデンサの第 1 のアレイとして実現される。フィンガコンデンサの第 1 のアレイ中の各々のフィンガコンデンサは、記載されるように、第 1 のバス配線と、第 2 のバス配線と、第 1 の複数のフィンガ素子と、第 2 の複数のフィンガ素子とを含むことができる。フィンガコンデンサの第 1 のアレイの各フィンガコンデンサの第 1 のバス配線の中央をインダクタの第 1 のレグに接続することができる。

【0051】

同様に、第 2 のフィンガコンデンサはフィンガコンデンサの第 2 のアレイとして実現される。フィンガコンデンサの第 2 のアレイ中の各々のフィンガコンデンサは、記載されるように、第 3 のバス配線と、第 4 のバス配線と、第 3 の複数のフィンガ素子と、第 4 の複数のフィンガ素子とを含むことができる。フィンガコンデンサの第 2 のアレイの各フィンガコンデンサの第 3 のバス配線の中央をインダクタの第 2 のレグに接続することができる。

【0052】

図 9 は、周波数に対して、2 つの異なる LC 回路構造の Q 値をプロットしたグラフ 900 である。線 1 は、周波数に対してプロットされる、従来の LC 回路構造中のフィンガコンデンサ装置の Q 値を表わす。従来の LC 回路構造の場合、インダクタのレグはバス配線の端縁または端にあるフィンガコンデンサに接続される。インダクタの各々のレグはフィンガコンデンサアレイに接続される。バス配線の端縁にある接続は抵抗を増大させ、回路の Q 値を低下させる。

【0053】

線 2 は、図 7 を参照してこの開示内で説明されるような LC 回路構造中のフィンガコンデンサ装置の Q 値を表わす。線 2 を生成するように用いられる LC 回路構造は、フィンガコンデンサアレイのフィンガコンデンサのバス配線の端縁に対して中央にインダクタの各々のレグを接続する。示されるように、この構成についての Q 値は、より低い周波数と、32 GHz およびその付近、ならびにそれを超えるより高い周波数とで、従来の LC 回路構造の Q 値を超える。

【0054】

この開示は半導体 IC に関し、より特定のには半導体 IC 内で用いるための高 Q 値の LC 回路構造に関する。フィンガコンデンサを各々のフィンガコンデンサの 1 つのバス配線の中央にあるインダクタに接続することによって、少なくとも部分的に高い Q 値が達成される。端縁に対してバス配線の中央にあるインダクタにフィンガコンデンサを取付けることにより、インダクタからの電流がフィンガコンデンサの中央にある各々のフィンガコン

10

20

30

40

50

デンサの中に注入される。電流をバス配線の中央に注入することにより、フィンガコンデンサ内で電流が進む経路の長さが短くなり、これによりフィンガコンデンサについての直列抵抗が小さくなりかつQ値が大きくなる。

【0055】

説明の目的のため、本明細書中に開示されるさまざまな発明の概念の完全な理解を与えるために具体的な術語を述べる。しかしながら、本明細書中で用いる術語は記載される特徴を例示する目的のためのものであり、限定的であることを意図していない。

【0056】

たとえば、本明細書中で用いるような用語「a」および「an」は、1または1よりも多くとして定義される。本明細書中で用いるような用語「複数」は、2または2よりも多くとして定義される。本明細書中で用いるような用語「別の」は、少なくとも第2のものまたはそれ以上として定義される。本明細書中で用いるような用語「結合される」は、他に示されなければ、一切の介入要素なしに直接にまたは1つ以上の介入要素が存在して間接的に接続されると定義される。2つの要素は、通信チャネル、経路、ネットワーク、またはシステムを通して、機械的に、電氣的に、または通信するようにリンクされて結合されることもできる。

【0057】

本明細書中で用いるような用語「および／または」は、関連付けられて列挙される項目のうち1つ以上のありとあらゆる可能な組合せを指しかつそれらを包含する。この開示で用いられる際の用語「含む」および／または「含んでいる」は、述べられた特徴、整数、ステップ、動作、要素、および／または構成要素の存在を特定するが、その1つ以上の他の特徴、整数、ステップ、動作、要素、構成要素、および／またはその群の存在または追加を排除するものではないことがさらに理解される。第1、第2などの用語を本明細書中で用いてさまざまな要素を記載することがあるが、これらの用語は1つの要素を別の要素から区別するためにのみ用いられているため、これらの要素はこれらの用語によって限定されるべきではないことも理解される。

【0058】

用語「ならば」は、文脈に依存して、「とき」または「すると」または「判断すること」に応答して」または「検出すること」に「応答して」を意味すると解釈されることがある。同様に、「と判断されれば」または「[述べられた条件またはイベント]が検出されれば」という文言は、文脈に依存して、「判断すると」または「判断すること」に「応答して」または「[述べられた条件またはイベント]を検出すると」または「[述べられた条件またはイベント]を検出したことに「応答して」を意味すると解釈されることがある。

【0059】

図中のフローチャートおよびブロック図は、本明細書中に記載の特徴のうち1つ以上を利用するプロセス、機械、製造、および／またはシステムの可能な実現例のアーキテクチャ、機能性、および動作を示す。いくつかの代替的な実現例では、ブロック中に注記される機能は、図に注記される順序を外れて生じることがある。たとえば、関与する機能性に依存して、続けて示される2つのブロックが実質的に同時に実行されることがあったり、またはブロックが逆の順で実行されたりすることがあり得る。

【0060】

以下の請求項中のすべての手段またはステッププラス機能要素の対応の構造、材料、行為、および均等物は、具体的に請求されるような他の請求される要素と組合せて、機能を果たすための任意の構造、材料、または行為を含むことが意図される。

【0061】

例示的な回路は、第1のバス配線が第1の複数のフィンガ素子に結合され、第2のバス配線が第2の複数のフィンガ素子に結合される第1のフィンガコンデンサを含む。第1のバス配線は第2のバス配線に平行である。回路は、第1のレグが第1のバス配線および第2のバス配線に垂直に向けられるインダクタも含む。インダクタの第1のレグは第1のバス配線の中央に結合される。

10

20

30

40

50

【0062】

1つの局面では、第1の複数のフィンガ素子および第2の複数のフィンガ素子はバス配線に対して垂直である。第1の複数のフィンガ素子の個々の1つは第2の複数のフィンガ素子の個々の1つと交互である。

【0063】

さらに、第1のバス配線、第2のバス配線、第1の複数のフィンガ素子、および第2の複数のフィンガ素子を同じ平面中に実現することができる。そのため、インダクタは、第1の平面とは異なりかつ第1の平面に平行な少なくとも第2の平面の中に実現され得る。

【0064】

回路は、第3のバス配線が第3の複数のフィンガ素子に結合され、第4のバス配線が第4の複数のフィンガ素子に結合される第2のフィンガコンデンサも含むことができる。第3のバス配線および第4のバス配線は第1のバス配線に平行である。インダクタの第1のレグは第3のバス配線の中央に結合される。

【0065】

別の局面では、回路は、第3のバス配線が第3の複数のフィンガ素子に結合され、第4のバス配線が第4の複数のフィンガ素子に結合される第2のフィンガコンデンサを含む。第3のバス配線および第4のバス配線は第1のバス配線に平行である。インダクタは第1のレグに平行な第2のレグを含むことができ、インダクタの第2のレグは第3のバス配線の中央に結合される。回路は、第2のバス配線を第4のバス配線に選択的に接続するように構成される第1のスイッチも含むことができる。

【0066】

第2のフィンガコンデンサがインダクタの第2のレグに結合されるさらなる局面では、回路は、第5のバス配線が第5の複数のフィンガ素子に結合され、第6のバス配線が第6の複数のフィンガ素子に結合される第3のフィンガコンデンサも含むことができる。第5のバス配線および第6のバス配線は第1のバス配線に平行である。インダクタの第1のレグは第5のバス配線の中央に結合される。回路はさらに、第7のバス配線が第7の複数のフィンガ素子に結合され、第8のバス配線が第8の複数のフィンガ素子に結合される第4のフィンガコンデンサも含むことができる。第7のバス配線および第8のバス配線は第1のバス配線に平行である。インダクタの第2のレグは第7のバス配線の中央に結合される。回路は、第6のバス配線を第8のバス配線に選択的に結合するように構成される第2のスイッチも含むことができる。

【0067】

別の例示的な回路は第1の複数のフィンガコンデンサを含み、第1の複数のフィンガコンデンサの各フィンガコンデンサは、第1の複数のフィンガ素子に結合される第1のバス配線と、第1のバス配線に平行でありかつ第2の複数のフィンガ素子に結合される第2のバス配線とを含む。回路は第2の複数のフィンガコンデンサを含み、第2の複数のフィンガコンデンサの各フィンガコンデンサは、第3の複数のフィンガ素子に結合される第3のバス配線と、第3のバス配線に平行でありかつ第4の複数のフィンガ素子に結合される第4のバス配線とを含む。第3のバス配線は第1のバス配線に平行である。回路は、第1のレグが第1のバス配線に垂直に向けられ、第2のレグが第1のレグに平行であるインダクタも含む。インダクタの第1のレグは第1の複数のフィンガコンデンサの各々の第1のバス配線の中央に結合される。インダクタの第2のレグは第2の複数のフィンガコンデンサの各々の第3のバス配線の中央に結合される。

【0068】

回路は複数のスイッチも含むことができる。各々のスイッチは第2のバス配線を第4のバス配線に接続するように個別に構成可能であり得る。

【0069】

例示的な方法は、回路の第1のフィンガコンデンサを設けるステップを含み、第1のフィンガコンデンサは、第1の複数のフィンガ素子に結合される第1のバス配線と、第2の複数のフィンガ素子に結合される第2のバス配線とを含む。第1のバス配線は第2のバス

配線に平行である。方法は、第1のレグが第1のバス配線および第2のバス配線に垂直に向けられるインダクタを設けるステップも含むことができる。インダクタの第1のレグは第1のバス配線の中央に結合される。

【0070】

1つの局面では、第1の複数のフィンガ素子および第2の複数のフィンガ素子はバス配線に垂直であり、第1の複数のフィンガ素子の個々の1つは第2の複数のフィンガ素子の個々の1つと交互である。

【0071】

方法は、第1のバス配線、第2のバス配線、第1の複数のフィンガ素子、および第2の複数のフィンガ素子を同じ平面の中に実現するステップを含むことができる。方法は、第1の平面とは異なりかつ第1の平面に平行な少なくとも第2の平面の中にインダクタを実現するステップをさらに含むことができる。

10

【0072】

別の局面では、方法は、第3のバス配線が第3の複数のフィンガ素子に結合され、第4のバス配線が第4の複数のフィンガ素子に結合される第2のフィンガコンデンサを設けるステップを含むことができる。第3のバス配線および第4のバス配線は第1のバス配線に平行である。インダクタの第1のレグは第3のバス配線の中央に結合される。

【0073】

さらなる局面では、方法は、第3のバス配線が第3の複数のフィンガ素子に結合され、第4のバス配線が第4の複数のフィンガ素子に結合される第2のフィンガコンデンサを設けるステップを含むことができる。第3のバス配線および第4のバス配線は第1のバス配線に平行である。インダクタは第1のレグに平行な第2のレグを含むことができる。インダクタの第2のレグは第3のバス配線の中央に結合される。

20

【0074】

方法はさらに、第1のスイッチを用いて第2のバス配線を第4のバス配線に選択的に接続することによって回路のキャパシタンスを変更するステップを含むことができる。

【0075】

第2のフィンガコンデンサがインダクタの第2のレグに結合されるさらに別の局面では、方法は、第5のバス配線が第5の複数のフィンガ素子に結合され、第6のバス配線が第6の複数のフィンガ素子に結合される第3のフィンガコンデンサを設けるステップを含むことができる。第5のバス配線および第6のバス配線は第1のバス配線に平行である。インダクタの第1のレグは第5のバス配線の中央に結合される。方法は、第7のバス配線が第7の複数のフィンガ素子に結合され、第8のバス配線が第8の複数のフィンガ素子に結合される第4のフィンガコンデンサを設けるステップも含むことができる。第7のバス配線および第8のバス配線は第1のバス配線に平行である。インダクタの第2のレグは第7のバス配線の中央に結合される。

30

【0076】

方法は、第2のスイッチを用いて第6のバス配線を第8のバス配線に選択的に接続することによって回路のキャパシタンスを変更するステップも含むことができる。

【0077】

この明細書内に開示される特徴は、その精神または必須の属性から逸脱することなく他の形態で具体化されることができる。したがって、そのような特徴および実現例の範囲を示すものとして、以上の明細書よりもむしろ以下の請求項を参照すべきである。

40

【図 1】

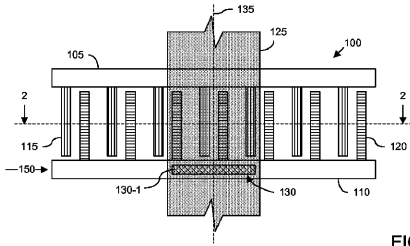


FIG. 1

【図 2】

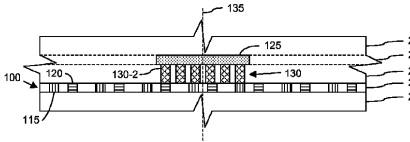


FIG. 2

【図 3】

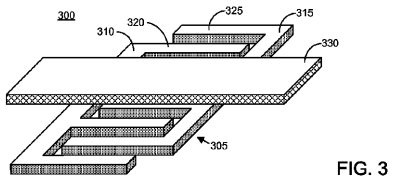


FIG. 3

【図 6】

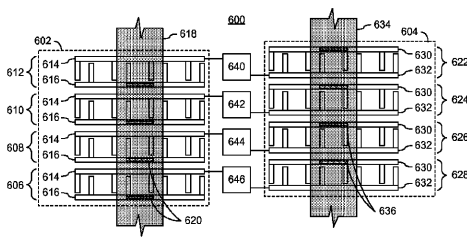


FIG. 6

【図 7】

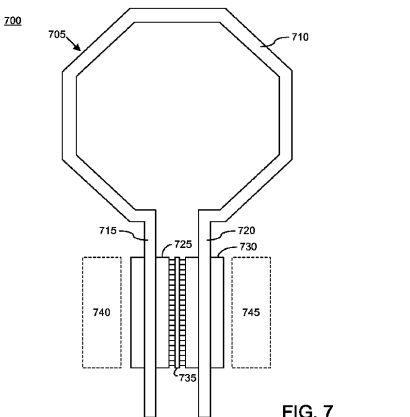


FIG. 7

【図 4】

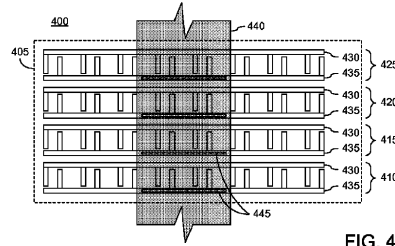


FIG. 4

【図 5】

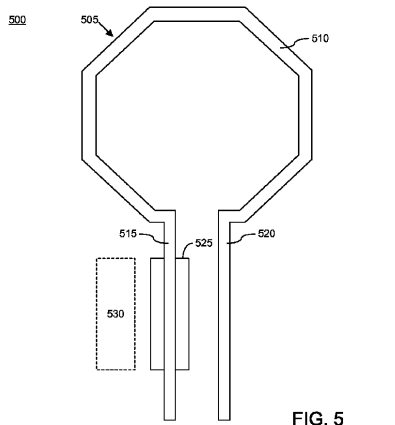


FIG. 5

【図 8】

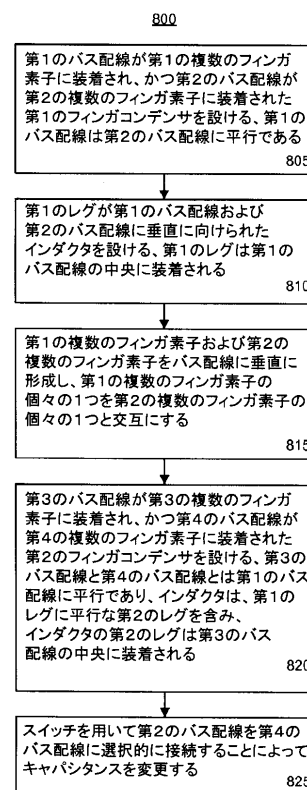


FIG. 8

【図 9】

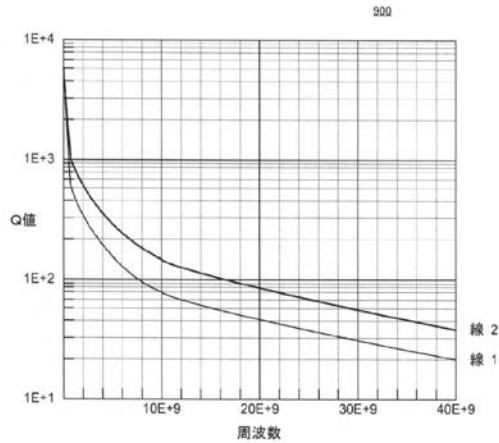


FIG. 9

【手続補正書】

【提出日】平成28年1月14日(2016.1.14)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

回路であって、

第 1 の複数のフィンガ素子に結合される第 1 のバス配線と、第 2 の複数のフィンガ素子に結合される第 2 のバス配線とを備える第 1 のフィンガコンデンサを備え、

前記第 1 のバス配線は前記第 2 のバス配線に平行であり、さらに

前記第 1 のバス配線および前記第 2 のバス配線に垂直に向けられる第 1 のレグを備えるインダクタを備え、

前記第 1 のレグは前記第 1 のフィンガコンデンサの上方の導電層中に実現され、

前記インダクタの前記第 1 のレグは、前記第 1 のフィンガコンデンサを二分しかつ第 1 のビア構造によって前記第 1 のバス配線の中央に結合され、さらに

第 3 の複数のフィンガ素子に結合される第 3 のバス配線と、第 4 の複数のフィンガ素子に結合される第 4 のバス配線とを備える第 2 のフィンガコンデンサを備え、

前記第 3 のバス配線および前記第 4 のバス配線は前記第 1 のバス配線に平行であり、

前記インダクタの前記第 1 のレグは、前記第 2 のフィンガコンデンサを二分しかつ第 2 のビア構造によって前記第 3 のバス配線の中央に結合される、回路。

【請求項 2】

前記第 1 の複数のフィンガ素子および前記第 2 の複数のフィンガ素子は前記バス配線に

垂直であり、

前記複数のフィンガ素子の個々の1つは前記第2の複数のフィンガ素子の個々の1つと交互である、請求項1に記載の回路。

【請求項3】

前記第1のバス配線、前記第2のバス配線、前記第1の複数のフィンガ素子、および前記第2の複数のフィンガ素子は同じ平面中に実現される、請求項2に記載の回路。

【請求項4】

前記インダクタは、前記第1の平面とは異なりかつ前記第1の平面に平行な少なくとも第2の平面中に実現される、請求項3に記載の回路。

【請求項5】

前記導電層は前記第2のフィンガコンデンサの上方にある、請求項1に記載の回路。

【請求項6】

第5の複数のフィンガ素子に結合される第5のバス配線と、第6の複数のフィンガ素子に結合される第6のバス配線とを備える第3のフィンガコンデンサをさらに備え、

前記第5のバス配線および前記第6のバス配線は前記第1のバス配線に平行であり、

前記インダクタは前記第1のレグに平行な第2のレグを備え、

前記第2のレグは前記導電層中に実現され、かつ前記第3のフィンガコンデンサの上方にあり、

前記インダクタの前記第2のレグは、前記第3のフィンガコンデンサを二分しかつ第3のビア構造によって前記第5のバス配線の中央に結合される、請求項1に記載の回路。

【請求項7】

前記第2のバス配線を前記第6のバス配線に選択的に接続するように構成される第1のスイッチをさらに備える、請求項6に記載の回路。

【請求項8】

第7の複数のフィンガ素子に結合される第7のバス配線と、第8の複数のフィンガ素子に結合される第8のバス配線とを備える第4のフィンガコンデンサをさらに備え、

前記第7のバス配線および前記第8のバス配線は前記第1のバス配線に平行であり、

前記導電層は前記第4のフィンガコンデンサの上方にあり、

前記インダクタの前記第2のレグは、前記第4のフィンガコンデンサを二分しかつ第4のビア構造によって前記第7のバス配線の中央に結合される、請求項6に記載の回路。

【請求項9】

前記第4のバス配線を前記第8のバス配線に選択的に接続するように構成される第2のスイッチをさらに備える、請求項8に記載の回路。

【請求項10】

方法であって、

回路の第1のフィンガコンデンサを設けるステップを備え、

前記第1のフィンガコンデンサは、第1の複数のフィンガ素子に結合される第1のバス配線と、第2の複数のフィンガ素子に結合される第2のバス配線とを備え、

前記第1のバス配線は前記第2のバス配線に平行であり、さらに

前記第1のバス配線および前記第2のバス配線に垂直に向けられる第1のレグを備えるインダクタを設けるステップを備え、

前記第1のレグは前記第1のフィンガコンデンサの上方の導電層中に実現され、

前記インダクタの前記第1のレグは、前記第1のフィンガコンデンサを二分しかつ第1のビア構造によって前記第1のバス配線の中央に結合され、さらに

第3の複数のフィンガ素子に結合される第3のバス配線と、第4の複数のフィンガ素子に結合される第4のバス配線とを備える第2のフィンガコンデンサを設けるステップを備え、

前記第3のバス配線および前記第4のバス配線は前記第1のバス配線に平行であり、

前記インダクタの前記第1のレグは、前記第2のフィンガコンデンサを二分しかつ第2のビア構造によって前記第3のバス配線の中央に結合される、方法。

【請求項 11】

前記第1の複数のフィンガ素子および前記第2の複数のフィンガ素子は前記バス配線に垂直であり、

前記第1の複数のフィンガ素子の個々の1つは前記第2の複数のフィンガ素子の個々の1つと交互である、請求項10の記載の方法。

【請求項 12】

前記第1のバス配線、前記第2のバス配線、前記第1の複数のフィンガ素子、および前記第2の複数のフィンガ素子を同じ平面中に実現するステップをさらに備える、請求項10または11に記載の方法。

【請求項 13】

前記第1の平面とは異なりかつ前記第1の平面に平行な少なくとも第2の平面中に前記インダクタを実現するステップをさらに備える、請求項12に記載の方法。

【請求項 14】

前記導電層は前記第2のフィンガコンデンサの上方にある、請求項10から13のいずれかに記載の方法。

【請求項 15】

第5の複数のフィンガ素子に結合される第5のバス配線と、第6の複数のフィンガ素子に結合される第6のバス配線とを備える第3のフィンガコンデンサを設けるステップをさらに備え、

前記第5のバス配線および前記第6のバス配線は前記第1のバス配線に平行であり、

前記インダクタは前記第1のレグに平行な第2のレグを備え、

前記第2のレグは前記導電層中に実現され、かつ前記第3のフィンガコンデンサの上方にあり、

前記インダクタの前記第2のレグは、前記第3のフィンガコンデンサを二分しかつ第3のビア構造によって前記第5のバス配線の中央に結合される、請求項10から13のいずれかに記載の方法。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US2014/046021

A. CLASSIFICATION OF SUBJECT MATTER INV. H01L27/01 H01L23/522 H01L49/02 H05K1/16 H03H7/01 ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L H05K H03H		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EP0-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 448 873 B1 (MOSTOV ALEXANDER [IL]) 10 September 2002 (2002-09-10) column 6, line 66 - column 7, line 15; figures 2,3	1-3, 10-12
Y	column 9, line 12 - line 28	4-9, 13-15
Y	US 2009/322447 A1 (DALEY DOUGLAS M [US] ET AL) 31 December 2009 (2009-12-31) paragraphs [0022] - [0024], [0046] - [0047]; figures 1,2	4,13
A	-----	1-3, 10-12
X	US 2010/072572 A1 (BAUMGARTNER PETER [DE] ET AL) 25 March 2010 (2010-03-25) paragraphs [0028] - [0039]; figures 2A,3A,4A	1-3, 10-12
Y	-----	5-9,14, 15
X	US 2002/171510 A1 (KUSHITANI HIROSHI [JP] ET AL) 21 November 2002 (2002-11-21) paragraph [0047]; figure 3	1-3, 10-12

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
8 October 2014		15/10/2014
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer
		Mosig, Karsten

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2014/046021

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 6448873	B1	10-09-2002	JP H11251145 A	17-09-1999
			US 6175727 B1	16-01-2001
			US 6448873 B1	10-09-2002

US 2009322447	A1	31-12-2009	NONE	

US 2010072572	A1	25-03-2010	NONE	

US 2002171510	A1	21-11-2002	CN 1372378 A	02-10-2002
			DE 60226188 T2	14-05-2009
			EP 1235347 A2	28-08-2002
			JP 2002261561 A	13-09-2002
			US 2002171510 A1	21-11-2002

フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

H 0 1 G 4/12

(81)指定国 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IR,IS,JP,KE,KG,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US

(72)発明者 ウー, シューシエン

アメリカ合衆国、 9 5 1 2 4 カリフォルニア州、 サン・ノゼ、 ロジック・ドライブ、 2 1 0 0

(72)発明者 ウー, ジャオイン・ディ

アメリカ合衆国、 9 5 1 2 4 カリフォルニア州、 サン・ノゼ、 ロジック・ドライブ、 2 1 0 0

Fターム(参考) 5E001 AB06 AB07 AC02

5F038 AC04 AC05 AC07 AV13 AZ04 CA02 EZ20

5F064 BB37 CC23 DD10 EE26 EE27 FF06 FF36