

公告本

申請日期	90 12 12
案 號	90130778
類 別	H01L 29/04 H01L 31/036

A4
C4

516231

(以上各欄由本局填註)

發明專利說明書

一、發明 新 型名稱	中 文	製造半導體結構之裝置
	英 文	APPARATUS FOR FABRICATING SEMICONDUCTOR STRUCTURES
二、發明 人 人	姓 名	1.瑞維卓納斯 卓沛德 RAVINDRANATH DROOPAD 2.余吉怡 ZHIYI YU 3.威廉 歐姆斯 WILLIAM OOMS 4.賈買 藍丹尼 JAMAL RAMDANI
	國 籍	1.-4.均美國
三、申請人	住、居所	1.美國亞歷桑那州查德勒市西泰森街4515號 2.美國亞歷桑那州吉爾伯特市西梅利爾大道449號 3.美國亞歷桑那州普史考特市西迪隆瓦西區7200號 4.美國亞歷桑那州查德勒市西湯森路1082號
	姓 名 (名 稱)	美商摩托羅拉公司 MOTOROLA INC.
	國 籍	美國
	住、居所 (事務所)	美國伊利諾州史堪伯市東阿崗崑路1303號摩托羅拉中心
	代 表 人 姓 名	F. 強 莫辛格 F. JOHN MOTSINGER

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

美國 2001年02月09日 09/780,119 ☒有 ☐無 主張優先權

有關微生物已寄存於： 寄存日期： ，寄存號碼：

裝
訂
線

五、發明說明(1)

本專利申請已歸檔於美國專利申請案號09/780119中，歸檔日期為2001年2月9日。

與相關申請案件之相互參照

本發明係序號09/607,207，2000年6月28日歸檔，名為「半導體結構、半導體裝置、通訊裝置、積體電路及其製造方法(Semiconductor Structure, Semiconductor Device, Communicating Device, Integrated Circuit, and Process for Fabricating the Same)」之專利申請案的部份接續申請案，該申請案係序號09/502,023於2000年2月10日歸檔之之專利申請案的部份接續申請案。

發明領域

本發明大體與一形成多磊晶層之半導體結構的裝置及其製造方法有關，尤其，本發明與配置以形成該結構的多室沉積設備以及使用該設備以形成該結構的方法有關。

發明背景

半導體裝置通常包含許多層導電、絕緣和半導體層膜。此種層膜合意的特性常隨該層膜之結晶結構而改善。例如：電子的遷移率及半導體層的帶隙，即可因該層的結晶結構增加而獲得改善。同樣地，導電層的自由電子濃度和電子的電荷位移，以及絕緣或介電薄膜之電子能量回收能力，皆可因這些層膜的結晶結構的增加而改善。

多年以來，不斷有人嘗試在一外來基板(諸如矽(Si))上生成各種單片的薄膜。然而，為了達到各種單片層膜的最佳特性，需要一種高結晶品質的單結晶薄膜。例如，已嘗

五、發明說明(2)

試在諸如鍺、矽及各種絕緣體之基板上生長各種單結晶層。這些嘗試一直尚未成功，因為主晶與生長晶間的晶格不匹配，導致所產生的單結晶材料層的結晶品質不佳。

另外，於一基板上生長該單結晶薄膜的嘗試，通常包含利用分開的專屬沉積反應器以形成多種單結晶層。例如，若一結構包含形成於一基板上，屬第一類之一第一單結晶層，以及形成於該第一單結晶層上，屬第二類之一第二單結晶層，則通常會用一第一反應器以形成該第一層，並用一第二反應器以形成該第二層。

基於以下幾個原因，此種利用分開反應器以形成各種單結晶層的方法將造成問題。具體而言，為將該基板自一反應器傳送至下一反應器，必須把為單結晶層形成之目的所保持的真空壓力排除以與環境狀況平衡。當基板處於環境狀況時，基板將會暴露於諸如碳、二氧化碳、水蒸氣及其他大氣中的氧化劑之類的污染物當中。污染物和 / 或不受歡迎的氧化作用可能需要額外的處理，以移除該材料且 / 或可能對後續生長的薄膜中諸如電子傳送及光學效率等的特性造成有害的影響。

因此，對提供多室以在單一基板上形成多種單結晶薄膜的半導體結構製造設備而言，需要在反應器間傳送該基板之時保持該基板不致暴露於環境狀況中。

圖式簡單說明

本發明將藉由實例來進行解說，但本發明未限定在其相關附圖內，其中相似的代號代表相似的元件，並且其中：

五、發明說明(3)

圖1顯示根據本發明之一製造半導體結構的裝置之示意圖；

圖2顯示根據本發明之另一具體實施例中一製造半導體結構的裝置之示意圖；

圖3至6顯示使用本發明之裝置所形成之半導體結構的斷面圖；

圖7係圖1中製造半導體結構之裝置的一部份之較詳細圖示說明；以及

圖8顯示根據本發明之形成半導體結構的流程。

熟知技藝人士應明白，圖中的元件是為簡化及清楚的目的所繪製，並且不一定按照比例。例如，相對於其他元件，圖中部份元件的尺寸可能過度放大，以利於更容易瞭解本發明的具體實施例。

圖式詳細說明

圖1顯示根據本發明一項示範性具體實施例之一多室反應器系統100之原理圖，該系統係為形成具有多個單結晶材料層之半導體結構而配置。系統100包含一第一沉積室110、一第二沉積室120、連接沉積室110與120的一傳送模組130、一選擇性的第三沉積室140以及一選擇性的傳送模組150以連接沉積室120與140。如以下詳細說明，系統100亦可選擇性地包含各種輔助室160至190，利用傳送模組200至230與傳送模組130及150偶合。圖中雖以三個沉積室及四個輔助室說明，然熟知技藝人士應明白，根據本發明之一系統可具有大於兩個之任何數量的沉積室，以及任

五、發明說明(4)

何數量的輔助室。

圖2顯示根據本發明另一項具體實施例之一系統250的圖式。系統250與系統100類似，但系統250係配置成一群組設備工具，並包含一額外之傳送模組240及一中央接頭245。類似於系統100，系統250亦可包含任何數量的輔助室以及大於兩個之任何數量的沉積室。

圖3顯示可用依據本發明之一系統(如系統100或系統250)所形成的一半導體結構300之示意圖。結構300包含一單結晶基板310、含有一單結晶材料的一容納緩衝層320以及一單結晶材料層330。在此文中，術語「單結晶」應具有半導體產業內常用的意義。術語「單結晶」應代表屬於單一結晶或大體上屬於單一結晶的材料，並且應包含具有相當少量缺陷(諸如矽或鍺或混其合物之基板中常發現的位錯等等)的材料，以及半導體產業中常發現之此類材料的磊晶層。

根據本發明一項具體實施例，結構300還包括位於基板310與容納緩衝層320之間的非結晶中間層340。結構300亦可包含位於該容納緩衝層與單結晶材料層330間的一模板層350及/或位於該基板與該容納緩衝層間的一模板層(未顯示)。如下文中將詳細說明的，此類模板層有助於在一層膜上引發生長覆蓋一單結晶材料層。

根據本發明一項具體實施例，基板310是一單結晶半導體晶圓或一合成半導體晶圓，最好是大直徑的。晶圓的材料可屬於周期表第IV族，並且最好是第IVB族的材料。第IV族半導體材料的實例包括矽、鍺、混合矽與鍺、混合矽與

五、發明說明(5)

碳、混合矽、鍺與碳等等。基板310最好是包含矽或鍺的晶圓，並且最好是如半導體業產中使用的高品質單結晶矽晶圓。容納緩衝層320最好是於下方基板上磊晶生長的單結晶氧化物或氮化物材料。根據本發明一項具體實施例，非結晶中間層340係在基板310上生長，並位於基板310與生長的容納緩衝層之間，其方式是在生長層320期間氧化基板310。非結晶中間層係用來減緩由於基板與緩衝層間晶格常數差異，而導致單結晶容納緩衝層可能會發生的應變。在本文中，晶格常數代表在表面平面上所測量之單元原子間的距離。如果非結晶中間層未減緩此類的應變，則應變會引起容納緩衝層內結晶結構中的缺陷。接著，容納緩衝層內結晶結構中的缺陷，將導致難以實現單結晶材料層330中的高品質結晶結構。

容納緩衝層320最好是選用與下方基板結晶相容，及與覆蓋於上之材料層結晶相容的一單結晶氧化物或氮化物或碳化物材料。例如，此類的材料可能是具有與該基板相當匹配，且與後續加諸其上的單結晶材料相當匹配之晶格結構的一氧化物或氮化物。容納緩衝層所適用的材料包括金屬氧化物，諸如鹼土金屬鈦酸鹽、鹼土金屬鋯酸鹽、鹼土金屬鈣酸鹽、鹼土金屬鉭酸鹽、鹼土金屬釷酸鹽、鹼土金屬鈾酸鹽；氧化鈣鈦礦如鹼土金屬錫基鈣鈦礦(alkaline earth metal tin-based perovskite)、釩鋁酸鹽、氧化釩及氧化釷。另外，容納緩衝層也可使用諸如氮化鎵、氮化鋁及氮化硼之類的各種氮化物。這些材料大

五、發明說明(6)

部份是絕緣體，雖然(例如)鋇鈣酸鹽是一導體。一般而言，這些材料是金屬氧化物或金屬氮化物，尤其，這些金屬氧化物或金屬氮化物通常包括至少兩種不同的金屬元素。在某些特定應用中，該金屬氧化物或金屬氮化物可能包括三個或三個以上不同的金屬元素。

非結晶中間層340最好是藉由將基板310表面氧化所形成的一氧化物，尤其是由氧化矽所組成。層膜340的厚度足以減緩因基板310與容納緩衝層320的晶格常數間不匹配所導致的應變。通常，層膜340的厚度大約是在0.5到5奈米(nm)的範圍。

單結晶材料層330的材料可依需要選擇，以符合特定結構或應用。例如：可按照一特定半導體結構的需求，從第IIIA與VA族元素(III-V半導體合成物)、混合III-V合成物、第II(A或B)與VIA族元素(II-VI半導體合成物)，以及混合II-VI合成物中為層膜330選用包括一合成半導體的單結晶材料。實例包括砷化鎵(GaAs)、砷化鎵銦(GaInAs)、砷化鎵鋁(GaAlAs)、磷化銦(InP)、硫化鎘(CdS)、碲化鎘汞(CdHgTe)、硒化鋅(ZnSe)、硒化鋅硫(ZnSSe)等等。單結晶材料層330亦可包括其他用以形成半導體結構、裝置和/或積體電路之半導體材料、金屬或其他材料。

下文中將討論適用於模板層的材料。適合的模板材料以化學方式鍵合在其下方一層膜表面上的選取部位，並提供後續一覆蓋材料層磊晶生長成核(nucleation)的部位。使用

五、發明說明(7)

時，模板層的厚度大約在1到10層單分子層(monolayer)範圍內。

圖4顯示根據本發明另一項具體實施例之一半導體結構400之一部份的斷面圖。結構400類似於前文說明的半導體結構300，除了介於容納緩衝層320與單結晶材料層330間的一額外緩衝層410以外。具體而言，該額外緩衝層係位於模板層350與覆蓋其上的單結晶材料層之間。當容納緩衝層之晶格常數無法適當匹配覆蓋其上之單結晶半導體或合成半導體材料層時，由(例如)一半導體或合成半導體所形成的額外緩衝層係用來提供晶格補償。

圖5顯示根據本發明另一項示範性具體實施例之半導體結構500之一部份的斷面圖。結構500類似於結構400，除了結構500包括一非結晶層510(而不是容納緩衝層320及非結晶中間層340)及一額外單結晶層520以外。

如下文中的詳細說明，可用如上述的類似方法來形成非結晶層510，其方式是先形成一容納緩衝層及一非結晶中間層。然後，(磊晶生長)形成單結晶層520，以覆蓋於該單結晶容納緩衝層上。然後，將容納緩衝層經過一退火處理，以將該單結晶容納緩衝層轉換為一非結晶層。以此方式形成的非結晶層510包括來自於該容納緩衝層及中間層的材料，此非結晶層可能可以或不可以汞齊化(amalgamate)。介於基板310與單結晶層330間形成的非結晶層510(接著層膜520的形成)減緩了介於層膜310與層膜520間的應變，並且提供一真正合乎標準的基板，以利後續處理，例如單結

五、發明說明(8)

晶材料層330的形成。

前文中配合圖3及4所說明的製程適用於在一單結晶基板上生長單結晶材料層。然而，配合圖5所說明之包括將單結晶容納緩衝層轉換成非結晶氧化物層的製程，可能更適合生長單結晶材料層，因其使層膜520中的任何應變得以減緩。

額外的單結晶層520可包括這整份說明書中配合單結晶材料層330或額外緩衝層410所說明的任何材料。例如：當單結晶材料層330包括一半導體或合成半導體材料時，層膜520可包含單結晶第IV族或單結晶合成半導體材料。

根據本發明一項具體實施例，額外單結晶層520於層膜510形成期間係作為一退火罩(anneal cap)，並且於後續單結晶層330形成期間係作為一模板。因此，層膜520的厚度最好是足以提供適合生長層膜330之模板的厚度(至少一單分子層)，並且是允許層膜520形成一大體上無缺陷的單結晶材料的薄度。

根據本發明另一項具體實施例，額外單結晶層520包括單結晶材料(例如，前文中配合單結晶層330所說明的材料)，其厚度足以在層膜520內形成裝置。在此情況下，根據本發明的一半導體結構不包括單結晶材料層330。換言之，根據此項具體實施例的半導體結構只包括佈置於非結晶氧化物層510上的一單結晶層。

下列非限制性、作例證的實例說明根據本發明各種替代具體實施例之結構300、400與500中可用的各種材料組

五、發明說明(9)

合。這些實例完全是用來說明，並且本發明不限定於這些作例證的實例。

實例1

根據本發明一項具體實施例，單結晶基板310係指向(100)方向的一矽質基板。該矽質基板可能是(例如)用來製造互補金屬氧化物半導體(CMOS)積體電路中常用的一矽質基板，其直徑大約為200到300厘米(mm)。根據本發明的此項具體實施例，容納緩衝層320是一 $\text{Sr}_z\text{Ba}_{1-z}\text{TiO}_3$ 單結晶層，其中 z 介於0到1之範圍，而非結晶中間層是在介於該矽質基板與該容納緩衝層間之界面上形成的一氧化矽(SiO_x)層。所選用的 z 值是為了獲得緊密匹配對應之後續形成層膜330之晶格常數的一個或一個以上晶格常數。該容納緩衝層的厚度可在大約2到100奈米(nm)的範圍內，並且最好是大約5 nm的厚度。一般而言，希望容納緩衝層的厚度足以隔離該合成半導體層與該基板，以獲得理想的電子及光學特性。厚度大於100 nm的層通常較少提供額外的優點，卻增加不必要的成本；然而，若需要，仍可製造較厚的層。氧化矽非結晶中間層的厚度大約在0.5到5 nm的範圍內，並且最好是大約1到2 nm的厚度。

根據本發明的此項具體實施例，單結晶材料層330是砷化鎵(GaAs)或砷化鋁鎵(AlGaAs)層，其厚度大約是1 nm到大約100微米(μm)，並且最好是大約0.5 μm 到10 μm 的厚度。厚度通常視該層準備作何種應用而定。為了促進在該單結晶氧化物上磊晶生長砷化鎵或砷化鋁鎵，將藉由覆蓋

五、發明說明(10)

氧化層來形成一模板層。該模板層最好是Ti-As、Sr-O-As、Sr-Ga-O或Sr-Al-O的1到10層單分子層。藉由一較佳實例，已證實Ti-As或Sr-Ga-O的1到2層單分子層可成功生長GaAs層。

實例2

根據本發明一進一步具體實施例，單結晶基板310是如上文所述的一矽質基板。該容納緩衝層是立體或斜方晶相之鋇或鋇銻酸鹽或鈦酸鹽的單結晶氧化物，而非結晶中間層是在介於該矽質基板與該容納緩衝層間之界面上形成的氧化矽層。該容納緩衝層的厚度大約在2到100 nm的範圍內，並且最好是至少5 nm的厚度，以確保足夠的結晶及表面品質，並且是由單結晶 SrZrO_3 、 BaZrO_3 、 SrHfO_3 、 BaSnO_3 或 BaHfO_3 所組成。例如，可在大約 700°C 的溫度下生長一 BaZrO_3 單結晶氧化層。所產生之結晶氧化物的晶格結構相對於基板矽晶格結構呈現45度的旋轉。

由這些銻酸鹽或鈦酸鹽材料所形成的一容納緩衝層適合在磷化銦(InP)系統中生長一包括合成半導體材料之單結晶材料層。於此系統中，該合成半導體材料可能是(例如)厚度大約是1.0 nm到10 μm 的磷化銦(InP)、砷化銦鎵(InGaAs)、砷化鋁銦(AlInAs)或磷砷化鋁銦鎵(AlGaInAsP)。適用於此結構的模板層是銻-砷(Zr-As)、銻-磷(Zr-P)、鈦-砷(Hf-As)、鈦-磷(Hf-P)、鋇-氧-砷(Sr-O-As)、鋇-氧-磷(Sr-O-P)、鋇-氧-砷(Ba-O-As)、銦-鋇-氧(In-Sr-O)或鋇-氧-磷(Ba-O-P)的1到10層單分子層，並且最

五、發明說明 (11)

好是這些材料其中之一的1到2層單分子層。藉由實例，就鉬銨酸鹽容納緩衝層而言，該表面係以銨的1到2層單分子層終止，之後接著沈積砷的1到2層單分子層，以形成Zr-As模板。然後，在模板層上生長以磷化銦系統為材料的合成半導體材料的單結晶層。所產生之合成半導體材料的晶格結構呈現相對於容納緩衝層晶格結構的45度旋轉，並且不匹配(100)InP的晶格小於2.5%，並且最好小於大約1.0%。

實例3

根據本發明一進一步具體實施例，提供一適合生長包括一II-VI族材料之一單結晶材料磊晶薄膜之結構，覆蓋於一矽質基板上。如上文所述，該基板最好是一矽晶圓。 $\text{Sr}_x\text{Ba}_{1-x}\text{TiO}_3$ 是一適合的容納緩衝層材料，其中x介於0到1範圍內，厚度大約在2到100 nm，並且最好是大約5到15 nm的厚度。該II-VI族合成半導體材料可能是(例如)鋅亞硒酸鹽(ZnSe)或鋅硫亞硒酸鹽(ZnSSe)。適用於此材料系統的模板包括鋅-氧(Zn-O)的1到10層單分子層，之後接著是過量的鋅的1到2層單分子層，之後是位於表面上的鋅亞硒酸鹽。或者，一模板層可能是(例如)1到10層單分子層的鋇-硫(Sr-S)，之後接著是ZnSeS。

實例4

本發明的此項具體實施例是圖4所示之結構400的一實例。基板310、容納緩衝層320及單結晶材料層330可能類似於實例1中所說明之對應項。此外，一額外緩衝層410係

五、發明說明 (12)

用來緩和應變，其中應變是由於該容納緩衝層晶格與單結晶材料間不匹配所致。緩衝層410可能是一層鍺(Ge)或GaAs、砷化鋁鎵(AlGaAs)、磷化銦鎵(InGaP)、磷化鋁鎵(AlGaP)、砷化銦鎵(InGaAs)、磷化鋁銦(AlInP)、磷砷化鎵(GaAsP)或磷化銦鎵(InGaP)的應變補償超晶格。根據此具體實施例的一項觀點，緩衝層410包括 $\text{GaAs}_x\text{P}_{1-x}$ 超晶格，其中x值介於0至1之間的範圍內。根據另一項觀點，緩衝層410包括 $\text{In}_y\text{Ga}_{1-y}\text{P}$ 超晶格，其中y值介於0至1之間的範圍內。藉由改變x值或y值(視情況而定)，晶格常數會隨之橫跨超晶格從下到上改變，以產生下方之氧化物與覆蓋於其上的單結晶材料(此實例中為一合成半導體材料)之晶格常數間的匹配。也同樣可改用諸如前面所列出之其他合成半導體材料的合成物，以用相似的方式來處理層410的晶格常數。超晶格的厚度大約為50到500 nm，並且最好是大約100到200 nm的厚度。此結構的模板可與實例1中說明的模板相同。或者，緩衝層410可為厚度1到50 nm的單結晶Ge，並且最好是大約2到20 nm的厚度。在使用鍺緩衝層的過程中，可使用厚度大約一個單分子層的鍺-鋇(Ge-Sr)或鍺-鈦(Ge-Ti)的一模板層，以作為後續生長單結晶材料層(此實例中為一合成半導體材料)的集結部位。形成氧化層的方式是覆蓋一單分子層鋇或一單分子層鈦，以作為後續沈積單結晶鍺的集結部位。該單分子層鋇或單分子層鈦提供該第一單分子層鍺可鍵合的一集結部位。

實例5

五、發明說明 (13)

此實例同樣說明圖4所示之結構400中適合使用的材料。基板材料310、容納緩衝層320、單結晶材料層330及模板層350可能與實例2中所說明對應項相同。此外，在該容納緩衝層與該覆蓋其上之單結晶材料層之間插入一額外緩衝層410。該緩衝層(此例中包括一半導體材料之另一單結晶材料)可能是(例如)砷化銦鎵(InGaAs)或砷化銦鋁(InAlAs)的粒級層(graded layer)。根據此具體實施例的一項觀點，額外緩衝層410包括InGaAs，其中銦的成分介於0至大約50%之間。該緩衝層的厚度最好是大約10到30 nm。將緩衝層成分從GaAs改成InGaAs，可提供下方的單結晶氧化物材料與覆蓋其上的單結晶材料層(此實例中為一合成半導體材料)間的晶格匹配。如果容納緩衝層320與單結晶材料層330間晶格不匹配，則此一緩衝層特別有用。

實例6

此實例提供在結構500中有用的範例性材料，如圖5所示。基板材料310、模板層350及單結晶材料層330可與實例1中所說明對應項相同。

非結晶層510是由非結晶中間層材料(例如，如上文所述層膜340之材料)與容納緩衝層材料(例如，如上文所述層膜320之材料)之組合所適當形成的一非結晶氧化物層。例如，非結晶層510可包括 SiO_x 與 $\text{Sr}_z\text{Ba}_{1-z}\text{TiO}_3$ 的組合(其中 z 介於0至1的範圍)，其於退火製程期間至少部份組合或混合以形成非結晶氧化物層510。

非結晶層510的厚度會因應用而異，並且可依據如期望的

五、發明說明 (14)

層510絕緣特性、包含層膜330之單結晶材料類型等等的因素。根據本具體實施例一項示範性觀點，層膜510之厚度大約為2 nm至大約100 nm，最好是大約2至10 nm，並且以大約5至6 nm為最佳。

層膜520包括一單結晶材料，其可在如用來形成容納緩衝層320之材料的單結晶氧化物材料上以磊晶方式生長。根據本發明一項具體實施例，層膜520包含與構成層330之材料相同的材料。例如，若層膜330包含GaAs，則層膜520也包含GaAs。然而，根據本發明之其他具體實施例，層膜520可包含不同於用來形成層膜330的材料。根據本發明一項示範性具體實施例，層膜520的厚度為大約1個單分子層至大約100 nm。

實例7

此實例提供在結構500中有用的範例性材料，如圖5所示。此範例性結構類似於如上所述之結構，除了模板層350包含一界面活性劑之外。該界面活性劑係由(例如)以鋁終止一鋁鈦酸鹽容納緩衝層的生長，並將該界面活性劑磊晶沉積於該終止生長之表面上所形成。該界面活性劑可包括(但不限於)諸如Al、In和Ga等之元素，但將取決於該容納緩衝層之組成及覆蓋其上之單結晶材料層，已獲得最佳效果。於一示範性具體實施例中，用Al作為界面活性劑，並進行修改表面和容納緩衝層之表面能量的工作。界面活性劑最好係磊晶生成至大約一至二單分子層之厚度。接著將該界面活性劑暴露於諸如砷之一反應劑中，以形成覆蓋

五、發明說明(15)

層。為產生該覆蓋層，該界面活性劑可暴露於許多種材料中，它們包含(但不限於)諸如As、P、Sb和N等元素。該界面活性劑與該覆蓋層結合，以形成模板層350。將該界面活性劑加入該模板層，促進了後續生長層膜的逐層生長，或Frank Van der Merle生長。

實例8

圖6顯示根據本發明另一項具體實施例之一半導體結構600的圖式。結構600類似於前文說明的結構，除了結構600包含一碳化物容納緩衝層610，而非一氧化物容納緩衝層以外，並包含一覆蓋層620。

結構600係由於基板310上以一非結晶中間層(如下述)形成的一單結晶氧化物層所形成。接著，藉沉積約50Å的矽於該單結晶氧化物層上，以形成該覆蓋層與該碳化物層。接著，在一包含諸如乙炔或甲烷之碳源的環境中，以一介於約800°C至1000°C之溫度範圍執行快速熱退火，以形成覆蓋層620及矽酸鹽非結晶層610。亦可使用其它適當的碳源，重點在讓該快速熱退火步驟能發揮功能，以使該單結晶氧化物層非結晶化，成為一矽酸鹽非結晶層，並將最上層矽層碳化，以形成覆蓋層620(此實例中為一碳化矽(SiC)層)。最後，於該SiC表面上磊晶生長一合成半導體層630(諸如氮化鎵)，以形成結構600。

過去雖然亦曾在SiC基板上生長過Ga₂N，然本發明之此具體實施例卻是首度以單一步驟，於一Si表面上形成包含一SiC頂部表面及一非結晶層之合乎標準的基板。具體而言，

五、發明說明 (16)

本發明之此具體實施例係利用一非結晶化之中間單結晶氧化物層，以形成吸收各層間應力的一矽酸鹽層。另外，與過去使用一SiC基板的狀況不同本發明之此具體實施例不受限於晶圓尺寸，通常SiC基板的直徑皆小於2英吋。

可將包含第III-V族氮化物及矽質裝置的含氮化物半導體合成物之單晶片整合，運用於高溫RF及光電的應用領域。GaN系統在光子業界中具有特定用途，可作藍/綠色和UV光源，以及偵測之用。GaN系統中亦可形成高亮度發光二極體(LED)及雷射。

實例9

本實例的結構與實例6中的結構類似，除了該模板層包含一薄層之Zintl型相位材料，其成分包含金屬以及具有許多離子特性的非金屬。於此情形，模板層350係作為一「軟」層，有非指向性鍵結但具有高結晶度，能吸收晶格不匹配的層膜間累積的應力。模板層350的材料可包括(但不限於)含有Si、Ga、In和Sb的材料，諸如 AlSr_2 、 $(\text{MgCaYb})\text{Ga}_2$ 、 $(\text{Ca,Sr,Eu,Yb})\text{In}_2$ 、 BaGe_2As 和 SrSn_2As_2 等。

舉一特定實例，可用一 SrAl_2 層作為模板層350，並於該 SrAl_2 層上生成一適當之單結晶材料(諸如GaAs)層330和/或520。來自容納緩衝層之 $\text{Sr}_z\text{Ba}_{1-z}\text{TiO}_3$ 層(其中z介於0至1之範圍)中的Al-Ti鍵結大多係金屬性的鍵結，而(來自GaAs層的)Al-As鍵結則係共價的弱鍵結。Sr參與了兩種不同種類的鍵結，其部份電荷轉往包括 $\text{Sr}_z\text{Ba}_{1-z}\text{TiO}_3$ 之較低容納緩衝層之氧氣原子中，以參與其離子鍵結，而其餘價電

五、發明說明 (17)

荷則貢獻給Al，如Zintl相位材料一般實行的方式。所轉換電荷的總和係由組成模板層之元素的相對陰電性，以及原子間距離所決定。於此實例中，Al採用一 sp^3 混雜，並隨時可與單結晶材料層330形成鍵結。

本具體實施例中利用Zintl形式的模板層所產生合乎標準的基板，能吸收一相當大量之應力，而不會明顯增加能源成本。於上述實例中，其Al的鍵結強度係藉改變 $SrAl_2$ 層膜的容積所調整，從而使該裝置可依特定應用調整，包括III-V族與Si裝置的單片整合，以及高k值介電材料(如用於CMOS技術中者)的單片整合。

再度參考圖1和2，可利用系統100或系統250以形成如圖3至6中之結構，而不致於沉積程序或其他處理步驟之間將基板或結構暴露於環境狀態中。具體而言，容納緩衝層、非結晶層、任一模板層以及單結晶材料層可藉生長或沉積產生，且可執行選擇性的退火和/或其他處理步驟，而不會於處理步驟之間將結構暴露於大氣中。因此，利用依據本發明之一系統，可於一基板上形成多種高品質磊晶層。

藉由範例，可利用系統100，於第一沉積室110中形成容納緩衝層320及非結晶氧化物層340，再於第二沉積室120中形成模板層350並形成單結晶材料層330(諸如一GaAs層)而形成結構300。容納緩衝層和合成半導體層最好係於不同室中形成，因用來形成該容納緩衝層的諸如氧氣之類的反應劑，將會對後續形成的合成半導體或其他材料層造成不良影響。例如：氧氣會使GaAs理想的光電特性降低。另

五、發明說明 (18)

外，可選擇性地使用第三沉積室140，以在該半導體結構上形成額外層膜，例如：常用來製造微電子裝置的額外之單結晶層、絕緣層或導電層。

輔助室160至190可在製造半導體結構時充當各種不同用途，並能按特定應用需要任意配置。例如：可利用輔助室以進行模板層的量度或形成；晶圓或結構的洗滌、退火、蝕刻處理，如加載互鎖真空室(load-lock chamber)之類。

根據本發明一項具體實施例，室110為一分子束磊晶生長(molecular beam epitaxy; MBE)反應器，配置以形成容納緩衝層320與非結晶層340。然而，室110尚可包含別種形式的沉積反應器，諸如化學蒸汽化沉積(chemical vapor deposition; CVD)、金屬有機化學蒸汽沉積(metal organic chemical vapor deposition; MOCVD)、遷移率增強型磊晶生長(migration enhanced epitaxy; MEE)、原子層磊晶生長(atomic layer epitaxy; ALE)、物理蒸汽化沉積(physical vapor deposition; PVD)、化學溶劑沉積(chemical solution deposition; CSD)、脈衝雷射沉積(pulsed laser deposition; PLD)、超音波噴射沉積(ultrasonic jet deposition; UJD)等等。

圖7顯示一示範性MBE室110的細部圖。示範室110包含一旋轉操縱器710、滲出單元720至740、一電漿源750及閘門(shutter)760至790。室110亦包含一閘門機構795，其係設計於一沉積程序時將室110密封，並於沉積程序前後允許將基板(如晶圓)傳送至系統100的其他室去，讓晶圓能

五、發明說明 (19)

在室與室間傳送而不必讓系統100排氣。

室110和操縱器710可配置以處理各種大小的晶圓，依據本發明之一具體實施例，操縱器710及室110係設計以處理直徑大到300 mm的晶圓。操縱器710進一步配置以將晶圓加熱到至少約850°C，其對晶圓的溫度變異約為百分之一至二。另外，室110的設計最好是能使其所沉積的薄膜厚度的變異，約為該薄膜之厚度及組成的±百分之二以內。

單元720至740中包含形成一理想薄膜所需的材料。依據所說明的具體實施例，單元720包含一鋁來源，單元730包含一鋇來源，單元740包含一鈦來源。單元730及740的設計最好是能在高達約1200°C的溫度下操作，而來源材料則容納於單元內的熱解氮化硼(pyrolytic boron nitride; PBN)坩堝中，單元740的設計最好是能在高達約2000°C的溫度下操作，其中鈦係容納於一鈹或碳化物塗佈的石墨坩堝中，而氧氣則由具有包含礬土之內襯的電漿源750(例如：一電子迴旋加速反應器(electro cyclotron reactor; ECR)或一射頻電漿產生器)引進該室內。

室110亦可包含諸如反射式高能電子折射(Reflection High Energy Electron Diffraction; RHEED)之類的分析工具，以於沉積時(如當晶圓轉動時)監控薄膜的結晶品質與成分，判定生長中薄膜厚度和 / 或一模板形成程序之端點的一短波長橢圓偏光儀(ellipsometer)等。

根據本具體實施例之一觀點，室110中亦可形成一模板層。或者，若需要亦可於其餘之一或多室(諸如輔助室160

五、發明說明(20)

至190之一)中形成一模板層。

室120及140亦可包含MBE反應器，並配置成類似於室110的方式。或者，室120與140包含其他形式的沉積裝置，諸如用來沉積導電材料的蒸發反應器、CVD反應器等。根據本發明一項具體實施例，室120為一MBE反應器，其配置係為沉積諸如GaAs之合成半導體材料，以形成(例如)材料層330，如圖2至4所顯示。

如上所述，可將輔助室160至190配置成執行各種處理和/或量度的功能。根據本發明一項說明性具體實施例，室160為一加載互鎖真空室；室170為一量度室；室180為一快速熱退火(RTA)室；而室190則為一蝕刻室。

加載互鎖真空室160係設計以接收處理晶圓，並將其暴露於一真空壓力中。亦可配置室160(或者再加上另一室)以執行對晶圓表面的一乾式洗滌或去氧還原。根據本具體實施例之一觀點，室160包含一氫氣烘烤反應器，或一氫氣電漿反應器。

量度室170可包含各種分析薄膜特性的工具，若需要，亦可包含形成一模板層以便進行後續沉積的工具。例如，室170亦可包含一鋁來源，以便在一氧化物上後續合成半導體單結晶生長一模板層，並包含紫外光橢圓偏光儀(ultraviolet ellipsometer)、離子散射能譜(ion scatter spectroscopy)或其他量測儀器，以量度模板層結構的端點。

RTA室係配置以加熱結構至一理想溫度，以(例如)如圖

五、發明說明(21)

5 所示形成非結晶層510。根據本具體實施例之一觀點，RTA室亦包含氣體源，以於退火程序時提供其中一或數種薄膜成分之過壓。例如：若一GaAs薄膜暴露於此退火程序中，室180即可自(例如)一叔丁基砷(tertiary butyl arsenic; TBA)、升華砷(subliming arsenic)或砷化三氫(arsine)源包含一過壓之As。

蝕刻室190可適當地包含一乾式蝕刻反應器，諸如一反應式離子蝕刻，或乾式化學蝕刻反應器。根據本具體實施例之一觀點，室190係設計來將利用系統100所沉積的一或多個薄膜之一部份移除。例如：可將室190配置成移除單結晶材料層330之一部份，以移除該薄膜中可能於晶圓處理過程中會遷移至薄膜頂端的雜質。根據本具體實施例之一觀點，蝕刻室190包含一高能光束反應器室，以移除一薄膜之一部份。該能量光束可包括諸如氬離子、電子或光子的離子，以一斜角向該薄膜的表面發射。入射角之選擇係能緩和其對該薄膜表面的損害。可改變其光束流量及表面溫度，以達最佳之洗滌效果。

圖8顯示利用系統100以形成半導體結構的一流程800。流程800包含一裝載步驟810、一選擇性洗滌步驟820、一選擇性模板形成步驟830、一容納緩衝層形成步驟840、一選擇性模板形成步驟850、一單結晶層生長步驟860、一選擇性退火步驟870、一選擇蝕刻步驟880以及一選擇性額外單結晶層生長步驟890。

裝載基板步驟810包含將諸如矽晶圓之基板放入系統100

五、發明說明(22)

之(例如)室160中，密封並排光室160的空氣使之形成真空。根據本發明一較佳具體實施例，該半導體基板是具有(100)方向的矽質晶圓。該基板最好是以軸線為方向，或頂多偏離軸線[110]大約4°。該半導體基板至少一部份具有裸面，雖然基板的其他部份可能包含其他結構，如下文所述。在本文中，術語「裸」表示已清除基板該部份表面，以移除任何氧化物、污染物或其他異質材料。眾所皆知，裸矽具有高度反應性，並且很容易形成一天然氧化物。術語「裸」即有意包含此類的天然氧化物。也可能故意在半導體基板上生長一薄型氧化矽，然而此類的生成氧化物不是根據本發明之方法的必要項。為了磊晶生長一單結晶氧化層以覆蓋單結晶基板，必須先去除該天然氧化層，以暴露其下層基板的結晶結構。

接著可將該基板傳送至一洗滌室(如室170)以將該晶圓表面的污染物和/或不受歡迎的氧化物移除(步驟820)。根據本具體實施例之一觀點，這些晶圓係暴露於一氫氣電漿洗滌程序中，在高溫下歷時約60至300秒。

接著將這些晶圓傳送至室110以進行選擇性的模板形成步驟830，以及容納緩衝層形成步驟840。若該基板包含一氧化物層，則亦可於室110中以沉積一薄層的鋇、鋇、鋇與鋇的組合或其他鹼土金屬或鹼土金屬組合，將此氧化物層去除。在使用鋇的情況下，接著將該基板加熱到大約730至800°C，使鋇與天然氧化矽層產生化學反應。鋇係用來分解氧化矽，而留下無氧化矽的表面。所產生的表面包括鋇、

五、發明說明(23)

氧及矽，並呈現整齊的2x1結構。整齊的2x1結構形成一模板，用以有序生長一單結晶容納緩衝材料的覆蓋層。

根據本發明之一替代性具體實施例，可轉換該天然氧化矽並準備該基板表面，以生長單結晶氧化層，其方式是在低溫下藉由MBE在基板表面上沈積如氧化鋁、氧化鋁鎂或氧化鋁之類的鹼土金屬氧化物，接著將該結構加熱到大約850°C。在此溫度下，氧化鋁與天然氧化矽間發生的固態反應導致天然氧化矽還原，並在該基板表面上留下具有鋁、氧及矽的有序2x1結構。再次，以此方式形成一模板，用以接著生長有序單結晶容納緩衝層。

根據本發明一項具體實施例，在去除基板表面上的氧化矽後，將該基板冷卻到大約200至800°C範圍內的溫度，並且藉由分子束磊晶生長在模板層上生長鋁鈦酸鹽層。該MBE方法係從打開MBE裝置中的閘門(如閘門760至790)開始，以暴露鋁、鈦及氧的來源。鋁與鈦的比率大約是1:1。氧氣分壓最初設定在最小值，以利於以每分鐘大約0.3到0.5 nm的生長速度來生長推測的鋁鈦酸鹽。在初步引發生長鋁鈦酸鹽後，將氧氣分壓遞增到大於最初的最小值。氧氣過壓會導致在基礎基板與生長中之鋁鈦酸鹽層之間的界面上生長非結晶氧化矽層。生長氧化矽層起因於氧氣會通過生長中之鋁鈦酸鹽層擴散到位於基礎基板表面上氧氣與矽產生化學反應的界面。鋁鈦酸鹽生長成為有序單結晶，並且具有相對於有序2x1結晶結構之基礎基板旋轉45°的結晶方向。否則，鋁鈦酸鹽層可能存在應變，這是因

五、發明說明(24)

為矽基板與生長晶體之間晶格常數微幅不匹配所致，而在非結晶氧化矽中間層中可減緩此類的應變。

在鋁鈦酸鹽層生長到所希望的厚度後，接著藉由模板層來覆蓋單晶形鋁鈦酸鹽，以促進後續生長所希望之單結晶材料的磊晶層(步驟850)。例如：就後續生長一單結晶合成半導體材料層之GaAs而言，覆蓋MBE生長的鋁鈦酸鹽單結晶層的方式為，以1到2層單分子層鈦、1到2層單分子層鈦-氧或1到2層單分子層鋁-氧來終止其生長。其中任一種都可形成適合沈積及形成砷化鎵單結晶層的模板。步驟850可於室110中或輔助室160至190之任一室中執行。或者，模板層形成步驟850可包含如上實例7所述的鋁之沉積。

在沉積該模板之後，晶圓傳送至室120以進行單結晶層的形成(步驟860)。根據本發明一項具體實施例，該單結晶材料包含GaAs，並係藉於該室中引進砷，再於後續引進鎵以與砷反應，以形成一GaAs單結晶層。或者，可在覆蓋層上沈積鎵，以形成一Sr-O-Ga鍵合，並後續引進砷，以形成GaAs。

藉由如上文所述的方法並加上一額外緩衝層沈積步驟，即可形成如圖4所示的結構400。在沈積單結晶材料層之前，利用(例如)室120先形成覆蓋於該模板層之上的緩衝層。若該緩衝層為包括一合成半導體超晶格之單結晶材料，則可在如上文所述的模板上藉由(例如)MBE來沈積此類的超晶格。如果用包括一鍺層的單結晶材料層來取代該緩衝層，則會修改上述的程序，以最後的鋁層或鈦層來覆

五、發明說明(25)

蓋鋇鈦酸鹽單結晶層，然後藉由沈積鍺，以與上述鋇或鈦產生化學反應。然後，可在此模板上直接沈積鍺緩衝層。

圖5所示之結構500的形成方式可能是，生長一容納緩衝層、在基板上形成非結晶氧化物層，以及在該容納緩衝層上生長該單結晶材料層，如上文所述。然後，將該容納緩衝層及非結晶氧化物層經過一退火程序(步驟870)，使該容納緩衝層的結晶結構足以從單結晶變更成非結晶，藉由形成非結晶層，使非結晶氧化物層與目前的非結晶容納緩衝層的組合形成單一非結晶氧化物層510。接著將該基板傳送回室120，以形成層膜520及後續生成於層膜520之上的層膜330。

根據此具體實施例的一項觀點，形成層510的方式為將基板310、容納緩衝層、非結晶氧化物層及單結晶層520經過一快速熱退火程序，使用的最高溫度大約700°C至大約1000°C，處理時間大約5秒至大約10分鐘。然而，根據本發明，可採用其他適當的退火程序以將該容納緩衝層轉換為一非結晶層。例如，可使用雷射退火、電子束退火或「傳統」熱退火程序(在適當的環境中)以形成層膜510。例如：可引進一過壓之砷以減輕一GaAs層膜於步驟870時之剝蝕現象。

如上所述，結構500的層膜520可包括適用於層膜330或310的任何材料。因此，可採用前述配合層膜330或310的任何沈積或生長方法來形成層膜520。

可利用選擇性蝕刻步驟880，以在進一步處理之前自該結

五、發明說明 (26)

構之一表面上移除不受歡迎的污染物。雖然於程序800中係安排在退火步驟870之後，蝕刻步驟亦適於在步驟870之前執行。根據本發明一項具體實施例，步驟880包含對層膜330進行諸如一氫離子蝕刻之蝕刻程序。

最後，步驟890可包含用於製造半導體裝置的任何額外處理步驟。例如：步驟890可包含絕緣、導電、介電或其他薄膜的沉積程序。

如上文所述的方法說明一種藉由分子束磊晶生長程序來形成一半導體結構的方法，其中該半導體結構包含一矽基板、一覆蓋其上的氧化物層及包括一砷化鎵合成半導體層之一單結晶材料層。該程序亦可由CVD、MOCVD、MEE、ALE、PVD、CSD、PLD、UJD等方法來進行。另外，藉由類似的程序，還可生長其他的單結晶容納緩衝層，諸如碳酸鹽、鹼土金屬鈦酸鹽、鹼土金屬鋳酸鹽、鹼土金屬鈐酸鹽、鹼土金屬鉭酸鹽、鹼土金屬釩酸鹽、鹼土金屬鈹酸鹽、鹼土金屬鈮酸鹽，以及氧化鈣鈦礦如鹼土金屬錫基鈣鈦礦(alkaline earth metal tin-based perovskite)、鋁酸鹽、氧化鋁及氧化釩。另外，藉由諸如MBE的類似程序，還可沈積其他包括第III-V及II-VI族單結晶合成半導體、半導體、金屬及非金屬的單結晶材料層，以覆蓋於單結晶氧化物容納緩衝層之上。

單結晶材料層與單結晶氧化物容納緩衝層的每種變化，都是使用適當的模板，以利於開始生長單結晶材料層。例如，如果容納緩衝層是一鹼土金屬鋳酸鹽，則可藉由薄型

五、發明說明(27)

銦層來覆蓋於該氧化物之上。沈積銦之後，接著沈積要與銦產生化學反應的砷或磷，作為分別沈積砷化銦鎵、砷化銦鋁或磷化銦的前導。同樣地，如果該單結晶氧化物容納緩衝層是一鹼土金屬鈣酸鹽，則可藉一薄型鈣層來覆蓋於該氧化物層之上。沈積鈣之後，接著沈積要與鈣產生化學反應的砷或磷，作為分別生長砷化銦鎵、砷化銦鋁或磷化銦層的前導。在類似的方法中，可用鋇或鋇暨氧層來覆蓋於鋇鈦酸鹽之上，並且用鋇或鋇暨氧層來覆蓋於鋇鈦酸鹽之上。沈積前述各項之後，接著可沈積要與覆蓋其上的材料產生化學反應的砷或磷，以形成用來沈積包括合成半導體的一單結晶材料層的模板，其中之合成半導體包括砷化銦鎵、砷化銦鋁或磷化銦。

顯然地，那些特別描述具有合成半導體部份及第 IV 族半導體部份結構的具體實施例，都是用來解說本發明之具體實施例，而不是用來限制本發明。尚有其他組合的多樣性及本發明的其他具體實施例。例如：本發明包括製造形成半導體結構、裝置及包含其他層膜(諸如金屬與非金屬層)的積體電路的材料層之結構及方法。具體而言，本發明包含形成一符合規格之基板的裝置及方法，該基板係用於製造半導體結構、裝置及積體電路，以及適合製造該類結構、裝置及積體電路的材料層。藉由運用本發明的具體實施例，現在更容易合併包含單結晶層的裝置(包括半導體及合成半導體材料以及其他用以形成該類裝置的材料層)，與適合用半導體或合成半導體材料運作，或容易形成並且便

五、發明說明 (28)

宜的其他組件。如此可縮小裝置、降低製造成本並增加良率及可靠度。

根據本發明一項具體實施例，可用一單結晶半導體或合成半導體晶圓，以於該晶圓上形成單結晶材料層。如此，該晶圓實質上是在製造用來覆蓋於晶圓上之單結晶層內的半導體電子組件的期間所使用的「處理」晶圓。因此，可在直徑至少約200 mm且可能是至少約300 mm之晶圓上的半導體材料內形成電子組件。

藉由使用此類型基板，相對低價的「處理」晶圓克服合成半導體晶圓或其它單結晶材料晶圓的易碎性質，其方式是將此類晶圓放置在相對更耐用且容易製造的基礎材料上。因此，可形成一種積體電路，以便能夠在該單結晶材料層內形成(或利用其形成)所有的電子組件，尤其是所有的主動式電子裝置，即使基板本身可包括一單結晶半導體材料。與相對小型且更易碎的基板(諸如傳統的合成半導體晶圓)相比，因為能夠以更經濟且更容易的方式來處理大型基板，所以可降低合成半導體裝置及其他引用非矽單結晶材料之裝置的製造成本。

於前面的規格說明中，已參考特定具體實施例來說明本發明。然而，熟知技藝人士應明白本發明的各種修改並且容易修改，而不會脫離如下文中申請專利範圍所提供之本發明的範疇。因此，規格說明暨附圖應視為解說，而不應視為限制，並且所有此類的修改皆屬本發明範疇內。

上述已說明關於特定具體實施例的優勢、其他優點及問

五、發明說明(29)

題解決方案。但是，可導致任何優勢、優點及解決方案發生或更顯著的優勢、優點、問題解決方案及任何元件，不應被理解為任何或所有申請專利範圍的關鍵、必要項或基本功能或元件。本文中所使用的術語「包括」、「包含」或其任何其他的变化，都是用來涵蓋非專有內含項，使得包括元件清單的程序、方法、物品或裝置不僅包括這些元件，而且還包括未明確列出，或此類製程、方法、物品或裝置固有的其他元件。

五、發明說明 ()
29a

元 件 符 號 說 明

100	反應器系統	350	模板層
110	第一沈積室	400	半導體結構
120	第二沈積室	410	緩衝層
130	傳送模組	500	半導體結構
140	第三沈積室	510	非結晶層
150	傳送模組	520	單結晶層
160、170、180、190	輔助室	600	半導體結構
200、210、220、230	傳送模組	610	容納緩衝層
240	傳送模組	620	覆蓋層
245	中央接頭	630	合成半導體層
250	系統	710	操縱器
300	半導體結構	720、730、740	單元
310	單結晶基板	750	電漿源
320	容納緩衝層	760、770、780、790	閘門
330	單結晶材料層	795	閥門機構
340	非結晶中間層		

四、中文發明摘要（發明之名稱：製造半導體結構之裝置）

本發明提供一種在諸如大型矽晶圓之單結晶基板(310)上覆蓋生長單結晶材料之高品質磊晶層的裝置(100)及方法。該裝置(100)包含偶合在一起的至少兩個沉積室(110)和(140)。第一室(110)係用來於該基板(310)上形成一容納緩衝層(320)，第二室(140)則係用來於該容納緩衝層(320)上覆蓋形成一層單結晶材料(330)。

APPARATUS FOR FABRICATING
英文發明摘要（發明之名稱：SEMICONDUCTOR STRUCTURES）

An apparatus (100) and method (800) for forming high quality epitaxial layers of monocrystalline materials grown overlying monocrystalline substrates (310) such as large silicon wafers is provided. The apparatus (100) includes at least two deposition chambers (110) and (140) that are coupled together. The first chamber (110) is used to form an accommodating buffer layer (320) on the substrate (310) and the second (140) is used to form a layer of monocrystalline material (330) overlying the accommodating buffer layer (320).

六、申請專利範圍

1. 一種製造半導體結構之多室系統，其包括：
一第一室以在矽基板上形成一單結晶氧化物；以及
與該第一室偶合的一第二室，該第二室係配置以於該單結晶氧化物上形成一合成半導體。
2. 如申請專利範圍第 1 項之多室系統，進一步包括與該第一室及該第二室偶合之一傳送模組。
3. 如申請專利範圍第 1 項之多室系統，進一步包括一退火室。
4. 如申請專利範圍第 3 項之多室系統，其中該退火室係一快速熱退火室。
5. 如申請專利範圍第 1 項之多室系統，進一步包括一量度室。
6. 如申請專利範圍第 5 項之多室系統，其中該量度室包括一紫外光橢圓偏光儀。
7. 如申請專利範圍第 5 項之多室系統，其中該量度室係配置以於該單結晶氧化物上形成一模板層。
8. 如申請專利範圍第 1 項之多室系統，進一步包括一蝕刻室。
9. 如申請專利範圍第 8 項之多室系統，其中該蝕刻室包含一高能光束反應器。
10. 如申請專利範圍第 1 項之多室系統，進一步包括一第三沉積室。
11. 如申請專利範圍第 1 項之多室系統，其中該第一室與該第二室形成一群組設備工具之一部份，且二者係透過一

六、申請專利範圍

中央接頭偶合在一起。

12.如申請專利範圍第 1 項之多室系統，其中該第一室與該第二室係以一線性配置偶合在一起。

13.如申請專利範圍第 1 項之多室系統，其中該第二室係配置以生長單結晶砷化鎵之一分子束磊晶生長反應器。

14.如申請專利範圍第 1 項之多室系統，其中該第一室係配置以生長一選自由下列所組成之群組的材料：鹼土金屬鈦酸鹽、鹼土金屬鋯酸鹽、鹼土金屬鈮酸鹽、鹼土金屬鉭酸鹽、鹼土金屬釩酸鹽、鹼土金屬鈮酸鹽、鹼土金屬鈷酸鹽、氧化鈣鈦礦如鹼土金屬錫基鈣鈦礦、釩鋁酸鹽、氧化釩及氧化鈮。

15.一種形成具有一單結晶層之一半導體結構之系統，該系統包括：

一第一室，以形成一單結晶容納緩衝層；

一第二室，以形成覆蓋於該容納緩衝層上的一單結晶層；以及

跨越該第一室與該第二室間的一密封通道，該密封通道係配置以讓一基板在該第一室與該第二室間移動。

16.如申請專利範圍第 15 項之系統，其中該第一室包括一分子束磊晶生長反應器。

17.如申請專利範圍第 15 項之系統，其中該第二室包括一分子束磊晶生長反應器。

18.如申請專利範圍第 15 項之系統，其中該容納緩衝層係選自由下列所組成之群組：鹼土金屬鈦酸鹽、鹼土金屬鋯

六、申請專利範圍

酸鹽、鹼土金屬鉛酸鹽、鹼土金屬鉭酸鹽、鹼土金屬釷酸鹽、鹼土金屬鈮酸鹽、鹼土金屬釷酸鹽、氧化鈣鈦礦如鹼土金屬錫基鈣鈦礦、鋁酸鹽、氧化鋁、氧化鈦、氮化鎵、氮化鋁及氮化硼。

19.如申請專利範圍第 15 項之系統，其中該單結晶層包括一合成半導體。

20.如申請專利範圍第 19 項之系統，其中該合成半導體係砷化鎵。

21.如申請專利範圍第 15 項之系統，進一步包括一蝕刻室。

22.如申請專利範圍第 15 項之系統，進一步包括一量度室。

23.如申請專利範圍第 15 項之系統，進一步包括一退火室。

24.如申請專利範圍第 15 項之系統，進一步包括一模板形成裝置。

25.如申請專利範圍第 15 項之系統，進一步包括與該第二沉積室偶合之一第三沉積室。

26.如申請專利範圍第 15 項之系統，其中該第一室與該第二室係透過一中央接頭偶合在一起。

27.一種利用一多室系統形成一半導體結構的方法，該方法包括以下步驟：

提供一矽基板；

在該系統之一第一室中，於該矽基板上形成一單結晶氧化物；

自該第一室移動該結構至該系統之一第二室；以及

在該第二室中，生成一合成半導體層覆蓋於該單結晶

六、申請專利範圍

- 氧化物上。
- 28.如申請專利範圍第 27 項中形成一半導體結構之方法，進一步包括一步驟：在該單結晶氧化物形成之時，於該矽基板與該單結晶氧化物間形成一非結晶氧化物層。
- 29.如申請專利範圍第 27 項中形成一半導體結構之方法，進一步包括一步驟：將該單結晶氧化物退火，使該單結晶氧化物變成非結晶。
- 30.如申請專利範圍第 27 項中形成一半導體結構之方法，進一步包括一步驟：於該單結晶氧化物與該合成半導體層間形成一模板層。
- 31.一種利用一單一以及整合系統形成一半導體結構的方法，該方法包括以下步驟：
- 準備一單結晶基板；
- 於該系統之一第一室中形成一單結晶容納緩衝層；以及
- 於該系統之一第二室中形成一單結晶材料層，覆蓋於該容納緩衝層上。
- 32.如申請專利範圍第 31 項中利用一單一以及整合系統形成一半導體結構之方法，進一步包括：利用該整合系統之一第三室將該結構退火。
- 33.如申請專利範圍第 31 項中利用一單一以及整合系統形成一半導體結構之方法，進一步包括：於該系統之一第四室中形成一模板層。
- 34.如申請專利範圍第 31 項中利用一單一以及整合系統形成一

六、申請專利範圍

半導體結構之方法，進一步包括：於該系統之一室中裝載該單結晶基板。

35.如申請專利範圍第 31 項中利用一單一以及整合系統形成一半導體結構之方法，進一步包括：於該系統之一室中蝕刻該單結晶材料層之一部份。

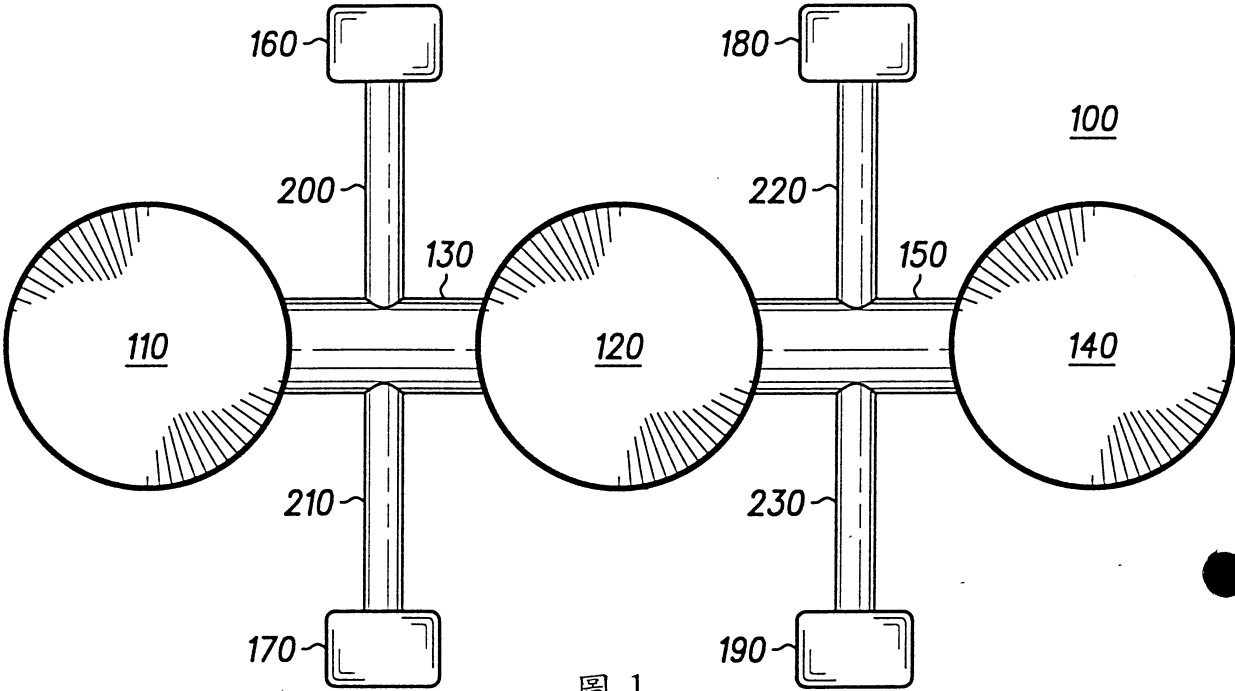


圖 1

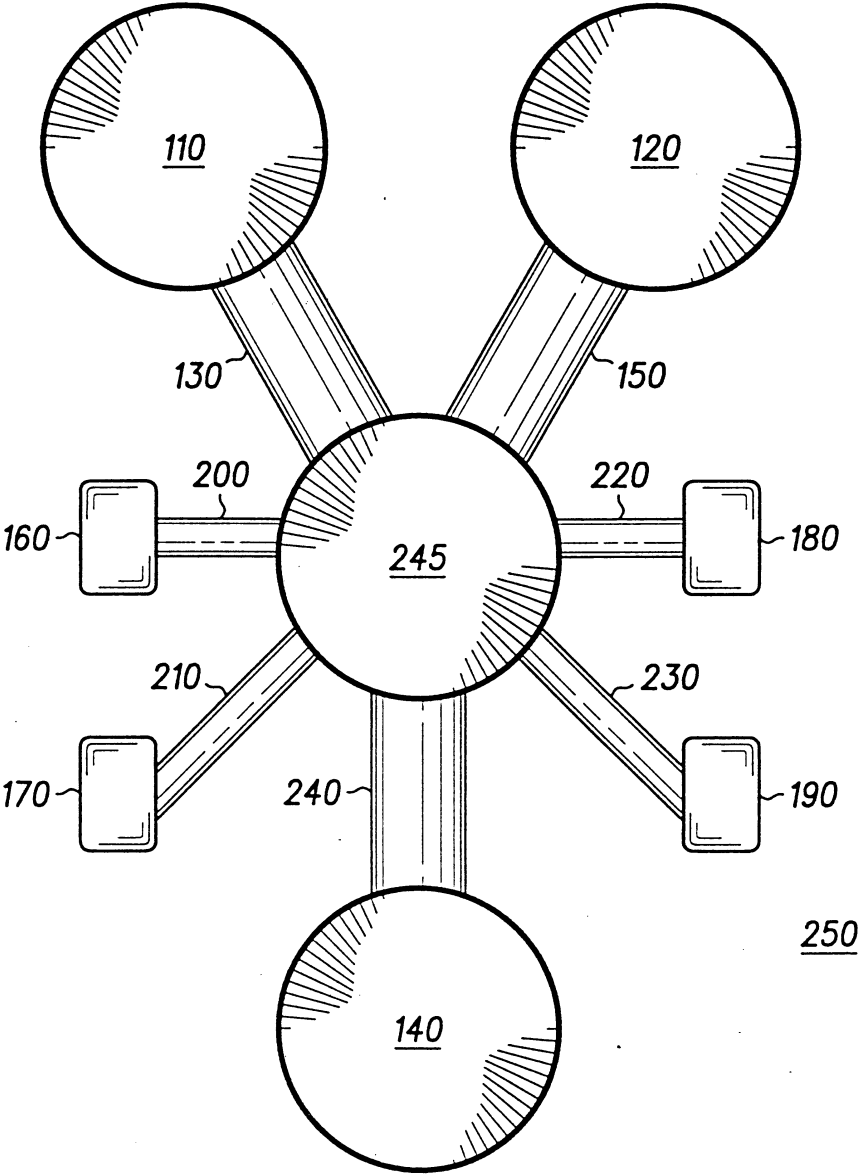


圖 2

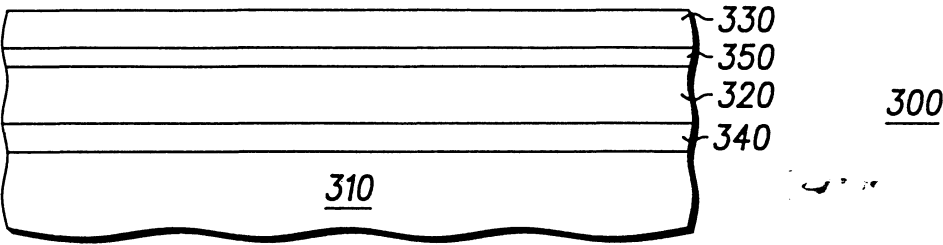


圖 3

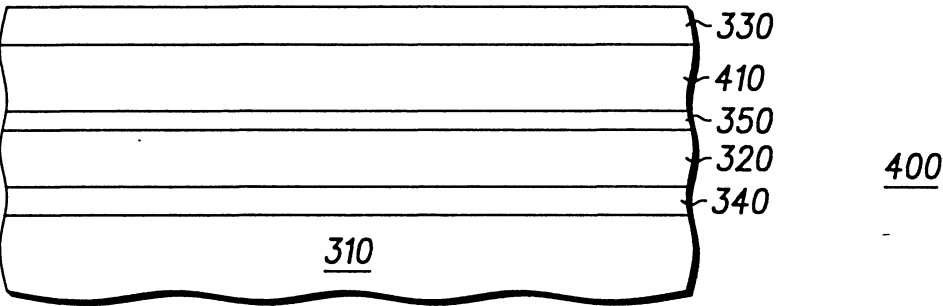


圖 4

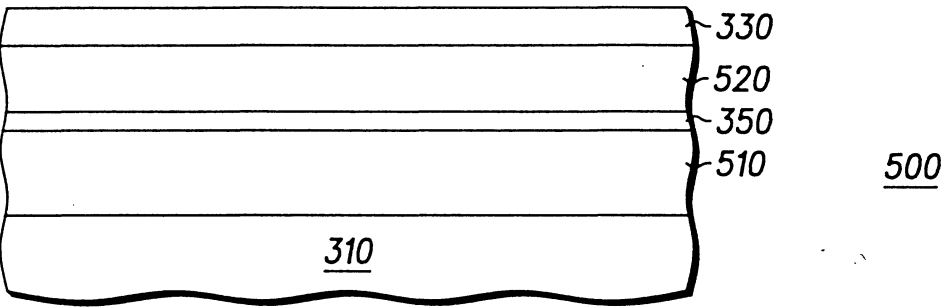


圖 5

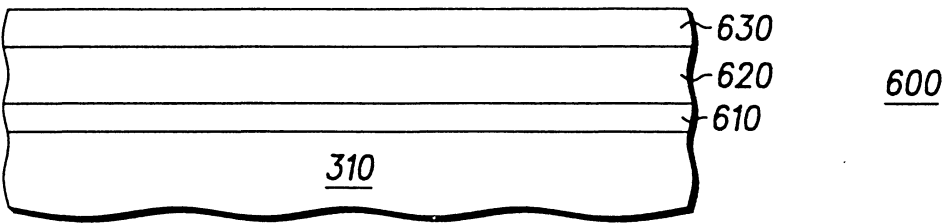


圖 6

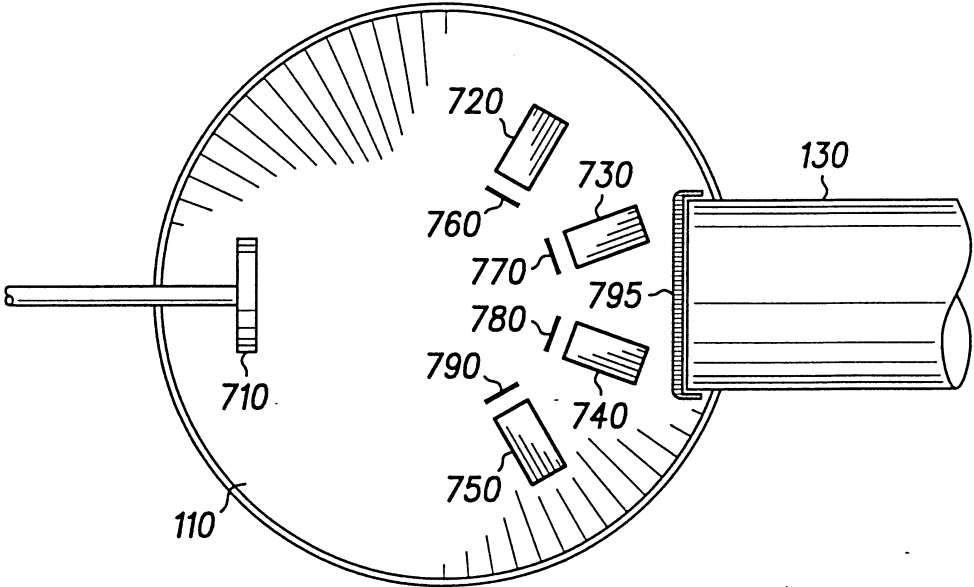


圖 7

