

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5637672号
(P5637672)

(45) 発行日 平成26年12月10日(2014.12.10)

(24) 登録日 平成26年10月31日(2014.10.31)

(51) Int.Cl.	F 1		
HO 1 L 21/822	(2006.01)	HO 1 L 27/04	C
HO 1 L 27/04	(2006.01)	HO 1 L 27/04	H
GO 6 K 19/07	(2006.01)	GO 6 K 19/00	H
GO 6 K 19/077	(2006.01)	GO 6 K 19/00	K

請求項の数 5 (全 24 頁)

(21) 出願番号	特願2009-226638 (P2009-226638)	(73) 特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成21年9月30日 (2009.9.30)	(72) 発明者	八瀬 裕人 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(65) 公開番号	特開2010-109351 (P2010-109351A)		
(43) 公開日	平成22年5月13日 (2010.5.13)		
審査請求日	平成24年9月18日 (2012.9.18)		
(31) 優先権主張番号	特願2008-256056 (P2008-256056)		
(32) 優先日	平成20年10月1日 (2008.10.1)		
(33) 優先権主張国	日本国 (JP)	審査官	樋本 剛

最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【特許請求の範囲】

【請求項 1】

無線チップと、導電性遮蔽体と、を有し、

前記無線チップは、集積回路及び共振容量部を有するICチップと、前記ICチップ上のアンテナと、前記アンテナ上の絶縁膜と、を有し、

前記導電性遮蔽体は、前記無線チップの全上面、全下面、及び全側面と接するように設けられており、

前記導電性遮蔽体は、前記絶縁膜を介して前記アンテナの上面と重なる領域と、前記絶縁膜を介して前記アンテナの側面と重なる領域と、を有し、

前記アンテナと、前記絶縁膜と、前記導電性遮蔽体とを含む容量素子を有し、

前記導電性遮蔽体は、前記無線チップを囲むように設けられていることを特徴とする半導体装置。

【請求項 2】

無線チップと、導電性遮蔽体と、を有し、

前記無線チップは、集積回路及び共振容量部を有するICチップと、前記ICチップ上のアンテナと、前記アンテナ上の第1の絶縁膜と、第2の絶縁膜と、を有し、

前記導電性遮蔽体は、前記無線チップの全上面、全下面、及び全側面と接するように設けられており、

前記導電性遮蔽体は、前記第1の絶縁膜を介して前記アンテナの上面と重なる領域と、前記第1の絶縁膜を介して前記アンテナの側面と重なる領域と、前記第2の絶縁膜を介し

10

20

て前記アンテナの下面と重なる領域と、を有し、

前記アンテナと、前記第1の絶縁膜と、前記導電性遮蔽体とを含む第1の容量素子を有し、

前記アンテナと、前記第2の絶縁膜と、前記導電性遮蔽体とを含む第2の容量素子を有し、

前記導電性遮蔽体は、前記無線チップを囲むように設けられていることを特徴とする半導体装置。

【請求項3】

請求項1又は2において、前記絶縁体は、纖維体に有機樹脂を含浸させた構造体を有することを特徴とする半導体装置。

10

【請求項4】

請求項1乃至3のいずれか一において、

前記導電性遮蔽体は、金属膜、金属酸化物膜、半導体膜、または金属窒化物膜を含むことを特徴とする半導体装置。

【請求項5】

請求項1乃至3のいずれか一において、

前記導電性遮蔽体は、チタン、モリブデン、タンクステン、アルミニウム、銅、銀、金、ニッケル、白金、パラジウム、イリジウム、ロジウム、タンタル、カドミウム、亜鉛、鉄、シリコン、ゲルマニウム、ジルコニウム、もしくはバリウムから選ばれた元素、前記元素を主成分とする合金材料、前記元素を主成分とする化合物材料、前記元素を主成分とする窒化物材料、または前記元素を主成分とする酸化物材料を含むことを特徴とする半導体装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、無線通信によりデータの交信が可能な無線チップ等の半導体装置に関する。

【背景技術】

【0002】

近年、インターネットの普及で、IT (Information Technology) は全世界に浸透し、大変革をもたらしている。特に最近ではユビキタス情報社会と言われるように、いつでも、どこでも、ネットワークにアクセスできる環境が整ってきた。このような環境の中、個々の対象物にID (固体識別番号) を与えることで、その対象物の履歴を明確にし、生産、管理等に役立てるといった固体認識技術が注目されている。その中でも、特に、無線チップ (IDタグ、ICタグ、ICチップ、RFタグ (Radio Frequency) 、無線タグ、電子タグともよばれる) 等のRFID (Radio Frequency Identification) が、企業内、市場等で試験的に導入され始めている。このような無線チップ等の半導体装置は、カード等に搭載され、最近では様々な分野への応用が提案されている (例えば、特許文献1)。

30

【0003】

上記半導体装置の市場が拡大するにともない、その形状や必要とされる特性等の要求は様々である。例えば、形状に関する要求としては、上記半導体装置の更なる小型化、薄型化などが挙げられる。また、特性に関する要求として、強度や、静電破壊に対する耐性の強化等の信頼性に関わるものが挙げられる。

40

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2001-260580号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

50

しかし一般的には上記半導体装置の小型化、薄型化と信頼性向上の両立は非常に困難である。

【0006】

例えばICチップの小型化をする手段として、アンテナとICチップを重ねて配置する方法がある。しかしながら、一般的に、無線チップにおいてアンテナとICチップを重ねて配置した場合、アンテナとICチップ間で生ずる寄生容量などが原因で集積回路が誤動作を起こす恐れがある。

【0007】

また上記半導体装置において、外部からの静電破壊は、薄型化、小型化するほど深刻な問題となり、半導体装置の作製工程時より検査、製品として使用に至るまで生産性の低下等を招く恐れがある。

10

【0008】

そこで本発明の一態様は、薄型化、及び小型化を達成しながら、外部ストレス、及び静電破壊に対する耐性の強化により信頼性を向上した半導体装置の提供を課題とする。

【課題を解決するための手段】

【0009】

本発明の一態様は、前述した課題を解決するために、以下の構成を有する無線チップを提供する。

【0010】

本発明の一は、集積回路と、共振容量部と、を備えたICチップと、ICチップ上に設けられたアンテナと、アンテナ上に絶縁膜を介して少なくとも一部が重なるように設けられた導電性遮蔽体と、を有し、アンテナと、アンテナ上に設けられた絶縁膜と、絶縁膜上に設けられた導電性遮蔽体との積層構造によって、容量素子が形成されていることを特徴とする。

20

【0011】

また、本発明の一は、導電性遮蔽体と、導電性遮蔽体上に設けられた絶縁膜と、絶縁膜上に設けられた集積回路と、共振容量部と、を備えたICチップと、ICチップ上に設けられたアンテナと、を有し、導電性遮蔽体と、アンテナとは、絶縁膜及びICチップを介して少なくとも一部が重なるように設けられ、導電性遮蔽体と、絶縁膜と、アンテナとの積層構造によって、容量素子が形成されていることを特徴とする。

30

【0012】

また、本発明の他の構成としては、集積回路と、共振容量部と、を備えたICチップと、ICチップ上に設けられたアンテナと、ICチップ及びアンテナの周りを囲うように設けられた絶縁膜と、絶縁膜の周りを囲うように設けられた導電性遮蔽体と、を有し、アンテナと、絶縁膜と、導電性遮蔽体との積層構造によって容量素子が形成されていることを特徴とする。

【0013】

本発明の他の構成における共振容量部は配線を有し、共振容量部と絶縁膜と導電性遮蔽体との積層構造によって容量素子が形成されていることを特徴とする。

【0014】

また、本発明の他の構成としては、第1の導電性遮蔽体と、第1の導電性遮蔽体上に設けられた第1の絶縁膜と、第1の絶縁膜上に設けられた集積回路と、共振容量部と、を備えたICチップと、ICチップ上に設けられたアンテナと、アンテナ上に設けられた第2の絶縁膜と、第2の絶縁膜上に設けられた第2の導電性遮蔽体と、を有し、第1の導電性遮蔽体と、アンテナとは、第1の絶縁膜及びICチップを介して少なくとも一部が重なるように設けられ、第2の導電性遮蔽体と、アンテナとは、第2の絶縁膜を介して少なくとも一部が重なるように設けられ、第1の導電性遮蔽体と、第1の絶縁膜と、アンテナとの積層構造、及び第2の導電性遮蔽体と、第2の絶縁膜と、アンテナとの積層構造によって容量素子が形成されていることを特徴とする。

40

【0015】

50

本発明の他の構成における共振容量部は配線を有し、共振容量部と第1の絶縁膜と第1の導電性遮蔽体との積層構造、及び第2の共振容量部と第2の絶縁膜と第2の導電性遮蔽体との積層構造によって容量素子が形成されていることを特徴とする。

【0016】

本発明の一における絶縁膜は衝撃拡散層を有することを特徴とする。

【0017】

本発明の一における第1の絶縁膜及び第2の絶縁膜は衝撃拡散層を有することを特徴とする。

【0018】

本発明の一における衝撃拡散層は繊維体に有機樹脂を含浸させた構造体であることを特徴とする。 10

【発明の効果】

【0019】

本発明の一を用いることにより、導電性遮蔽体とアンテナとの間に容量素子が形成され、導電性遮蔽体を配置しない場合に比べ、チップ内に形成する共振容量部の容量素子の数を減らすことができる。それにより、無線チップのサイズやICチップのサイズを縮小することができるとともに、ICチップ及び無線チップ内の限られた面積を有効活用することができる。また、ICチップ及び無線チップのサイズを縮小することができるため、消費電流を低減でき、それに伴い通信距離の低下を防止することができる。

【0020】

また、導電性遮蔽体を用いることにより、静電気に対する耐性の強化、及び無線チップが小型化することにより顕著な問題となる無線チップの物理的強度も強化することができる。 20

【図面の簡単な説明】

【0021】

【図1】本発明の無線チップの構造を示す図（実施の形態1）。

【図2】本発明の無線チップの構造を示す図（実施の形態2）。

【図3】本発明の無線チップの構造を示す図（実施の形態3）。

【図4】本発明の無線チップの構造を示す図（実施の形態4）。

【図5】本発明の無線チップの構造を示す図（実施の形態5）。

30

【図6】本発明の無線チップの作製工程を示す図（実施の形態6）。

【図7】本発明の無線チップの作製工程を示す図（実施の形態6）。

【図8】本発明の無線チップの応用例を示す図（実施の形態7）。

【図9】ICチップ内共振容量に対する共振周波数の測定結果を示す図（実施例1）。

【図10】ICチップ内共振容量に対する共振周波数の測定結果を示す図（実施例1）。

【発明を実施するための形態】

【0022】

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々なに変更しうることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じ物を指し示す符号は異なる図面間において共通とする。また、図示している箇所以外にも容量素子は形成されているが、代表的なもの以外について図示することは省略する。 40

【0023】

また、下記実施の形態において、本発明を用いた構成例の一部に関して図面を用いて説明する。

【0024】

（実施の形態1）

図1（A）の無線チップ200の構成を示す。図1（B）は、図1（A）の無線チップ 50

200におけるA1-A2間の断面に対応している。

【0025】

図1(A)および図1(B)に示すように、本実施の形態で示す無線チップ200は、アンテナ201とICチップ202を同一基板203上に積層して形成し、アンテナ201とICチップ202の少なくとも一部は絶縁膜を介して重ねて配置する。ICチップ202は、容量素子220を備えるチップ内共振容量部204と、電源発生手段、制御手段および記憶手段等を含んでいるロジック部205を有している。なお、アンテナ201の両端は、ロジック部205の集積回路207と電気的に接続されている。また、導電性遮蔽体206aは保護膜213や衝撃拡散層214aなどの絶縁膜を介してアンテナ201上に重ねて配置し、チップ200の最表面に設ける。

10

【0026】

本実施の形態では、容量素子215aは、アンテナ201と、導電性遮蔽体206aを有し、導電性遮蔽体206aが、基板203の上方に配置される構成に関して説明する。

【0027】

集積回路207は、少なくとも不純物領域を含む半導体膜208a、208bと、半導体膜208a、208b上にゲート絶縁膜209を介して設けられたゲート電極210と、ゲート電極210を覆って設けられた第1の層間絶縁膜211と、第1の層間絶縁膜211上に設けられ且つ半導体膜208a、208bの不純物領域と電気的に接続しているソース電極またはドレイン電極212から構成されている。

【0028】

また、集積回路207と接続されるアンテナ201は第2の層間絶縁膜216を介して配置され、導電性遮蔽体206aは保護膜213と衝撃拡散層214aを介してアンテナ201上に配置される。なお、導電性遮蔽体206aはアンテナ201と物理的には接続されていない。

20

【0029】

上記構成により、導電性遮蔽体206aとアンテナ201が、保護膜213と衝撃拡散層214aを介して互いに電極となり、容量素子215aを形成する。

【0030】

次に、上記構成の作製方法に関して以下に簡単に説明する。

【0031】

30

まず、基板203を用意する。基板としては、例えばバリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミック基板等を用いることができる。また、ステンレスを含む金属基板または半導体基板の表面に絶縁膜を形成したものを用いてもよい。プラスチック等の可撓性を有する合成樹脂からなる基板は、一般的に上記基板と比較して耐熱温度が低い傾向にあるが、作製工程における処理温度に耐え得るのであれば用いることが可能である。なお、基板203の表面を、CMP法などの研磨により平坦化しておいてもよい。

【0032】

次に、基板203上にロジック部205を構成する集積回路207を形成する。集積回路207は少なくとも、半導体膜208a、208bと、半導体膜208a、208b上にゲート絶縁膜209を介して設けられたゲート電極210と、ゲート電極210を覆って設けられた第1の層間絶縁膜211と、第1の層間絶縁膜211上に設けられたソース電極またはドレイン電極212から構成されている。なお、容量素子220は集積回路207を構成する素子と同じ工程を用い、同様に形成すればよいため、ここでは説明を省略する。

40

【0033】

半導体膜208a、208bは、非晶質半導体、非晶質状態と結晶状態とが混在した半導体、非晶質半導体中に0.5nm~20nmの結晶粒を観察することができる微結晶半導体、及び結晶性半導体から選ばれたいずれの状態を有してもよい。本実施の形態では、非晶質半導体膜を形成し、加熱処理により結晶化された半導体膜208a、208bを形

50

成する。加熱処理とは、加熱炉、レーザ照射、もしくはレーザ光の代わりにランプから発する光の照射（ランプアニール）、またはそれらを組み合わせて用いることができる。

【0034】

次に、半導体膜208a、208bを覆ってゲート絶縁膜209を形成する。ゲート絶縁膜209には、例えは酸化珪素、窒化珪素または窒化酸化珪素等を用いて単層または複数の膜を積層させて形成することができる。また成膜方法は、プラズマCVD法、スパッタ法などを用いることができる。

【0035】

続いて、半導体膜208a、208bの上方にゲート絶縁膜209を介してそれぞれゲート電極210を形成する。ゲート電極210は単層で形成してもよいし、複数の金属膜を積層して形成してもよい。ゲート電極210としては、CVD法やスパッタ法を用いて、タンタル（Ta）、タンゲステン（W）、チタン（Ti）、モリブデン（Mo）、アルミニウム（Al）、銅（Cu）、クロム（Cr）、ネオジム（Nd）から選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成することができる。本実施の形態においては、第1の導電層と第2の導電層とを順に積層させた構造で設けており、第1の導電層として窒化タンタルを用い、第2の導電層としてタンゲステン（W）を用いて形成する。

【0036】

次に、ゲート電極210またはレジストを形成しパターニングしたものをマスクとして用い、半導体膜208a、208bにn型またはp型の導電性を付与する不純物を選択的に添加する。半導体膜208a、208bは、チャネル形成領域および不純物領域（ソース領域、ドレイン領域、LDD領域を含む）を有し、添加される不純物元素の導電型によりnチャネル型薄膜トランジスタ（以下、「nチャネル型TFT」とも記す）またはpチャネル型薄膜トランジスタ（以下、「pチャネル型TFT」とも記す）と区別することができる。

【0037】

図1では、nチャネル型TFTはゲート電極210の側壁にサイドウォールを有し、半導体膜208bにn型の導電性を付与する不純物が選択的に添加されたソース領域、ドレイン領域およびLDD領域が形成されている。また、pチャネル型TFTは半導体膜208aにp型の導電性を付与する不純物が選択的に添加されたソース領域およびドレイン領域が形成されている。ここでは、ゲート電極210の側壁にサイドウォールを形成し、nチャネル型TFTに選択的にLDD領域を形成した構造を示したが、この構造に限定されず、pチャネル型TFTにもLDD領域を形成してもよいし、pチャネル型TFTにサイドウォールを設けなくてもよい。また、nチャネル型TFTとpチャネル型TFTを相補的に組み合わせたCMOS構造で形成してもよい。

【0038】

次に、ゲート電極210を覆って第1の層間絶縁膜211を形成する。第1の層間絶縁膜211としては、酸化珪素（SiO_x）、窒化珪素（SiN_x）、酸化窒化珪素（SiO_xN_y）（x>y）、窒化酸化珪素（SiN_xO_y）（x>y）等の酸素または窒素を有する絶縁膜の単層構造、またはこれらの積層構造を用いて形成することができる。また、他にもエポキシ樹脂、アクリル樹脂、フェノール樹脂、ノボラック樹脂、メラミン樹脂、ウレタン樹脂、シリコーン樹脂等の樹脂材料を用いることができる。また、ベンゾシクロブテン、パリレン、フッ化アリーレンエーテル、ポリイミドなどの有機材料、シロキサン系ポリマー等の重合によってできた化合物材料、水溶性ホモポリマーと水溶性共重合体を含む組成物材料等を用いて形成してもよい。

【0039】

その後、第1の層間絶縁膜211上にソース電極またはドレイン電極212を形成する。ソース電極またはドレイン電極212は半導体膜208a、208bの不純物領域と電気的に接続している。また、図1では、ソース電極またはドレイン電極212と同じ材料で配線を形成する。ソース電極またはドレイン電極212、配線としては、CVD法やス

10

20

30

40

50

パッタ法等により、アルミニウム (A1)、タンゲステン (W)、チタン (Ti)、タンタル (Ta)、モリブデン (Mo)、ニッケル (Ni)、白金 (Pt)、銅 (Cu)、金 (Au)、銀 (Ag)、マンガン (Mn)、ネオジム (Nd)、炭素 (C)、シリコン (Si) から選択された元素、またはこれらの元素を主成分とする合金材料若しくは化合物材料で、単層または積層で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、または、アルミニウムを主成分とし、ニッケルと、炭素と珪素の一方または両方とを含む合金材料に相当する。ソース電極またはドレイン電極 212、配線は、例えば、バリア膜とアルミニウムシリコン (A1 - Si) 膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン (A1 - Si) 膜と窒化チタン膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデン、またはモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、ソース電極またはドレイン電極 212、配線を形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。また、還元性の高い元素であるチタンからなるバリア膜を形成すると、半導体膜 208a、208b 上に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元し、半導体膜 208a、208b と良好なコンタクトをとることができ。 10

【0040】

続いて、ソース電極またはドレイン電極 212 および配線を覆って第 2 の層間絶縁膜 216 を形成する。第 2 の層間絶縁膜 216 としては、上記第 1 の層間絶縁膜 211 で示したいずれかの材料を用いて形成することができる。 20

【0041】

その後、第 2 の層間絶縁膜 216 上にアンテナ 201 を形成し、アンテナ 201 上に保護膜 213 を形成し、保護膜 213 上に衝撃拡散層 214a を形成し、衝撃拡散層 214a 上に導電性遮蔽体 206a を形成することによって無線チップ 200 が完成する。アンテナ 201 は、CVD 法、スパッタ法、スクリーン印刷法または液滴吐出法等を用いて、導電性材料により形成する。導電性材料は、アルミニウム (A1)、チタン (Ti)、銀 (Ag)、銅 (Cu)、金 (Au)、ニッケル (Ni) から選択された元素、またはこれらの元素を主成分とする合金材料若しくは化合物材料で、単層構造または積層構造で形成する。また、保護膜 213 の材料は、上記第 1 の層間絶縁膜 211 で示したいずれかの材料を用いて形成することができる。なお、図 1 では、2 巻きしたコイル状のアンテナ 201 を設けた場合を示しているがこれに限らず、1 巻きまたは複数回巻いているアンテナ 201 を容量素子 215a の一方の電極として用いてもよい。また、衝撃拡散層 214a としては、例えば、繊維体に有機樹脂を含浸させた構造体などを用いることができる。その場合、保護膜 213 に衝撃拡散層 214a を接着させて形成すればよい。また、導電性遮蔽体 206a は、スパッタリング法、プラズマ CVD 法、蒸着法などの各種乾式法、塗布法、印刷法、液滴吐出法 (インクジェット法) などの各種湿式法により形成することができる。 30

【0042】

なお、本実施の形態では、容量素子 215a を形成する 2 つの電極の一方はアンテナ 201 であり、他方は導電性遮蔽体 206a であり、アンテナ 201 と導電性遮蔽体 206a の間に保護膜 213 と衝撃拡散層 214a を設けた場合を示したが、これに限定されるものではなく、電極間に保護膜 213 のみを設ける構成であってもよいし、衝撃拡散層 214a だけを設ける構成であってもよい。また、ここで示した保護膜や衝撃拡散層以外の絶縁膜を配置してもよい。つまり、容量を形成することができれば、本実施の形態で示した構成に限定されるものではない。 40

【0043】

上記構成とすることにより、導電性遮蔽体 206a とアンテナ 201 との間に容量素子 215a が形成され、導電性遮蔽体 206a を配置しない場合に比べ、チップ内に形成する共振容量部 204 の容量素子 220 の数を減らすことができる。それにより、無線チッ 50

PLLのサイズやICチップ202のサイズを縮小することができるとともに、ICチップ及び無線チップ内の限られた面積を有効活用することができる。また、ICチップ及び無線チップのサイズを縮小することができるため、消費電流を低減でき、それに伴い通信距離の低下を防止することができる。さらに導電性遮蔽体206aを用いることにより、静電気に対する耐性の強化、及び無線チップが小型化することにより顕著な問題となる無線チップの物理的強度も強化することができる。

【0044】

(実施の形態2)

本実施の形態では、無線チップ200において上記実施の形態とは異なる構成に関して図面を用いて説明する。具体的には、容量素子215bの2つの電極のうち、アンテナ201を一方の電極として設け、他方の電極として設ける導電性遮蔽体206bを基板203の下方に配置する構成に関して示す。

【0045】

図2(A)の無線チップ200の構成を示す。図2(B)は、図2(A)の無線チップ200におけるA1-A2間の断面に対応している。

【0046】

図2は容量素子215bの2つの電極のうち、アンテナ201を一方の電極として設け、他方の電極として設ける導電性遮蔽体206bを基板203の下に配置する構成に関して示す。本実施の形態で示す無線チップ200は、アンテナ201とICチップ202を同一基板203上に積層して形成し、アンテナ201とICチップ202の少なくとも一部は絶縁膜を介して重ねて配置する。ICチップ202は、容量素子220を備えるチップ内共振容量部204と、電源発生手段、制御手段および記憶手段等を含んでいるロジック部205を有している。なお、アンテナ201の両端は、ロジック部205の集積回路207と電気的に接続されている。また、アンテナ201と導電性遮蔽体206bは基板203、第1の層間絶縁膜211、第2の層間絶縁膜216、保護膜213、衝撃拡散層214bなどを介して配置する。なお、導電性遮蔽体206bは無線チップ200の最下層に設ける。

【0047】

また、集積回路207と接続されるアンテナ201は上記実施の形態と同様、第2の層間絶縁膜216を介して配置される。本実施の形態では基板203の下に衝撃拡散層214bを形成し、衝撃拡散層214bの下に導電性遮蔽体206bを形成する。導電性遮蔽体206bはアンテナ201と物理的な接続はなされていない。

【0048】

本実施の形態では、導電性遮蔽体206bとアンテナ201が、基板203、第1の層間絶縁膜211、第2の層間絶縁膜216、衝撃拡散層214bを介して互いに電極となり、容量素子215bを形成する。

【0049】

なお、本実施の形態では、容量素子215bを形成する2つの電極の一方はアンテナ201であり、他方は導電性遮蔽体206bであり、アンテナ201と導電性遮蔽体206bの間に基板203、第1の層間絶縁膜211、第2の層間絶縁膜216、保護膜213、衝撃拡散層214bなどを設けた場合を示したが、これに限定されるものではなく、容量を形成することができれば、本実施の形態で示した構成に限定されるものではない。

【0050】

上記構成とすることにより、導電性遮蔽体206bとアンテナ201との間に容量素子215bが形成され、導電性遮蔽体206bを配置しない場合に比べ、チップ内に形成しなければならない共振容量部204の容量素子220の数を減らすことができる。それにより、無線チップ200のサイズやICチップ202のサイズを縮小することができるとともに、ICチップ及び無線チップ内の限られた面積を有効活用することができる。また、ICチップ及び無線チップのサイズを縮小することができるため、消費電流を低減でき、それに伴い通信距離の低下を防止することができる。さらに導電性遮蔽体206bを用

10

20

30

40

50

いることにより、静電気に対する耐性の強化、及び無線チップが小型化することにより顕著な問題となる無線チップの物理的強度も強化することができる。また、導電性遮蔽体 206b をアンテナ上に設けていないため、実施の形態 1 で示した構成よりも R / W から発せられる搬送波、または振幅変調波の受信を妨げず、良好な通信精度を確保することができる。

【0051】

(実施の形態 3)

本実施の形態では、無線チップ 200 において、上記実施の形態 1 及び 2 とは異なる構成について図面を用いて説明する。具体的には、無線チップ 200 は容量素子 215a と容量素子 215c を有する。容量素子 215a は実施の形態 1 と同様な構成であり、アンテナ 201 と保護膜 213 と衝撃拡散層 214a と導電性遮蔽体 206a との積層構造により容量素子 215a は形成される。また、容量素子 215c を形成する 2 つの電極のうち、アンテナ 201 を一方の電極として設け、他方の電極として、基板 203 の上方に設けた導電性遮蔽体 206a、及び基板 203 の下方に設けた導電性遮蔽体 206b の両方を配置する構成に関して示す。

【0052】

図 3 (A) の無線チップ 200 の構成を示す。図 3 (B) は、図 3 (A) の無線チップ 200 における A1 - A2 間の断面に対応している。

【0053】

図 3 は容量素子 215a と容量素子 215c を有する構成である。容量素子 215a は、実施の形態 1 と同様な構成であるため、ここでは説明を省略する。容量素子 215c の 2 つの電極のうち、アンテナ 201 を一方の電極として設け、他方の電極として基板 203 の上方に設ける導電性遮蔽体 206a、及び基板 203 の下方に設ける導電性遮蔽体 206b を基板 203 の上下両方に配置する構成に関して示す。本実施の形態で示す無線チップ 200 は、アンテナ 201 と IC チップ 202 を同一基板 203 上に積層して形成し、アンテナ 201 と IC チップ 202 の少なくとも一部は絶縁膜を介して重ねて配置する。IC チップ 202 は、容量素子 220 を備えるチップ内共振容量部 204 と、電源発生手段、制御手段および記憶手段等を含んでいるロジック部 205 を有している。なお、アンテナ 201 の両端は、ロジック部 205 の集積回路 207 と電気的に接続されている。また、アンテナ 201 と導電性遮蔽体 206a は保護膜 213 や衝撃拡散層 214a などの絶縁膜を介して配置して無線チップ 200 の最表面に設ける。また、アンテナ 201 と導電性遮蔽体 206b は基板 203、第 1 の層間絶縁膜 211、第 2 の層間絶縁膜 216、保護膜 213 及び衝撃拡散層 214b などを介して設ける。なお、導電性遮蔽体 206b は無線チップ 200 の最下層に設ける。

【0054】

また、集積回路 207 と接続されるアンテナ 201 は第 2 の層間絶縁膜 216 を介して配置される。導電性遮蔽体 206a 及び導電性遮蔽体 206b はアンテナ 201 と物理的な接続はされていない。

【0055】

本実施の形態では、基板上面に配置した導電性遮蔽体 206a とアンテナ 201 が、保護膜 213、衝撃拡散層 214a を介して互いに電極となり、共振容量を形成する。また、基板下面に配置した導電性遮蔽体 206b とアンテナ 201 が、基板、第 1 の層間絶縁膜 211、第 2 の層間絶縁膜 216、衝撃拡散層 214b を介して互いに電極となり、共振容量を形成する。つまり、容量素子 215c は導電性遮蔽体 206a とアンテナ 201 間で形成された共振容量と、導電性遮蔽体 206b とアンテナ 201 の間で形成された共振容量とによって形成されている。

【0056】

従って、本実施の形態の方が上述した実施の形態よりも多くの共振容量が形成されるため、上述した実施の形態よりもチップ内共振容量部 204 の容量素子 220 の数を削減することができる。また、導電性遮蔽体 206a と導電性遮蔽体 206b とを用いて IC チ

10

20

30

30

40

50

ツプ 202 を挟んで形成しているため、上記実施の形態よりもさらに無線チップの物理的強度を強化することができる。

【0057】

なお、本実施の形態に示した構成に限定されるものではなく、容量を形成することができれば、保護膜や衝撃拡散層以外の絶縁層を配置してもよく、保護膜や衝撃拡散層を配置しなくてよい。

【0058】

(実施の形態4)

本実施の形態では、無線チップ200において上記実施の形態とは異なる構成に関して図面を用いて説明する。具体的には、容量素子215d及び215fの2つの電極のうち、アンテナ201を一方の電極として設け、他方の電極として設ける導電性遮蔽体206cは無線チップ200を構成するその他の要素を囲むように配置する構成に関して説明する。

10

【0059】

図4(A)の無線チップ200の構成を示す。図4(B)は、図4(A)の無線チップ200におけるA1-A2間の断面に対応している。

【0060】

図4は容量素子215d及び215fが有する2つの電極のうち、アンテナ201を一方の電極として設け、他方の電極として設ける導電性遮蔽体206cは無線チップ200を構成するその他の要素を囲むように配置する構成に関して示す。本実施の形態で示す無線チップ200は、アンテナ201とICチップ202を同一基板203上に積層して形成し、アンテナ201とICチップ202の少なくとも一部は絶縁膜を介して重ねて配置する。ICチップ202は、容量素子220を備えるチップ内共振容量部204と、電源発生手段、制御手段および記憶手段等を含んでいるロジック部205を有している。なお、アンテナ201の両端は、ロジック部205の集積回路207と電気的に接続されている。また、アンテナ201と導電性遮蔽体206cは保護膜213や衝撃拡散層214a及び214bなどの絶縁膜を介して配置する。なお、導電性遮蔽体206cは無線チップ200の最外周に設ける。

20

【0061】

また、集積回路207と接続されるアンテナ201は第2の層間絶縁膜216を介して配置される。導電性遮蔽体206cはアンテナ201と物理的な接続はなされていない。

30

【0062】

上記構成では、アンテナ201を取り囲んだ導電性遮蔽体206cによって共振容量が形成されるため、本実施の形態で形成される容量素子215dを正確に図示するのは非常に困難である。図4には一例として共振容量が形成される箇所に容量素子215dを図示した。

【0063】

なお、ICチップの周りに導電性遮蔽体206cを設け、アンテナ201と導電性遮蔽体206cを用いた容量素子215d及び215fを形成することができる構成であれば、本実施の形態に開示した構成に限定されるものではない。

40

【0064】

上記構成とすることにより、上述した実施の形態と比較しても、多くの共振容量を形成することができる。さらに、上述した実施の形態を本実施の形態と組み合わせることによって、物理的強度を上げることが可能である。

【0065】

(実施の形態5)

本実施の形態では、無線チップ200において上記実施の形態とは異なる構成に関して図面を用いて説明する。具体的には、アンテナ201と導電性遮蔽体206aを電極とした容量素子215aに加え、チップ内共振容量部204の広く形成した配線217と導電性遮蔽体206aを電極とした容量素子215eを設ける構成に関して示す。

50

【0066】

図5(A)の無線チップ200の構成を示す。図5(B)は、図5(A)の無線チップ200におけるA1-A2間の断面に対応している。

【0067】

図5は容量素子215eの2つの容量素子のうち、一方をアンテナ201及び導電性遮蔽体206aを電極として設け、他方をチップ内共振容量部204の広く形成した配線217及び導電性遮蔽体206aを電極として設けた構成に関して示す。なお、配線217はソース電極またはドレイン電極212と同層に同じ工程を用いて形成することができるため、特別な工程を必要としない。

【0068】

本実施の形態で示す無線チップ200は、アンテナ201とICチップ202を同一基板203上に積層して形成し、アンテナ201とICチップ202の少なくとも一部は絶縁膜を介して重ねて配置する。ICチップ202は、チップ内共振容量部204と、電源発生手段、制御手段および記憶手段等を含んでいるロジック部205を有している。なお、アンテナ201の両端は、ロジック部205の集積回路207と電気的に接続されている。また、配線217と導電性遮蔽体206aは保護膜213や衝撃拡散層214a及び第2の層間絶縁膜216などの絶縁膜を介して配置し、導電性遮蔽体206aは無線チップ200の最表面に設ける。

【0069】

また、集積回路207と接続されるアンテナ201は第2の層間絶縁膜216を介して配置され、導電性遮蔽体206aは保護膜213と衝撃拡散層214aを介してアンテナ201上に配置される。導電性遮蔽体206aはアンテナ201と物理的な接続はなされていない。

【0070】

本実施の形態で形成する容量素子215eは、実施の形態1と同様にアンテナ201と導電性遮蔽体206aを電極とした容量素子に加え、チップ内共振容量部204の広く形成した配線217と導電性遮蔽体206aを電極とした容量素子とによって形成される。

【0071】

なお、ここでは実施の形態1と同様に最表面に導電性遮蔽体206aを設ける構成を示したが、本実施の形態は、上記実施の形態2-4の構成とも自由に組み合わせて実施することが可能である。また、容量素子215e形成する構成になつていれば、本実施の形態で説明した構造に限定されるものではない。

【0072】

上記構成とすることにより、導電性遮蔽体206aを配置しない場合に比べてチップ内容量を減らすことができ無線チップ200のサイズやICチップ202のサイズを縮小し、チップ内の限られた面積の有効活用し、消費電流を低減し、通信距離の低下を防止することが出来る。さらに導電性遮蔽体206aを用いることにより静電気に対する耐性も強化、及び無線チップが小型化することにより顕著な問題となる無線チップの物理的強度も強化することできる。

【0073】

また、上述した実施の形態1-4に本構成を組み合わせることによって、本構成を採用していない実施の形態1-4に記載の構成と比較してより多くの容量を形成することができる。

【0074】

(実施の形態6)

本実施の形態では、半導体装置を、より信頼性を高く、かつ歩留まりよく作製する方法について、図6を用いて説明する。なお、上述した実施の形態1-5では基板を有する構成であったが、本実施の形態では基板を剥離した半導体装置の作製方法について説明する。なお、上記実施の形態1-5は本実施の形態で示す構成と自由に組み合わせることが可能である。また、本実施の形態では、半導体装置の一例としてCMOS(COMP1em

10

20

30

40

50

entary Metal Oxide Semiconductor) に関する説明する。

【0075】

基板900上に剥離層901を介して、トランジスタ902、903、容量904、絶縁層905が設けられ、半導体集積回路910が形成されている(図6(A)参照)。なお、本発明の形態ではICチップ内に形成される共振容量を用いた容量素子を形成するため、容量904は従来の容量と比較して小さくすることができる。

【0076】

トランジスタ902、903は薄膜トランジスタであり、それぞれソース領域またはドレイン領域、低濃度不純物領域、チャネル形成領域、ゲート絶縁層、ゲート電極、ソース電極またはドレイン電極として機能する配線を有する。ソース領域またはドレイン領域は、ソース電極またはドレイン電極として機能する配線と接し、電気的に接続されている。

【0077】

トランジスタ902はNチャネル型トランジスタであり、ソース領域またはドレイン領域、及び低濃度不純物領域には、N型を付与する不純物元素(例えばリン(P)やヒ素(As)等)を含む。トランジスタ903はPチャネル型トランジスタであり、ソース領域またはドレイン領域、及び低濃度不純物領域には、P型を付与する不純物元素(例えばボロン(B)やアルミニウム(Al)やガリウム(Ga)等)を含む。

【0078】

容量904は、トランジスタ902、903と同様の工程で形成され、一方の電極は半導体層、他方の電極はゲート電極で形成されている。このとき、容量値を効率よく確保するため、ゲート電極層を形成する前に、容量904を形成する半導体層に不純物元素を添加しておいてもよい。この工程によると、ゲート電極層の下層の領域に配置された半導体層にも不純物元素が添加されるため、効率よく容量として機能することができる。

【0079】

次に、絶縁層905上に、導電膜でなるアンテナ911を形成し、アンテナ911上に保護膜912を形成する。アンテナ911は、半導体集積回路と電気的に接続される。図6(A)では、容量904の一方の電極と電気的に接続されている。

【0080】

続いて、保護膜912上に、衝撃拡散層920を形成する。衝撃拡散層920としては、例えば繊維体921に有機樹脂922を含浸させた構造体を用いてもよい。

【0081】

保護膜912と衝撃拡散層920を接着した後、剥離層901を界面として、半導体集積回路910、アンテナ911、及び保護膜912を基板900より分離する。よって半導体集積回路910、アンテナ911、及び保護膜912は、衝撃拡散層920側に設けられる(図6(B)参照)。

【0082】

保護膜912と衝撃拡散層920の接着については、特に図示しないが接着剤を用いてもよいし、圧着、もしくは加熱圧着によって接着してもよい。

【0083】

その後、半導体集積回路910が、剥離層901を介して露出している剥離面の側に衝撃拡散層930を接着し、半導体集積回路910、アンテナ911、及び保護膜912を、衝撃拡散層920及び衝撃拡散層930に挟持する(図6(C)参照)。

【0084】

衝撃拡散層930も、衝撃拡散層920と同様、例えば繊維体931に有機樹脂932を含浸させた構造体を用いてもよい。

【0085】

特に図示していないが、衝撃拡散層920及び衝撃拡散層930は、平面方向に多数配列するように複数の半導体集積回路910、アンテナ911、保護膜912が形成された構造体を挟持しており、個々に分断することによって、それぞれ半導体集積回路910、

10

20

30

40

50

アンテナ 911、及び保護膜 912 が衝撃拡散層 920 及び衝撃拡散層 930 に挟持された構造を有する半導体集積回路チップを作製する。分断の手段としては物理的に分断することができれば特に限定しないが、好ましい一例として、本実施の形態では分断線に沿ってレーザ光を照射することによって分断する。

【0086】

レーザ光を照射して分断することによって、半導体集積回路チップの分断面 941、942 において、衝撃拡散層 920 及び衝撃拡散層 930 が溶融し、互いに融着することで、個々の半導体集積回路チップは、半導体集積回路 910、アンテナ 911、及び保護膜 912 を衝撃拡散層 920 及び衝撃拡散層 930 によって全面を封止する構造となる（図 6（D）参照）。

10

【0087】

ここでは特に図示しないが、半導体集積回路 910、アンテナ 911、及び保護膜 912 の全面をより良好に覆うために、衝撃拡散層 920 及び衝撃拡散層 930 の外側または内側に、さらに絶縁体を設けてもよい。

【0088】

最後に、図 7（A）に示すように導電性遮蔽体 1101 を設け、本実施の形態の半導体装置が完成する。なお、図 7（A）では実施の形態 4 で説明した構成と同様に外側全体を覆うように導電性遮蔽体 1101 を形成したものを例示しているが、他の実施の形態で例示した構造であってもよい。なお、図 7（A）では、導電性遮蔽体 1101 は半導体集積回路チップの上面、下面、側面を覆うように形成されているが、形成の方法としては、上面及び側面の一部に導電性遮蔽体を形成した後、半導体集積回路を裏返して下面及び側面の一部に導電性遮蔽体を形成し、全面を覆うように形成すればよい。

20

【0089】

導電性遮蔽体 1101 は、アンテナにおいて R/W から発せられる搬送波、または振幅変調波の受信を極力妨げない程度の膜厚で形成すればよい。

【0090】

また、図 7（B）のように導電性遮蔽体 1102 を衝撃拡散層の内側に設け、半導体集積回路の全面を覆うように形成してもよい。このように半導体集積回路の全面を覆うように導電性遮蔽体 1102 を形成するには、半導体集積回路を衝撃拡散層で挟持、接着する前に、個々の半導体集積回路チップに分断し、導電性遮蔽体 1102 を形成する必要があるが、特にこの形態に限定するものではない。例えば、半導体集積回路チップを衝撃拡散層で挟持、接着する前に、半導体集積回路の上面、下面に導電性遮蔽体を形成しておき、衝撃拡散層で挟持、接着した後、レーザ光を照射して分断すると、分断面において導電性遮蔽体が溶融し、半導体集積回路の側面を上下から溶着して覆うように形成してもよい。

30

【0091】

図 7（C）は、導電性遮蔽体 1103 は衝撃拡散層の内側に設けられ、半導体集積回路の片面のみに形成した例である。本例では、実施の形態 1 と同様に導電性遮蔽体 1103 はアンテナ側に形成されているが、実施の形態 2 のように剥離面側に形成してもよい。

【0092】

導電性遮蔽体を半導体集積回路の片面のみに形成することにより、導電性遮蔽体がアンテナにおいて R/W から発せられる搬送波、または振幅変調波の受信を妨げず、良好な通信精度を確保することができる。

40

【0093】

このように形成することにより、半導体集積回路を挟持して衝撃拡散層を設けているため、作製工程においても、外部ストレスや応力による半導体集積回路の破損や特性不良などの悪影響を防止することができる。よって信頼性を高く、かつ歩留まりよく半導体装置を作製することができる。

【0094】

なお、本実施の形態で作製した半導体装置は、可撓性を有する衝撃拡散層を用いることで、可撓性を有する半導体装置とすることができます。

50

【0095】

トランジスタ902、903、及び容量904が有する半導体層を形成する材料は、シリコンやゲルマンに代表される半導体材料ガスを用いて気相成長法やスパッタリング法で作製される非晶質（アモルファス）半導体、該非晶質半導体を光エネルギーや熱エネルギーを利用して結晶化させた多結晶半導体、或いは微結晶（セミアモルファス若しくはマイクロクリスタルとも呼ばれる。）半導体などを用いることができる。半導体層はスパッタ法、LPCVD法、またはプラズマCVD法等により成膜することができる。

【0096】

微結晶半導体膜は、ギブスの自由エネルギーを考慮すれば非晶質と単結晶の中間的な準安定状態に属するものである。すなわち、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する。柱状または針状結晶が基板表面に對して法線方向に成長している。微結晶半導体の代表例である微結晶シリコンは、そのラマンスペクトルが単結晶シリコンを示す 520 cm^{-1} よりも低波数側に、シフトしている。即ち、単結晶シリコンを示す 520 cm^{-1} とアモルファスシリコンを示す 480 cm^{-1} の間に微結晶シリコンのラマンスペクトルのピークがある。また、未結合手（ダングリングボンド）を終端するため水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。さらに、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで、安定性が増し良好な微結晶半導体膜が得られる。

【0097】

この微結晶半導体膜は、周波数が数十MHz～数百MHzの高周波プラズマCVD法、または周波数が1GHz以上のマイクロ波プラズマCVD装置により形成することができる。代表的には、 SiH_4 、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 などの水素化珪素を水素で希釈して形成することができる。また、水素化珪素及び水素に加え、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して微結晶半導体膜を形成することができる。これらのときの水素化珪素に対して水素の流量比を5倍以上200倍以下、好ましくは50倍以上150倍以下、更に好ましくは100倍とする。

【0098】

アモルファス半導体としては、代表的には水素化アモルファスシリコン、結晶性半導体としては代表的にはポリシリコン（多結晶シリコン）などがあげられる。ポリシリコンには、800以上 のプロセス温度を経て形成されるポリシリコンを主材料として用いた所謂高温ポリシリコンや、600以下 のプロセス温度で形成されるポリシリコンを主材料として用いた所謂低温ポリシリコン、また結晶化を促進する元素などを用いて、非晶質シリコンを結晶化させたポリシリコンなどを含んでいる。もちろん、前述したように、微結晶半導体または半導体層の一部に結晶相を含む半導体を用いることもできる。

【0099】

また、半導体の材料としてはシリコン（Si）、ゲルマニウム（Ge）などの単体のほかGaAs、InP、SiC、ZnSe、GaN、SiGeなどのような化合物半導体も用いることができる。また酸化物半導体である酸化亜鉛（ZnO）、酸化スズ（SnO₂）、酸化マグネシウム亜鉛、酸化ガリウム、インジウム酸化物、及び上記酸化物半導体の複数より構成される酸化物半導体などを用いることができる。例えば、酸化亜鉛とインジウム酸化物と酸化ガリウムとから構成される酸化物半導体なども用いることができる。なお、酸化亜鉛を半導体層に用いる場合、ゲート絶縁層を Y_2O_3 、 Al_2O_3 、 TiO_2 、それらの積層などを用いるとよく、ゲート電極層、ソース電極層、ドレイン電極層としては、インジウム錫酸化物（ITO（Indium Tin Oxide））、Au、Tiなどを用いるとよい。また、ZnOにInやGaなどを添加することもできる。

【0100】

半導体層に、結晶性半導体層を用いる場合、その結晶性半導体層の作製方法は、種々の方法（レーザ結晶化法、熱結晶化法、またはニッケルなどの結晶化を助長する元素を用い

10

20

30

40

50

た熱結晶化法等)を用いればよい。また、微結晶半導体をレーザ照射して結晶化し、結晶性を高めることもできる。結晶化を助長する元素を導入しない場合は、非晶質珪素膜にレーザ光を照射する前に、窒素雰囲気下500で1時間加熱することによって非晶質珪素膜の含有水素濃度を 1×10^{-2} atoms/cm³以下にまで放出させる。これは水素を多く含んだ非晶質珪素膜にレーザ光を照射すると非晶質珪素膜が破壊されてしまうからである。

【0101】

非晶質半導体層への金属元素の導入の仕方としては、当該金属元素を非晶質半導体層の表面またはその内部に存在させ得る手法であれば特に限定はなく、例えばスパッタ法、CVD法、プラズマ処理法(プラズマCVD法も含む)、吸着法、金属塩の溶液を塗布する方法を使用することができる。このうち溶液を用いる方法は簡便であり、金属元素の濃度調整が容易であるという点で有用である。また、このとき非晶質半導体層の表面の濡れ性を改善し、非晶質半導体層の表面全体に水溶液を行き渡らせるため、酸素雰囲気中のUV光の照射、熱酸化法、ヒドロキシラジカルを含むオゾン水または過酸化水素による処理等により、酸化膜を成膜することが望ましい。

10

【0102】

また、非晶質半導体層を結晶化し、結晶性半導体層を形成する結晶化工程で、非晶質半導体層に結晶化を促進する元素(触媒元素、金属元素とも示す)を添加し、熱処理(550~750で3分~24時間)により結晶化を行ってもよい。結晶化を助長(促進)する元素としては、鉄(Fe)、ニッケル(Ni)、コバルト(Co)、ルテニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オスミウム(Os)、イリジウム(Ir)、白金(Plt)、銅(Cu)及び金(Au)から選ばれた一種または複数種類を用いることができる。

20

【0103】

結晶化を助長する元素を結晶性半導体層から除去、または軽減するため、結晶性半導体層に接して、不純物元素を含む半導体層を形成し、ゲッタリングシンクとして機能させる。不純物元素としては、N型を付与する不純物元素、P型を付与する不純物元素や希ガス元素などを用いることができ、例えばリン(P)、窒素(N)、ヒ素(As)、アンチモン(Sb)、ビスマス(Bi)、ボロン(B)、ヘリウム(He)、ネオン(Ne)、アルゴン(Arg)、Kr(クリプトン)、Xe(キセノン)から選ばれた一種または複数種を用いることができる。結晶化を促進する元素を含む結晶性半導体層に、希ガス元素を含む半導体層を形成し、熱処理(550~750で3分~24時間)を行う。結晶性半導体層中に含まれる結晶化を促進する元素は、希ガス元素を含む半導体層中に移動し、結晶性半導体層中の結晶化を促進する元素は除去、または軽減される。その後、ゲッタリングシンクとなった希ガス元素を含む半導体層を除去する。

30

【0104】

非晶質半導体層の結晶化は、熱処理とレーザ光照射による結晶化を組み合わせてもよく、熱処理やレーザ光照射を単独で、複数回行ってもよい。

【0105】

また、結晶性半導体層を、直接基板にプラズマ法により形成してもよい。また、プラズマ法を用いて、結晶性半導体層を選択的に基板に形成してもよい。

40

【0106】

ゲート絶縁層は酸化珪素、若しくは酸化珪素と窒化珪素の積層構造で形成すればよい。ゲート絶縁層は、プラズマCVD法や減圧CVD法により絶縁膜を堆積することで形成してもよいし、プラズマ処理による固相酸化若しくは固相窒化で形成するとよい。単結晶半導体層を、プラズマ処理により酸化または窒化することにより形成するゲート絶縁層は、緻密で絶縁耐圧が高く信頼性に優れているためである。例えば、亜酸化窒素(N₂O)をArで1~3倍(流量比)に希釈して、10~30Paの圧力にて3~5kWのマイクロ波(2.45GHz)電力を印加して半導体層の表面を酸化若しくは窒化させる。この処理により1nm~10nm(好ましくは2nm~6nm)の絶縁膜を形成する。さらに亜

50

酸化窒素 (N_2O) とシラン (SiH_4) を導入し、10 ~ 30 Pa の圧力にて 3 ~ 5 kW のマイクロ波 (2.45 GHz) 電力を印加して気相成長法により酸化窒化シリコン膜を形成してゲート絶縁層を形成する。固相反応と気相成長法による反応を組み合わせることにより界面準位密度が低く絶縁耐圧の優れたゲート絶縁層を形成することができる。

【0107】

また、ゲート絶縁層として、二酸化ジルコニウム、酸化ハフニウム、二酸化チタン、五酸化タンタルなどの高誘電率材料を用いてもよい。ゲート絶縁層に高誘電率材料を用いることにより、ゲートリーク電流を低減することができる。

【0108】

ゲート電極層は、CVD法やスパッタ法、液滴吐出法などを用いて形成することができる。ゲート電極層は、Ag、Au、Cu、Ni、Pt、Pd、Ir、Rh、W、Al、Ta、Mo、Cd、Zn、Fe、Ti、Si、Ge、Zr、Ba から選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成すればよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜や、AgPdCu合金を用いてもよい。また、単層構造でも複数層の構造でもよく、例えば、窒化タンゲステン膜とモリブデン膜との2層構造としてもよいし、膜厚 50 nm のタンゲステン膜、膜厚 500 nm のアルミニウムとシリコンの合金 (Al-Si) 膜、膜厚 30 nm の窒化チタン膜を順次積層した3層構造としてもよい。また、3層構造とする場合、第1の導電膜のタンゲステンに代えて窒化タンゲステンを用いてもよいし、第2の導電膜のアルミニウムとシリコンの合金 (Al-Si) 膜に代えてアルミニウムとチタンの合金膜 (Al-Ti) を用いてもよいし、第3の導電膜の窒化チタン膜に代えてチタン膜を用いてもよい。

【0109】

ゲート電極層に可視光に対して透光性を有する透光性の材料を用いることもできる。透光性の導電材料としては、インジウム錫酸化物 (ITO)、酸化珪素を含むインジウム錫酸化物 (ITSO (Indium Tin Silicon Oxide))、有機インジウム、有機スズ、酸化亜鉛等を用いることができる。また、酸化亜鉛 (ZnO) を含むインジウム亜鉛酸化物 (IZO (Indium Zinc Oxide))、酸化亜鉛 (ZnO)、ZnO にガリウム (Ga) をドープしたもの、酸化スズ (SnO_2)、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物なども用いてよい。

【0110】

ゲート電極層を形成するのにエッチングにより加工が必要な場合、マスクを形成し、ドライエッティングまたはドライエッティングにより加工すればよい。ICP (Inductive Coupled Plasma : 誘導結合型プラズマ) エッティング法を用い、エッティング条件 (コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等) を適宜調節することにより、電極層をテーパー形状にエッティングすることができる。なお、エッティング用ガスとしては、 Cl_2 、 BCl_3 、 $SiCl_4$ もしくは CCl_4 などを代表とする塩素系ガス、 CF_4 、 SF_6 もしくは NF_3 などを代表とするフッ素系ガスまたは O_2 を適宜用いることができる。

【0111】

本実施の形態では、トランジスタの構造としてはシングルゲート構造を説明したが、ダブルゲート構造などのマルチゲート構造でもよい。この場合、半導体層の上方、下方にゲート電極層を設ける構造でもよく、半導体層の片側 (上方または下方) にのみ複数ゲート電極層を設ける構造でもよい。

【0112】

また、トランジスタのソース領域及びドレイン領域にシリサイドを設ける構造としてもよい。シリサイドは半導体層のソース領域及びドレイン領域上に導電膜を形成し、加熱処理、GRTA法、LRTA法等により、露出されたソース領域及びドレイン領域の半導体層中の珪素と導電膜とを反応させて形成する。レーザ照射やランプによる光照射によって

10

20

30

40

50

シリサイドを形成してもよい。シリサイドを形成する導電膜の材料としては、チタン (Ti)、ニッケル (Ni)、タンゲステン (W)、モリブデン (Mo)、コバルト (Co)、ジルコニウム (Zr)、Hf (ハフニウム)、タンタル (Ta)、バナジウム (V)、ネオジム (Nb)、クロム (Cr)、白金 (Pt)、パラジウム (Pd) 等を用いることができる。

【0113】

ソース電極層またはドレイン電極層として機能する配線層は、PVD法、CVD法、蒸着法等により導電膜を成膜した後、所望の形状にエッチングして形成することができる。また、印刷法、電解メッキ法等により、所定の場所に選択的に配線層を形成することができる。更にはリフロー法、ダマシン法を用いてもよい。配線層の材料は、Ag、Au、Cu、Ni、Pt、Pd、Ir、Rh、W、Al、Ta、Mo、Cd、Zn、Fe、Ti、Zr、Ba等の金属、Si、Ge等の半導体またはその合金、若しくはその窒化物を用いて形成すればよい。また透光性の材料も用いることができる。

10

【0114】

また、透光性の導電性材料であれば、インジウム錫酸化物 (ITO)、酸化珪素を含むインジウム錫酸化物 (ITSO)、酸化亜鉛 (ZnO) を含むインジウム亜鉛酸化物 (IZO (indium zinc oxide))、酸化亜鉛 (ZnO)、ZnOにガリウム (Ga) をドープしたもの、酸化スズ (SnO₂)、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物などを用いることができる。

20

【0115】

導電性遮蔽体を形成する材料としては、導電体または半導体が好ましく、例えば金属膜、金属酸化物膜、半導体膜、または金属窒化物膜等が挙げられる。具体的な材料としては、チタン、モリブデン、タンゲステン、アルミニウム、銅、銀、金、ニッケル、白金、パラジウム、イリジウム、ロジウム、タンタル、カドミウム、亜鉛、鉄、シリコン、ゲルマニウム、ジルコニウム、バリウムから選ばれた元素、または前記元素を主成分とする合金材料、化合物材料、窒化物材料、酸化物材料等を用いることができる。

【0116】

窒化物材料としては、窒化タンタル、窒化チタンなどを用いることができる。

【0117】

30

酸化物材料としては、インジウム錫酸化物 (ITO)、酸化珪素を含むインジウム錫酸化物 (ITSO)、有機インジウム、有機スズ、酸化亜鉛等を用いることができる。また、酸化亜鉛 (ZnO) を含むインジウム亜鉛酸化物 (IZO (indium zinc oxide))、酸化亜鉛 (ZnO)、ガリウム (Ga) を含む酸化亜鉛、酸化スズ (SnO₂)、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物 (ITO) なども用いてもよい。

【0118】

また、半導体に不純物元素などを添加して導電性を付与した半導体膜などを用いることができる。例えばリン等の不純物元素をドーピングした多結晶シリコン膜などを用いることができる。

40

【0119】

さらに、導電性遮蔽体として、導電性高分子 (導電性ポリマーともいう) を用いてもよい。導電性高分子としては、いわゆる 電子共役系導電性高分子が用いることができる。例えば、ポリアニリン及びまたはその誘導体、ポリピロール及びまたはその誘導体、ポリチオフェン及びまたはその誘導体、これらの2種以上の共重合体などが挙げられる。

【0120】

共役導電性高分子の具体例としては、ポリピロール、ポリ(3-メチルピロール)、ポリ(3-ブチルピロール)、ポリ(3-オクチルピロール)、ポリ(3-デシルピロール)、ポリ(3,4-ジメチルピロール)、ポリ(3,4-ジブチルピロール)、ポリ(3

50

- ヒドロキシピロ - ル) 、ポリ (3 - メチル - 4 - ヒドロキシピロ - ル) 、ポリ (3 - メトキシピロ - ル) 、ポリ (3 - エトキシピロ - ル) 、ポリ (3 - オクトキシピロ - ル) 、ポリ (3 - カルボキシルピロ - ル) 、ポリ (3 - メチル - 4 - カルボキシルピロ - ル) 、ポリ N - メチルピロール、ポリチオフェン、ポリ (3 - メチルチオフェン) 、ポリ (3 - ブチルチオフェン) 、ポリ (3 - オクチルチオフェン) 、ポリ (3 - デシルチオフェン) 、ポリ (3 - ドデシルチオフェン) 、ポリ (3 - メトキシチオフェン) 、ポリ (3 - エトキシチオフェン) 、ポリ (3 - オクトキシチオフェン) 、ポリ (3 - カルボキシルチオフェン) 、ポリ (3 - メチル - 4 - カルボキシルチオフェン) 、ポリ (3,4 - エチレンジオキシチオフェン) 、ポリアニリン、ポリ (2 - メチルアニリン) 、ポリ (2 - オクチルアニリン) 、ポリ (2 - イソブチルアニリン) 、ポリ (3 - イソブチルアニリン) 、ポリ (2 - アニリンスルホン酸) 、ポリ (3 - アニリンスルホン酸) 等が挙げられる。 10

【 0121 】

導電性高分子を含む導電性遮蔽体には、有機樹脂やドーパント (ハロゲン類、ルイス酸、無機酸、有機酸、遷移金属ハロゲン化物、有機シアノ化合物、非イオン性界面活性剤等) を含ませてもよい。

【 0122 】

導電性遮蔽体は、スパッタリング法、プラズマ CVD 法、蒸着法などの各種乾式法、塗布法、印刷法、液滴吐出法 (インクジェット法) などの各種湿式法により形成することができる。

【 0123 】

(実施の形態 7)

本発明の一様態により無線タグ (以下、無線チップ、無線プロセッサ、無線メモリともよぶ) として機能する半導体装置を形成することができる。本発明の一様態を用いた半導体装置の用途は広範にわたり、非接触で対象物の履歴等の情報を明確にし、生産・管理等に役立てる商品であればどのようなものにも適用することができる。例えば、紙幣、硬貨、有価証券類、証書類、無記名債券類、包装用容器類、書籍類、記録媒体、身の回り品、乗物類、食品類、衣類、保健用品類、生活用品類、薬品類及び電子機器等に設けて使用することができる。これらの例に関して図 8 を用いて説明する。

【 0124 】

紙幣、硬貨とは、市場に流通する金銭であり、特定の地域で貨幣と同じように通用するもの (金券) 、記念コイン等を含む。有価証券類とは、小切手、証券、約束手形等を指し、プロセッサ回路を有するチップ 1001 を設けることができる (図 8 (A) 参照) 。証書類とは、運転免許証、住民票等を指し、プロセッサ回路を有するチップ 1002 を設けることができる (図 8 (B) 参照) 。身の回り品とは、鞄、眼鏡等を指し、プロセッサ回路を有するチップ 1003 を設けることができる (図 8 (C) 参照) 。無記名債券類とは、切手、おこめ券、各種ギフト券等を指す。包装用容器類とは、お弁当等の包装紙、ペットボトル等を指し、プロセッサ回路を有するチップ 1004 を設けることができる (図 8 (D) 参照) 。書籍類とは、書物、本等を指し、プロセッサ回路を有するチップ 1005 を設けることができる (図 8 (E) 参照) 。記録媒体とは、DVD ソフト、ビデオテープ等を指し、プロセッサ回路を有するチップ 1006 を設けることができる (図 8 (F) 参照) 。乗物類とは、自転車等の車両、船舶等を指し、プロセッサ回路を有するチップ 1007 を設けることができる (図 8 (G) 参照) 。食品類とは、食料品、飲料等を指す。衣類とは、衣服、履物等を指す。保健用品類とは、医療器具、健康器具等を指す。生活用品類とは、家具、照明器具等を指す。薬品類とは、医薬品、農薬等を指す。電子機器とは、液晶表示装置、EL 表示装置、テレビジョン装置 (テレビ受像機、薄型テレビ受像機) 、携帯電話等を指す。 30 40

【 0125 】

このような半導体装置の設け方としては、物品の表面に貼る、或いは物品に埋め込んで設ける。例えば、本の場合は紙に埋め込めばよく、有機樹脂からなるパッケージであれば有機樹脂に埋め込めばよい。

10

20

30

40

50

【0126】

このように、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、電子機器等に半導体装置を設けることにより、検品システムやレンタル店のシステムなどの効率化を図ることができる。また乗物類に半導体装置を設けることにより、偽造や盗難を防止することができる。また、動物等の生き物に埋め込むことによって、個々の生き物の識別を容易に行うことができる。例えば、家畜等の生き物にセンサーを備えた半導体装置を埋め込むまたは取り付けることによって、生まれた年や性別または種類等はもちろん体温等の健康状態を容易に管理することが可能となる。

【0127】

なお、本実施の形態は、本明細書に記載されている他の実施形態、及び実施例と適宜組み合わせて実施することが可能である。 10

【実施例1】

【0128】

本実施例1においては、上記実施の形態3で示した、導電性遮蔽体をICチップの上下両面に設ける構造を有する無線チップと、導電性遮蔽体を設けていない無線チップを形成し、それぞれのICチップ内の共振容量を測定し、比較した結果について述べる。

【0129】

図9はアンテナサイズが6mm(アンテナの最外周の端から端までの長さ)の無線チップにおける、導電性遮蔽体を有する本発明の一様態を用いた無線チップと、導電性遮蔽体を有していない従来の無線チップについて、ICチップ内共振容量に対する共振周波数の測定結果を表している。横軸をチップ内共振容量(pF)として、縦軸に共振周波数(MHz)をプロットしている。 20

【0130】

なお、今回測定に用いたアンテナは、線幅は135μm、線間距離は5μm、巻き数は15巻きである。また、今回測定に用いたアンテナの材料はA1を使用し、形成したアンテナの膜厚は5μmである。ICチップ内に設けるチップ内共振容量の条件を24、32、42pFとして、導電性遮蔽体を有する本発明の無線チップと、導電性遮蔽体を有していない従来の無線チップについて測定を行った。

【0131】

例えば所望の共振周波数を13.5MHzとした場合、導電性遮蔽体を設けた本発明の無線チップにおいて必要なチップ内の共振容量は、約29pFであった。一方、導電性遮蔽体を設けていない無線チップにおいて必要なチップ内の共振容量は、約35pFであった。 30

【0132】

つまり、導電性遮蔽体を設けることで、チップ内の共振容量を約6pF削減できた。

【0133】

次に、アンテナサイズが8mm(アンテナの最外周の端から端までの長さ)の無線チップにおけるICチップ内共振容量に対する共振周波数の測定結果を図10に表す。なお、横軸をチップ内共振容量をとし、縦軸に共振周波数としてプロットしている。

【0134】

なお、今回測定に用いたアンテナは、線幅は105μm、線間距離は5μm、巻き数は17巻きである。アンテナ形成に用いた材料はA1であり、アンテナの膜厚は5μmである。ICチップ内に設けるチップ内共振容量の条件を20、28、38pFとして、導電性遮蔽体を有する本発明の無線チップと、導電性遮蔽体を有していない従来の無線チップについて測定を行った。 40

【0135】

例えば所望の共振周波数を13.5MHzとした場合、導電性遮蔽体を設けた無線チップにおいて必要なチップ内の共振容量は、約24pFであった。一方、導電性遮蔽体を設けていない無線チップにおいて必要なチップ内の共振容量は、約35pFであった。

【0136】

10

20

30

40

50

つまり、導電性遮蔽体を設けることで、チップ内の共振容量を約 11 pF 削減できた。

【0137】

上記図9及び図10に示した測定結果から、導電性遮蔽体を設けることで、ICチップ内の共振容量を削減することができたため、ICチップの小型化につながることがわかった。

【符号の説明】

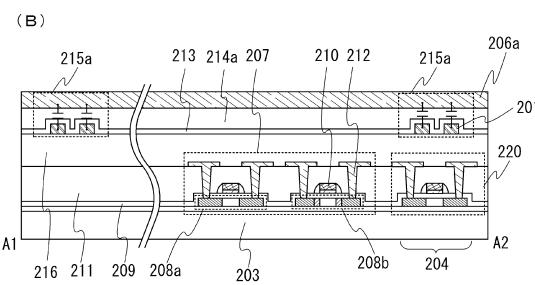
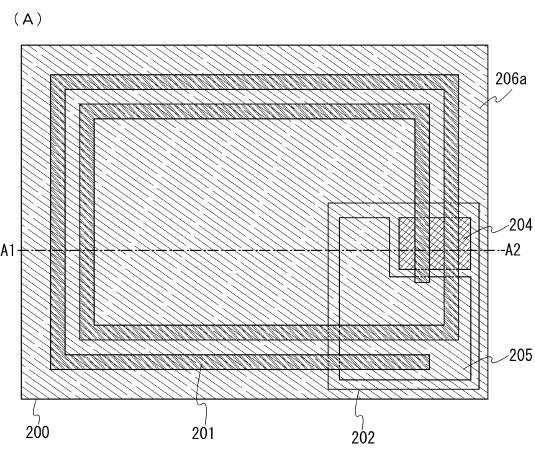
【0138】

200	無線チップ	10
201	アンテナ	
202	ICチップ	
203	基板	
204	共振容量部	
205	ロジック部	
206a	導電性遮蔽体	
206b	導電性遮蔽体	
206c	導電性遮蔽体	
207	集積回路	
208	結晶性半導体膜	
208a	半導体膜	20
208b	半導体膜	
209	ゲート絶縁膜	
210	ゲート電極	
211	層間絶縁膜	
212	ソース電極またはドレイン電極	
213	保護膜	
214a	衝撃拡散層	
214b	衝撃拡散層	
215a	容量素子	30
215b	容量素子	
215c	容量素子	
215d	容量素子	
215e	容量素子	
216	層間絶縁膜	
217	配線	
900	基板	
901	剥離層	
902	トランジスタ	
903	トランジスタ	
904	容量	
905	絶縁層	40
910	半導体集積回路	
911	アンテナ	
912	保護膜	
920	衝撃拡散層	
930	衝撃拡散層	
921	繊維体	
931	繊維体	
922	有機樹脂	
932	有機樹脂	
941	分断面	50

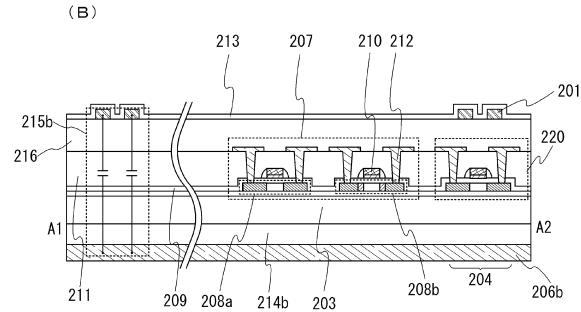
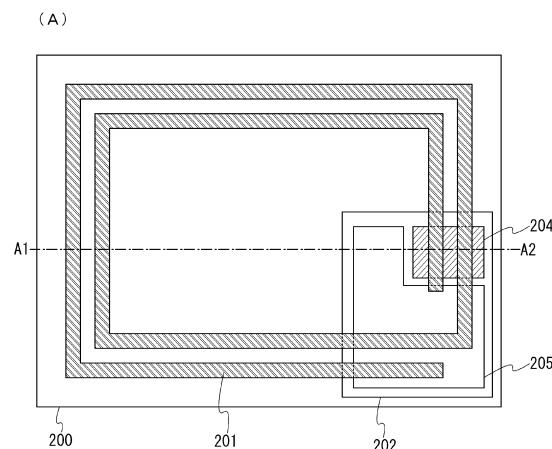
1 0 0 1 - 1 0 0 7
1 1 0 1 - 1 1 0 3

チップ
導電性遮蔽体

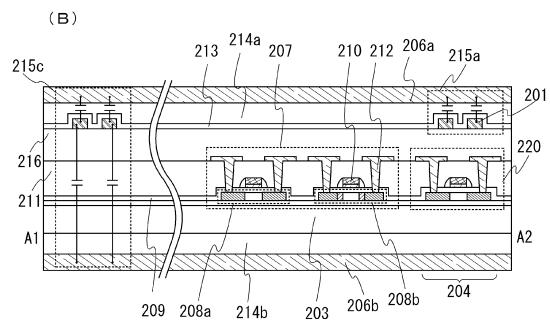
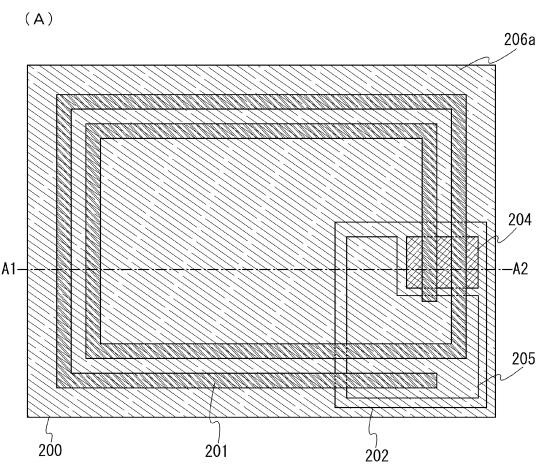
【図1】



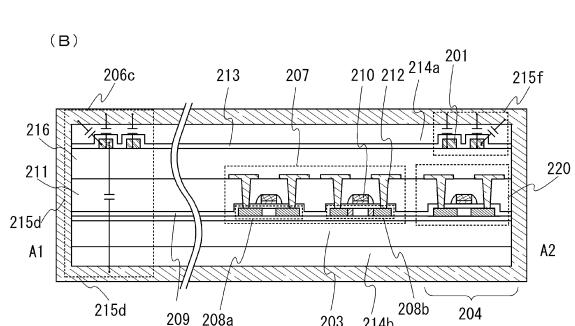
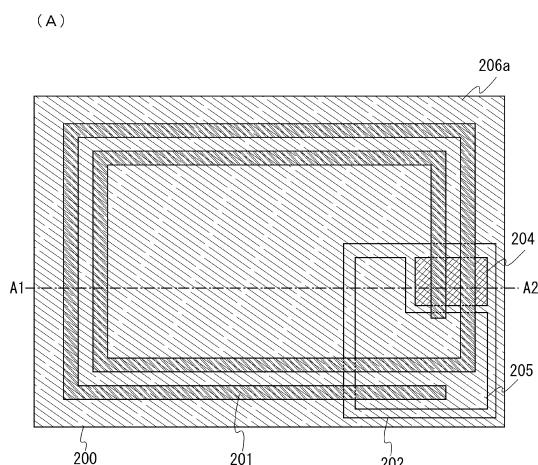
【図2】



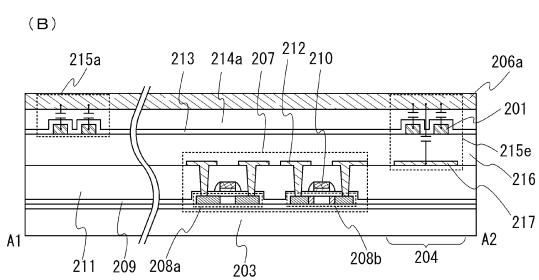
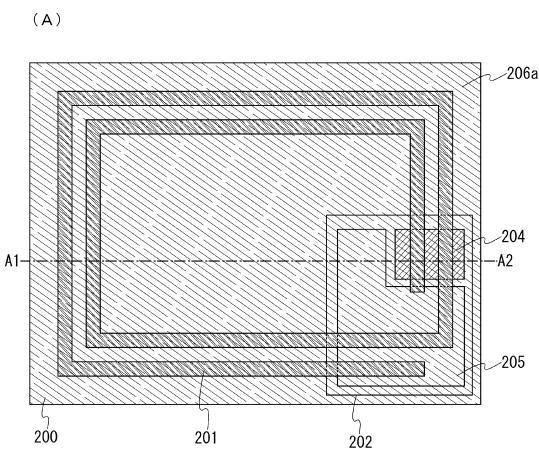
【図3】



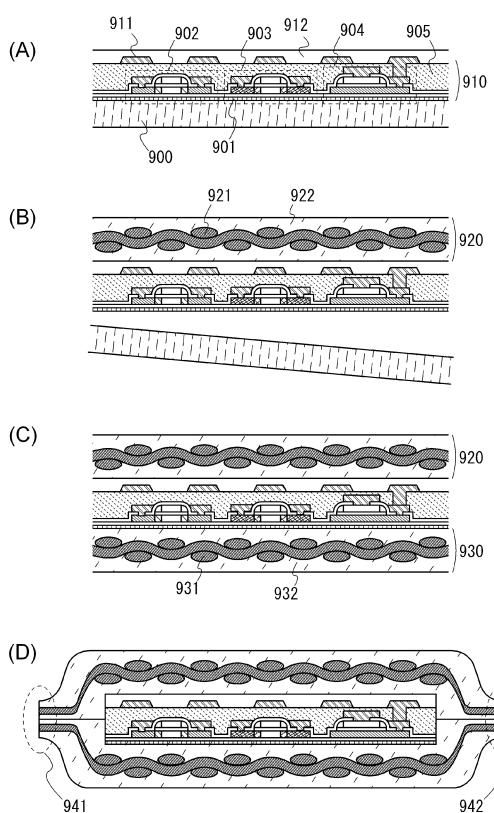
【図4】



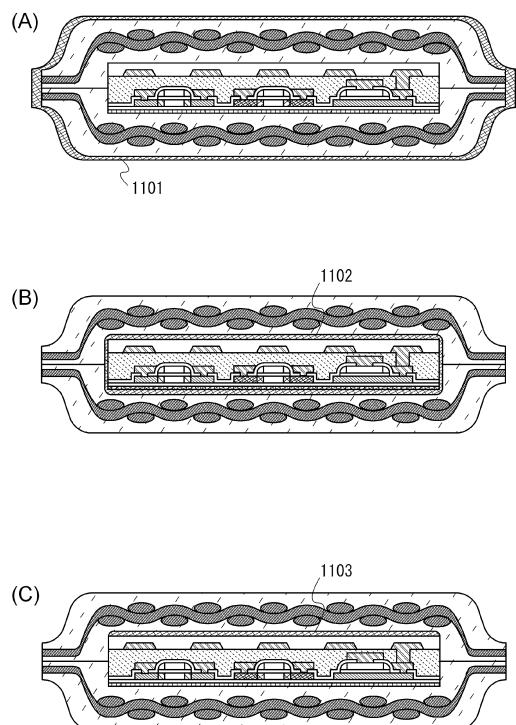
【図5】



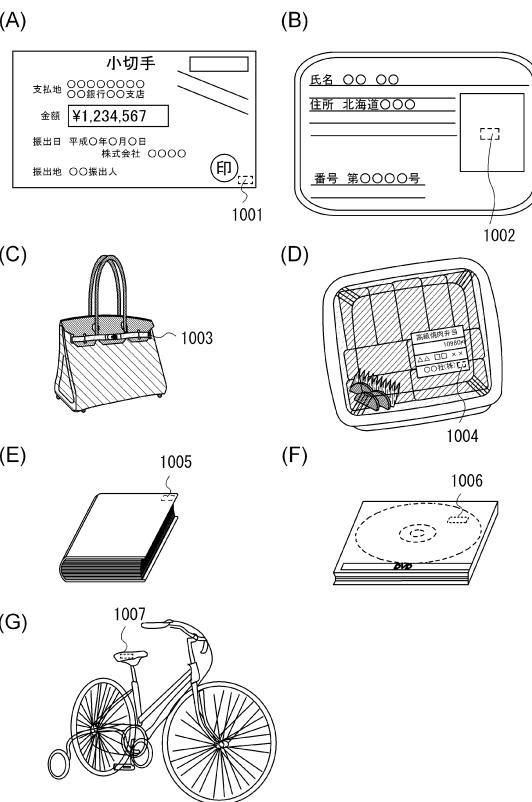
【図6】



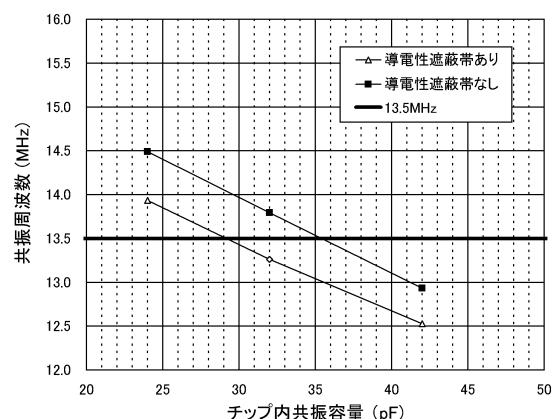
【図7】



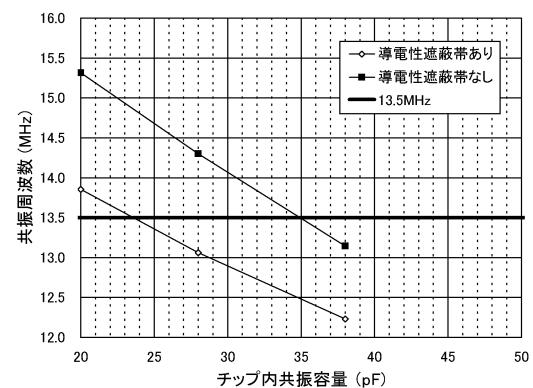
【図8】



【図9】



【図10】



フロントページの続き

(56)参考文献 特開2007-241999(JP, A)
特開2007-005778(JP, A)
特開平10-181261(JP, A)
特開2004-153717(JP, A)
特開2007-134694(JP, A)
特開2002-043516(JP, A)
特開2002-246829(JP, A)
特開平11-353440(JP, A)
特開2007-005782(JP, A)
特開2002-049903(JP, A)

(58)調査した分野(Int.Cl. , DB名)

H 01 L 27 / 04
H 01 L 21 / 822
G 06 K 19 / 07
G 06 K 19 / 077