(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3718334号

(P3718334)

(45)発行日　平成17年11月24日(2005.11.24)　(24)登録日　平成17年9月9日(2005.9.9)

(51)Int.Cl.[7]	F I	
H01L 21/336	H01L	29/78　627C
G02F 1/1368	G02F	1/1368
H01L 29/786	H01L	29/78　626C

請求項の数 3　(全 12 頁)

(21)出願番号　特願平9-303204
(22)出願日　平成9年11月5日(1997.11.5)
(65)公開番号　特開平11-145480
(43)公開日　平成11年5月28日(1999.5.28)
審査請求日　平成15年2月5日(2003.2.5)
審判番号　不服2004-10182(P2004-10182/J1)
審判請求日　平成16年5月13日(2004.5.13)

(73)特許権者　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号
(74)代理人　100095728
弁理士　上柳　雅誉
(74)代理人　100107076
弁理士　藤綱　英吉
(74)代理人　100107261
弁理士　須澤　修
(72)発明者　米山　良一
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

最終頁に続く

(54)【発明の名称】半導体装置の製造方法及び液晶パネル用基板の製造方法

(57)【特許請求の範囲】

【請求項１】

絶縁性の第１の層の上に半導体装置の能動層となるポリシリコンの第２の層をＣＶＤ法により形成する第１の工程と、

当該第２の層を所定の島状パターンに形成する第２の工程とを少なくとも有する半導体装置の製造方法において、

前記第２の工程では、前記第１の工程により形成した前記第２の層のうちの不要部分のエッチングとともに、前記不要部分のエッチングにより露出した前記第１の層のうち、前記ＣＶＤ法によりダメージを受けた表面部分も同時に、CHF_3 ガス及び SF_6 ガスを用いた反応性イオンエッチングによるエッチングをすることを特徴とする半導体装置の製造方法。

【請求項２】

前記半導体装置は、複数の走査線と複数のデータ線とにそれぞれ接続され、各画素に対応して形成される薄膜トランジスタであり、前記第1の層は絶縁性基板であることを特徴とする請求項１に記載の半導体装置の製造方法。

【請求項３】

絶縁性基板上に薄膜トランジスタの能動層となるポリシリコン層をＣＶＤ法により堆積する工程と、

CHF_3 ガス及び SF_6 ガスを用いた反応性イオンエッチングにより、前記ポリシリコン層の島状のパターニング及び前記絶縁性基板上のうち前記ＣＶＤ法によりダメージを受

けた露出部分のライトエッチングを同時に行う工程と、
前記パターニングされた前記ポリシリコン層を覆うようにゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上にゲート電極を形成する工程と、を有することを特徴とする液晶パネル用基板の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、例えば、ガラス基板上に形成される薄膜トランジスタ（以下、単にＴＦＴという）のような半導体装置の製造方法に関し、特に、熱処理やＣＶＤ処理などによってダメージを受けた基板表面の性質を回復させるとともに、その表面に付着した不純物、残査物を除去する技術に関する。さらに、この半導体装置並びにこれを用いた液晶パネル用基板および液晶パネルに関する。
【０００２】
【従来の技術】
従来の半導体装置の製造方法、例えば、ＴＦＴの製造方法において、ゲート電極２ａは、次のようにして形成される。すなわち、第１に、基板１０上にポリシリコンやアモルファスシリコンなどを堆積した後、パターニングして、ソース・ドレイン・チャネルとなる能動層１ａを形成し、第２に、この能動層１ａの表面を熱酸化等して、ゲート絶縁膜１２を形成し、第３に、この後、導電層を堆積した後、パターニングすることにより、図２の（５）で示されるようなゲート電極２ａが形成される。
【０００３】
【発明が解決しようとする課題】
ところで、ＴＦＴの能動層１ａが形成された基板１０を何らかの理由により長期間放置すると、その表面に結晶化物が析出してしまい、後の工程において悪影響を及ぼすという問題が生じた。
【０００４】
この原因について検討してみると、以下の理由によるものと考えられる。第１に、ポリシリコン層１を基板１０の表面に堆積させるのにＣＶＤ等を用いるため、基板１０の表面に何らかのダメージが発生する。第２に、このダメージのため、ＴＦＴの能動層１ａを形成した後に基板１０の表面を洗浄しても、洗浄液等を完全に取り除くことができない。第３に、この残留物が空気中の炭化水素を吸着する結果、結晶化物を析出させる、と考えられる。
【０００５】
本発明は、上述した事情に鑑みてなされたものであり、その目的とするところは、ＴＦＴのように絶縁性基板上にシリコン層を堆積し、所定のパターンに形成した後、当該基板を長期間放置しても、後の工程に悪影響を及ぼすことのない半導体の製造方法、半導体装置、この素子を用いた液晶パネル用基板、および、この基板を用いた液晶パネルを提供することにある。
【０００６】
【課題を解決するための手段】
上記課題を解決するため本発明にあっては、絶縁性の第１の層の上に半導体装置の能動層となるポリシリコンの第２の層をＣＶＤ法により形成する第１の工程と、
当該第２の層を所定の島状パターンに形成する第２の工程とを少なくとも有する半導体装置の製造方法において、
前記第２の工程では、前記第１の工程により形成した前記第２の層のうちの不要部分のエッチングとともに、前記不要部分のエッチングにより露出した前記第１の層のうち、前記ＣＶＤ法によりダメージを受けた表面部分も同時に、CHF_3 ガス及び SF_6 ガスを用いた反応性イオンエッチングによるエッチングをすることを特徴とする。
また、上記課題を解決するため本発明にあっては、前記半導体装置は、複数の走査線と

複数のデータ線とにそれぞれ接続され、各画素に対応して形成される薄膜トランジスタであり、前記第1の層は絶縁性基板であることを特徴とする。

【０００７】

通常、層の堆積には、ＣＶＤやスパッタリングなどが用いられるため、第１の層の表面は、少なからずダメージを受ける。しかしながら、本発明によれば、第１の層の表面がエッチングされるので、ダメージを受けた部分が除去され、第１の層の本来的な性質を引き出すことが可能となる。また、このエッチングに伴い、第１の層の表面に付着した不純物や洗浄時の残査物なども除去される。

【０００８】

また、本発明の液晶パネル用基板の製造方法は、絶縁性基板上に薄膜トランジスタの能動層となるポリシリコン層をＣＶＤ法により堆積する工程と、

CHF_3 ガス及びSF_6 ガスを用いた反応性イオンエッチングにより、前記ポリシリコン層の島状のパターニング及び前記絶縁性基板上のうち前記ＣＶＤ法によりダメージを受けた露出部分のライトエッチングを同時に行う工程と、

前記パターニングされた前記ポリシリコン層を覆うようにゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上にゲート電極を形成する工程と、を有することを特徴とする。本発明によれば、ゲート絶縁膜のエッチングに伴い、露出された基板の表面もエッチングされるため、不純物などが除去され、基板の悪影響を防ぐことができる。

【０００９】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

【００１０】

＜実施形態＞

本実施形態は、半導体装置として、アクティブマトリックス型液晶表示装置の各画素を駆動するポリシリコン型ＴＦＴとしたものであり、図１（ａ）は、そのＴＦＴを適用した液晶パネル基板における１画素分のレイアウトを示す平面図である。また、図１（ｂ）は、そのＴＦＴの構造を図１（ａ）におけるＡ－Ａ線に沿って示す断面図である。

【００１１】

まず、図１（ａ）において、１ａは１層目のポリシリコン層であり、ＴＦＴの能動層（ソース・ドレイン・チャネル領域）を構成する。２ａは走査線であり、ＴＦＴにあってはゲート電極となる。３ａはデータ線であり、走査線２ａと交差するように配設されたＴＦＴのソース領域に印加すべき電圧を供給する。ここで、走査線２ａは二層目のポリシリコン層によって、また、データ線３ａはアルミニウム層のような導電層によってそれぞれ形成されている。

【００１２】

さらに、コンタクトホール４は、ＩＴＯ（Indium-Tin Oxide）膜からなる画素電極６ａとポリシリコン層１におけるＴＦＴのドレイン領域（もしくはソース領域）とを接続するために設けられ、また、コンタクトホール５は、データ線３ａとポリシリコン層１ａにおけるＴＦＴのソース領域とを接続するために設けられる。

【００１３】

次に、図１（ｂ）において、基板１０は、ガラス基板（例えば、無アルカリ基板）や、石英基板などのような絶縁性基板により構成される。ゲート絶縁膜１２は、ＴＦＴの能動層となるポリシリコン層１を熱酸化処理等することによってその表面に形成されたものである。また、第１の層間絶縁膜１３および第２の層間絶縁膜１５は、それぞれ、SiO_2膜（ＮＳＧ膜）やＢＰＳＧ膜（ボロンおよびリンを含むシリケートガラス膜）等からなり、後述するようにＣＶＤにより形成される。

【００１４】

このような構成にかかるＴＦＴの製造工程について、図２～図５を参照しながら説明する。

【００１５】
まず、（１）の工程において、基板１０の上面にポリシリコン層１を、例えば減圧ＣＶＤ法等によって５００～２０００オングストロームの厚さで、好ましくは１０００オングストローム弱の厚さに堆積する。
【００１６】
次に、工程（２）においては、ポリシリコンと基板１０の材質とに反応するエッチングにより、基板１０に堆積したポリシリコン層１をパターニングして、ＴＦＴにおける島状の能動層１ａを形成するとともに、それにより露出した基板１０の表面をごくわずかにエッチングする。すなわち、この工程では、ポリシリコン層１の不要部分が除去されると、露出した基板１０表面も若干エッチングとされる。ここで、工程（２）のエッチングは、例えば、次のＲＩＥ（反応性イオンエッチング）が有効である。すなわち、このＲＩＥの条件を、ガス圧力：１６００[m torr]、CHF_3：５[sccm]、SF_6：１５[sccm]、Ｈｅ：８０[sccm]、電力：２５０[W]とした場合、エッチングの選択比は、ポリシリコン層１と基板１０とで１：１となり、そのエッチング速度は、毎分２０００オングストロームとなる。
【００１７】
したがって、この条件のエッチング処理時間を３０[秒]とし、工程（１）において堆積されるポリシリコン層１の厚さを、好ましいとされる１０００オングストローム弱の厚さとすると、ポリシリコン層１ａの不要部分が除去されるとともに、これにより露出した基板１０の表面も微量ながらエッチングされることがわかる。このため、基板１０の表面が若干エッチングされて、ダメージを受けた部分や、不純物、残査物等が除去されることとなる。
【００１８】
この結果、工程（１）によってダメージを受けた基板１０の表面部分が除去されて、基板１０が本来的に有する性質を引き出すことが可能となる。さらに、基板１０のライトエッチングに伴い、その表面に付着した不純物や洗浄時の残査物なども除去される結果、結晶化物が析出するという不都合も解消される。くわえて、これらの効果は、新たな工程を追加することなく奏することができる。
【００１９】
さて、（３）の工程において、能動層１ａの表面を熱酸化処理して、ゲート絶縁膜１２を能動層１ａの表面に形成する。この工程により、能動層１ａは最終的に３００～１５００オングストロームの厚さ、好ましくは３５０～４５０オングストロームの厚さとなり、ゲート絶縁膜１２は約６００～１５００オングストロームの厚さとなる。
【００２０】
ここで、能動層１ａを構成するポリシリコン層のうちのデータ線３ａに沿って上方へ延在して保持容量を形成する延設部１ｂ（図１（ａ）参照）に、不純物（例えばリン）を適当なドーズ量（例えば、3×10^{14}[atms／cm^2])でドープして、その部分のポリシリコン層を低抵抗化させる。このドーズ量の下限は、ポリシリコン層の保持容量を形成するために必要な導電性を確保する観点から求められ、また、その上限は、ゲート酸化膜の劣化を抑える観点から求められる。
【００２１】
そして、（４）の工程において、ＴＦＴにおけるゲート絶縁膜１２および基板１０の上に、ゲート電極および走査線となるべき低抵抗のポリシリコン層２を減圧ＣＶＤ法等により堆積する。ここで、ゲート電極の材料としては、ポリシリコンの他、Ｍｏ，Ｔａ，Ｔｉ，W等の高融点金属、あるいは、これらのメタルシリサイドを用いることができる。
【００２２】
次に説明を図３に移すと、（５）の工程において、ポリシリコン層２を、ケミカル・ドライエッチングによりパターニングして、ＴＦＴの走査線を含むゲート電極２ａを形成する。
【００２３】

（６）の工程においては、ゲート電極２ａをマスクとして不純物（例えばリン）のイオンを打込み、ＴＦＴの能動層１ａにおいて自己整合されたソース領域およびドレイン領域となる高濃度半導体領域を形成する。なお、ソース・ドレイン領域は、不純物（リン）を１×１０^{13}～３×１０^{13}[atms／cm^2]のドーズ量にてライトドープして低濃度領域を形成した後に、ゲート電極の幅よりも広いマスク層を走査線２ａ上に形成して、さらに不純物（リン）を１×１０^{15}～３×１０^{15}[atms／cm^2]のドーズ量で打ち込むことによって、マスクされた領域がライトリー・ドープト・ドレイン（ＬＤＤ）構造となるようにしても良い。あるいは、ライトリー・ドープせずにゲート電極２ａの幅よりも広いマスクを使用してパターンを形成し、続いてイオンを打ち込んでソース・ドレインを形成した後にゲート電極をオーバーエッチングすることにより、オフセット構造となるようにしてもよい。

【００２４】

さて、（７）の工程では、ゲート電極２ａを覆うように第１の層間絶縁膜１３を、例えば、ＣＶＤ法等によって８００度の温度下で５０００～１５０００オングストロームの厚さに堆積する。

【００２５】

（８）の工程では、この第１の層間絶縁膜１３に対し、ＴＦＴのソース領域に対応した位置にドライエッチング等によりコンタクトホール５を開孔させる。

【００２６】

ここで、コンタクトホール５は、ゲート絶縁膜１２および第１の層間絶縁膜１３の重ね膜を貫通して形成される。

【００２７】

次に、説明を図４に移すと、（９）の工程では、ソース電極を兼ねるデータ線となるべきアルミニウム等の低抵抗導電層３をスパッタ法により堆積する。この低抵抗導電層３は、ＴＦＴのコンタクトホール５にて能動層１ａのソース領域に接続される。

【００２８】

（１０）の工程では、低抵抗導電層３をフォトエッチングによりパターニングして、ＴＦＴのソース電極を兼ねるデータ線３ａを形成する。

【００２９】

（１１）の工程では、データ線３ａを覆うように、第２の層間絶縁膜１５を、例えばＣＶＤ法により５００度のような低温下で５０００～１５０００オングストロームの厚さに形成する。

【００３０】

次に、説明を図５に移すと、（１２）の工程では、第２の層間絶縁膜１５とその下層の第１の層間絶縁膜１３とゲート絶縁膜１２とからなる重ね膜であって、ドレイン領域に対応する位置において、第１に、ドライエッチングを実行して、異方性エッチングによるホールを形成し、第２に、ウェットエッチングによって上記ホールを能動層１ａまで貫通させて、ＴＦＴのコンタクトホール４を形成する。

【００３１】

（１３）の工程では、画素電極となるべきＩＴＯ膜６をスパッタ法で、例えば１５００オングストロームの厚さに形成する。このときＴＦＴでは、ＩＴＯ膜６が、コンタクトホール４にて能動層１ａのドレイン領域に接続される。

【００３２】

（１４）の工程では、ＩＴＯ膜６に対してフォトエッチングによりパターニングを行なうことで、ＴＦＴの画素電極６ａを形成する。

【００３３】

このようなＴＦＴは、実際には各画素に対応して基板１０の上に複数形成されることとなる。

【００３４】

以上述べたように、本実施形態にかかる半導体の製造方法によれば、基板１０の上に、ポリシリコン層１を堆積した後、これをエッチングによりパターニングして能動層１ａを形

成する際に、ポリシリコン層１の不要部分とともに、露出した基板１０の表面も若干エッチングすることによって、不純物や残査物などが除去される。したがって、能動層１ａが形成された基板１０の表面に結晶化物が析出し、後の工程において悪影響を及ぼすという問題が解消されることとなる。

【００３５】

＜応用例＞

次に、本実施形態により形成されるＴＦＴをアクティブマトリックス型の液晶パネルに適用した応用例について説明する。

【００３６】

図６は、応用例にかかる液晶パネルのうち、ＴＦＴが形成される基板１０の構成を示すブロック図である。

【００３７】

図において、９０，９０，……，はそれぞれ画素であり、互いに交差するように配設された走査線２とデータ線３との交点に対応してそれぞれ配置される。各画素９０はＩＴＯ等からなる画素電極６ａとこの画素電極６ａにデータ線３上の画像信号に応じた電圧を印加するＴＦＴ９１とからなる。同一行のＴＦＴ９１はそのゲート電極が同一の走査線２に接続され、そのドレインが対応する画素電極６ａに接続されている。また、同一列のＴＦＴ９１は、そのソース電極が同一のデータ線３に接続されている。この応用例においては、周辺回路（Ｘ、Ｙシフトレジスタやサンプリング手段）５０，６０を構成するトランジスタが画素を駆動するＴＦＴと同様にポリシリコン層を動作層とするいわゆるポリシリコンＴＦＴで構成されている。したがって、周辺回路５０，６０を構成するトランジスタは、画素駆動用ＴＦＴとともに同一プロセスにより、同時に形成されることとなる。

【００３８】

さて、図において、表示領域（画素マトリックス）２０の上側一端には、データ線３を順次選択するシフトレジスタ（以下、Ｘシフトレジスタと称する）５１が配置される一方、画素マトリックスの左側一端には、走査線２を順次選択駆動するシフトレジスタ（以下、Ｙシフトレジスタと称する）６１が設けられている。また、Ｙシフトレジスタ６１の次段には必要に応じてバッファ６３が設けられる。各データ線３の一端にはＴＦＴで構成されたサンプリング用スイッチ５２がそれぞれ設けられている。これらのサンプリング用スイッチ５２は、外部端子７４，７５，７６に入力される画像信号ＶＩＤ１～ＶＩＤ３を伝送するビデオ信号線５４、５５、５６との間に接続され、Ｘシフトレジスタ５１から出力されるサンプリング信号によって順次オン／オフされるように構成されている。Ｘシフトレジスタ５１は、端子７２，７３を介して外部より入力されるクロック信号ＣＬＸ１、ＣＬＫ２に基づいて１水平走査期間中にすべてのデータ線３を順番に１回ずつ選択するようなサンプリング信号Ｘ１，Ｘ２，Ｘ３，……，Ｘｎを形成してサンプリング用スイッチ５２の制御端子に供給する。一方、Ｙシフトレジスタ６１は、端子７７，７８を介して外部から入力されるクロック信号ＣＬＹ１，ＣＬＹ２に同期して動作され、各走査線２を順次駆動する。また、端子７２～７８等は、後述するように基板１０の周縁部に沿って一列にパッド電極群として配置される。

【００３９】

次に、液晶パネル全体の構成について説明する。図７（ａ）は、図６における基板を適用した液晶パネルの構成を示す断面図であり、図７（ｂ）は、そのレイアウトを示す平面図である。

【００４０】

まず、図７（ａ）に示すように、液晶パネル３０は、ＴＦＴや画素電極が形成された基板１０とＩＴＯ等のような透明導電膜を対向電極（共通電極）３３として有する対向基板３１とを、電極同士が互いに対向するように、かつ、適当な間隔があくように、シール材３６によって接着した構成となっており、さらに、その間隙内にはＴＮ（Twisted Nematic）型やＳＨ（Super Homeotropic）型などの液晶３７が充填された構成となっている。ここで、対向基板３１における対向電極３３の上面（図では下側となる）には、基板１０に

おける画素電極に相当する部分以外を遮光するブラックマトリックス層や、必要に応じてカラーフィルタ層が設けられる（図示省略）。

【００４１】

また、周辺回路５０，６０の上方は、例えば、対向基板３１に設けられるブラックマトリックス層等により遮光されるように構成される。なお、３８は対向基板３１側に設けられる液晶注入口、３９は対向基板３１に設けられるクロム層等からなる見切り用の遮光層である。その他、液晶パネルとして必要なものとして、入出射光の偏光方向を選択する偏光板や、液晶３７の分子配列を定める配向膜、基板１０と対向基板３１との間隙を全面にわたって一定に維持するためのスペーサー等が挙げられるが、図示を省略することとする。

【００４２】

さて、図７（ｂ）に示すように、対向基板３１は、ＴＦＴが形成された基板１０よりも一回り小さな形状とされるため、基板１０の周縁部に配置するパッド電極群７０は、対向基板３１よりも外側に露出して、前述した周辺回路５０，６０へのクロック信号や、スタート信号、ビデオ信号などの信号を入力する外部入力端子として用いる際の便宜が図られている。

【００４３】

また、基板１０の周縁部には、パッド電極群７０の他に、プローブによる検査の際に信号を入出力するのに使用される検査用端子としてのパッド電極群１７０が設けられている。一方、対向基板３１にも検査用端子としてのパッド電極群２７０が設けられており、これらのパッド電極群は、データ線の短絡や画素電極の欠陥等を検査するための信号の入出力に使用される。

【００４４】

なお、８０は、ＴＦＴが形成される基板１０から対向基板３１の対向電極３３に、共通電位を与えるための上下基板間導通用端子であり、所定の径を有する導電性接着剤を介在させて、基板１０と対向基板３１との導通を図るように構成されている。

【００４５】

次に、液晶パネルと外部回路との接続の一例について図８を用いて説明する。この図に示すように、パッド電極群７０のうちの１つのパッド電極７１と、外部回路に接続されてクロック信号や、スタート信号、ビデオ信号などの信号を供給するＦＰＣ（Film Printed Circuit）１０２の端子電極１０３とは、物理的には接着剤１０１によって固定保持される一方、電気的には接着剤１０１中に分散する導電粒子１００によって接続される。

【００４６】

ここで、接着剤１０１における導電粒子１００の濃度を適切に設定すれば、接着層の上下方向（パッド電極７１と端子電極１０３とを結ぶ方向）には導通を許すが、接着層の平面方向には導通を許さないという異方性導電接合が実現される。そして、異方性導電接合によれば、間隔が狭い多数の端子を一括して接続できるため効率的である。

【００４７】

なお、ＦＰＣ１０２は、例えば、ポリイミドフィルムにラミネートされた銅箔を周知のフォトリソグラフィ工程や、エッチング工程等によってパターニングすることで形成される。また、導電粒子１００には、ハンダニッケルなどの金属粒子や金属メッキしたプラスチックボールなどが用いられる。

【００４８】

＜液晶パネルの適用例▲１▼＞

次に、応用例にかかる液晶パネルを表示装置として用いた例を説明する。

【００４９】

まず、この液晶パネルをライトバルブとして用いたビデオプロジェクタについて説明する。図９は、ビデオプロジェクタの構成例を示す平面図である。

【００５０】

この図に示すように、ビデオプロジェクタ１１００内部には、ハロゲンランプ等の白色光源からなるランプユニット１１０２が設けられている。このランプユニット１１０２から

射出された投射光は、ライトガイド１１０４内に配置された複数のミラー１１０６，１１０６，……および２枚のダイクロックミラー１１０８によってＲＧＢの３原色に分離され、各原色に対応するライトバルブとしての液晶パネル１１１０Ｒ，１１１０Ｂおよび１１１０Ｇに入射される。

【００５１】

液晶パネル１１１０Ｒ，１１１０Ｂおよび１１１０Ｇの構成は、上述した通りであり、図示しないビデオ信号処理回路から供給されるＲ，Ｇ，Ｂの原色信号でそれぞれ駆動される。さて、これらの液晶パネルによって変調された光は、ダイクロックプリズム１１１２に、３方向から入射される。このダイクロックプリズム１１１２においては、ＲおよびＢの光が９０度に屈折する一方、Ｇの光が直進する。したがって、各色の画像が合成される結果、投射レンズ１１１４を介して、スクリーン等にカラー画像が投写されることとなる。

【００５２】

＜液晶パネルの適用例▲２▼＞

次に、応用例にかかる液晶パネルをパーソナルコンピュータに適用した例について説明する。図１０は、このパーソナルコンピュータの構成を示す正面図である。図において、パーソナルコンピュータ１２００は、キーボード１２０２を備えた本体部１２０４と、液晶ディスプレイ１２０６とから構成されている。この液晶ディスプレイ１２０６は、先に述べた応用例にかかる液晶パネルにカラーフィルタとバックライトとを付加することにより構成される。

【００５３】

なお、液晶パネルの適用例としてビデオプロジェクタ１１００およびパーソナルコンピュータ１２００を挙げて説明したが、これ以外の種々の各種電子機器に適用可能なのは言うまでもない。

【００５４】

【発明の効果】

以上説明したように本発明によれば、第２の層のパターニングにより露出した第１の層の表面がエッチングされるので、ＣＶＤ等によりダメージを受けた部分が除去され、第１の層の本来的な性質が引き出される。また、このエッチングによって、絶縁性基板の表面に付着した不純物や洗浄時の残査物なども除去される。したがって、結晶化物の析出を防止して、後の工程に悪影響を及ぼすことをなくすことが可能となる。

【図面の簡単な説明】

【図１】（ａ）は、本発明の実施形態にかかる半導体装置の製造方法によるＴＦＴを適用した液晶パネル用基板の１画素分についてのレイアウトを示す平面図であり、（ｂ）は、そのＡ－Ａ線の断面図である。

【図２】（１）～（４）は、それぞれ同実施形態にかかるＴＦＴの製造工程を示す図である。

【図３】（５）～（８）は、それぞれ同実施形態にかかるＴＦＴの製造工程を示す図である。

【図４】（９）～（１１）は、それぞれ同実施形態にかかるＴＦＴの製造工程を示す図である。

【図５】（１２）～（１４）は、それぞれ同実施形態にかかるＴＦＴの製造工程を示す図である。

【図６】　本実施形態にかかる半導体装置の製造方法を適用したＴＦＴを有する液晶パネル基板の構成を示すブロック図である。

【図７】　（ａ）は、本実施形態にかかる半導体装置の製造方法を適用したＴＦＴを有する液晶パネルの構成を示す断面図であり、（ｂ）は、同液晶パネルの構成を示す平面図である。

【図８】　同液晶パネルと外部回路との異方性導電接合構造を示す断面図である。

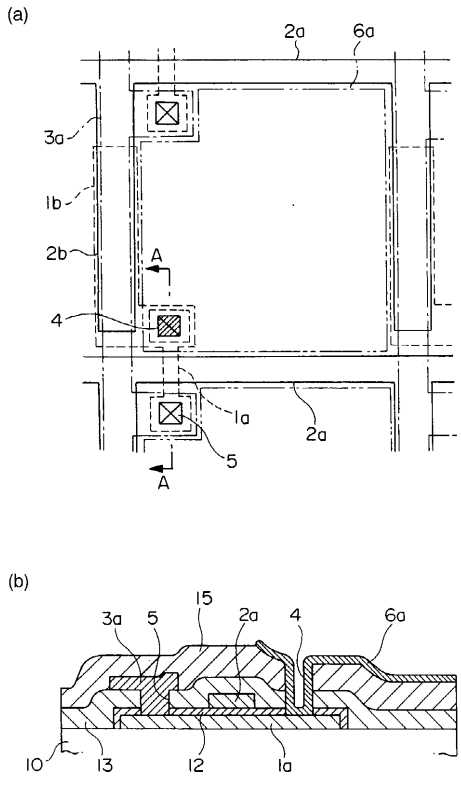
【図９】　同液晶パネルをライトバルブに用いたビデオプロジェクタの構成を示す平面図である。

【図１０】　同液晶パネルを表示装置に用いたパーソナルコンピュータの構成を示す平面図である。

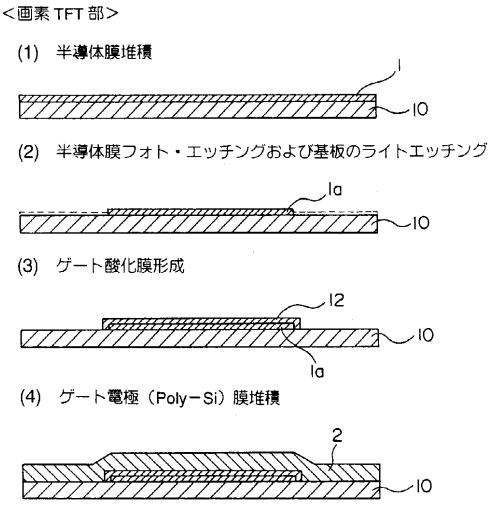
【符号の説明】

１…ポリシリコン層、１ａ…能動層、２ａ…走査線（ゲート電極）、３ａ…データ線（ソース電極）、４，５…コンタクトホール、６…ＩＴＯ膜、６ａ…画素電極、１０…基板、１２…ゲート絶縁膜、１３…第１の層間絶縁膜、１５…第２の層間絶縁膜、２０…表示領域、３０…液晶パネル、３１…対向基板

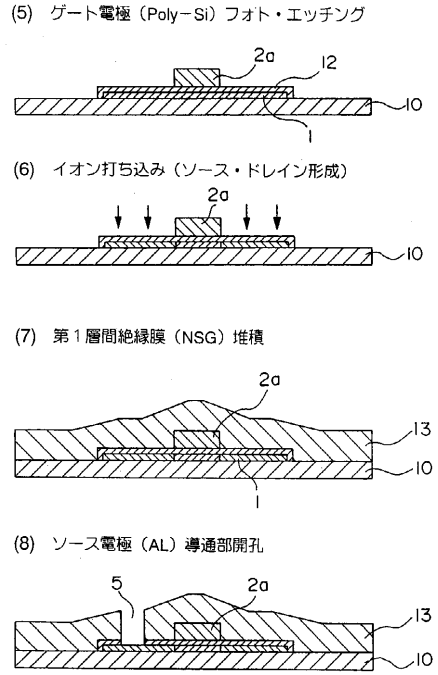
【図１】



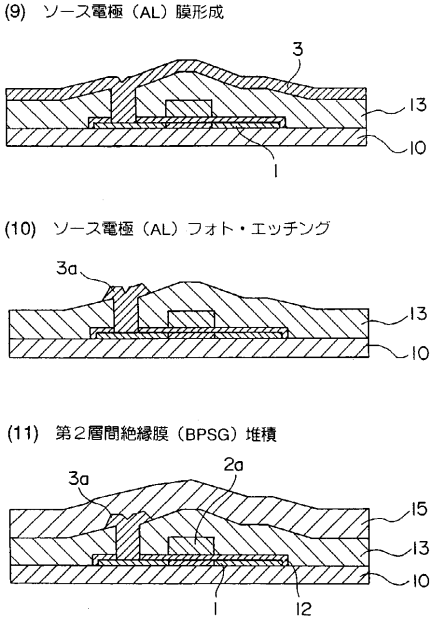
【図２】



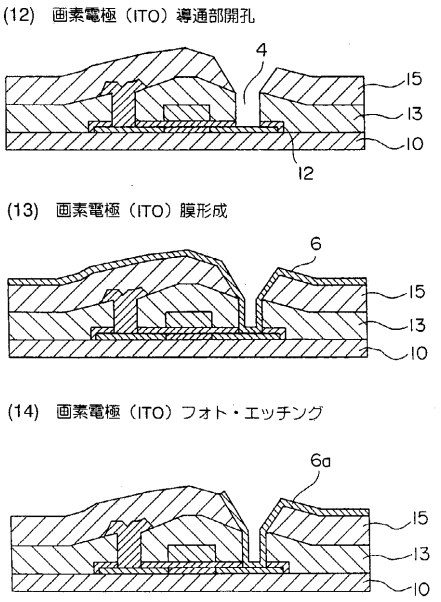
【図３】


(5) ゲート電極（Poly−Si）フォト・エッチング
2a
12
10
1
(6) イオン打ち込み（ソース・ドレイン形成）
2a
10
(7) 第１層間絶縁膜（NSG）堆積
2a
13
10
1
(8) ソース電極（AL）導通部開孔
5
2a
13
10

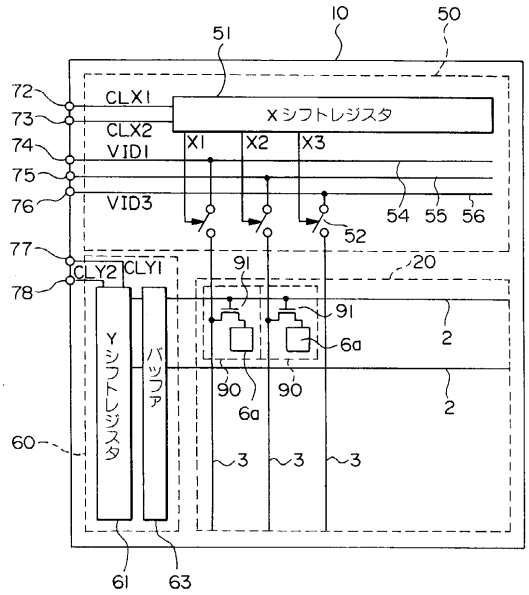
【図４】


(9) ソース電極（AL）膜形成
3
13
10
1
(10) ソース電極（AL）フォト・エッチング
3a
13
10
(11) 第２層間絶縁膜（BPSG）堆積
3a
2a
15
13
10
1
12

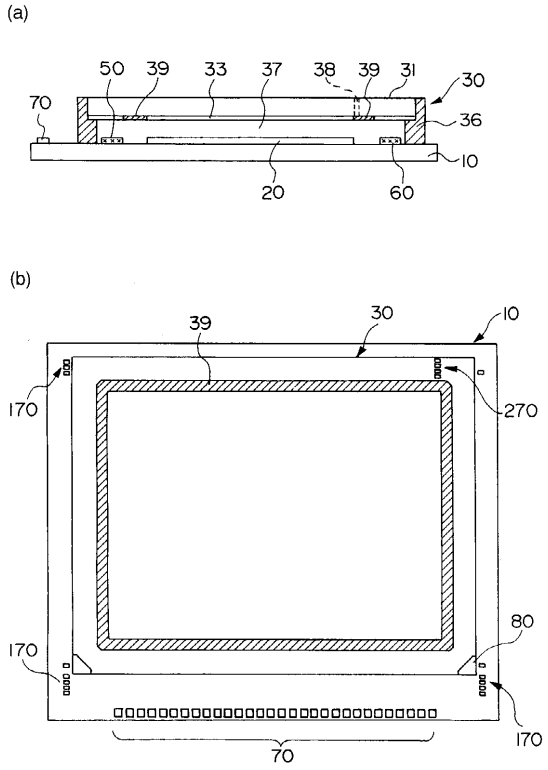
【図５】


(12) 画素電極（ITO）導通部開孔
4
15
13
10
12
(13) 画素電極（ITO）膜形成
6
15
13
10
(14) 画素電極（ITO）フォト・エッチング
6a
15
13
10

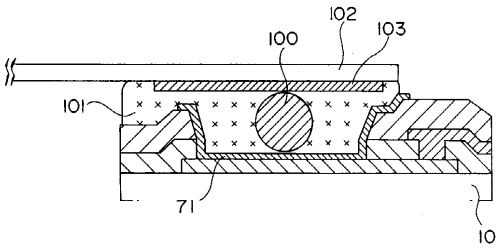
【図６】


10
50
51
72
73
74
75
76
77
78
CLX1
CLX2
VID1
VID3
CLY2
CLY1
Xシフトレジスタ
X1
X2
X3
54
55
56
52
91
20
6a
2
90
Yシフトレジスタ
バッファ
60
3
61
63

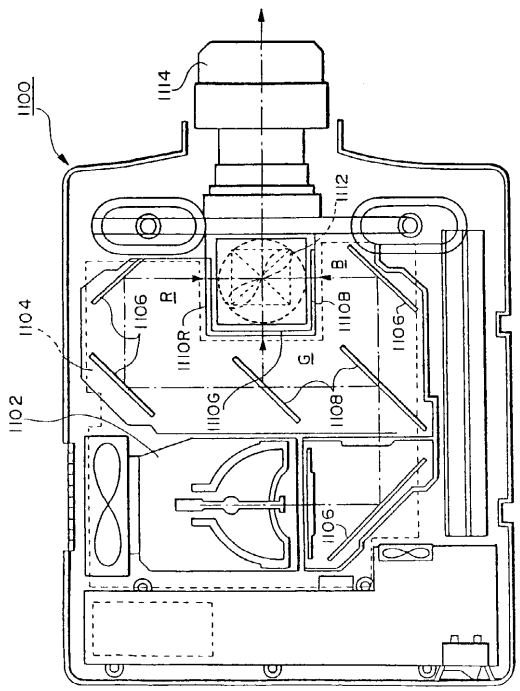
【図７】


(a)
50
39
33
37
38
39
31
30
70
36
10
20
60
(b)
39
30
10
170
270
80
170
170
70

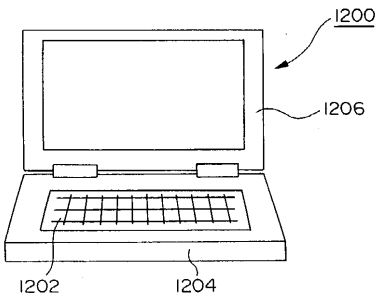
【図８】


102
100
103
101
71
10

【図９】


1100
1114
1112
1104
1106
R
1110R
G
1110G
B
1108
1105
1102
1105

【図１０】


1200
1206
1202
1204

フロントページの続き

合議体
審判長　松本　邦夫
審判官　河本　充雄
審判官　瀧内　健夫

(56)参考文献　特開平９－１１６１６４（ＪＰ，Ａ）
特開平１０－３２６８９８（ＪＰ，Ａ）
特開平５－２１８０８３（ＪＰ，Ａ）
特開平５－５５５７８（ＪＰ，Ａ）
特開平８－１２５１９５（ＪＰ，Ａ）
特開平７－９４７５５（ＪＰ，Ａ）
特開平６－６９５０６（ＪＰ，Ａ）