

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-96902

(P2019-96902A)

(43) 公開日 令和1年6月20日(2019.6.20)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 33/48 (2010.01)	HO 1 L 33/48	5 F 1 4 2
HO 1 L 33/38 (2010.01)	HO 1 L 33/38	5 F 2 4 1
HO 1 L 33/22 (2010.01)	HO 1 L 33/22	

審査請求 有 請求項の数 17 O L (全 21 頁)

(21) 出願番号 特願2019-24750 (P2019-24750)
 (22) 出願日 平成31年2月14日 (2019.2.14)
 (62) 分割の表示 特願2017-536551 (P2017-536551) の分割
 原出願日 平成28年1月28日 (2016.1.28)
 (31) 優先権主張番号 62/110,365
 (32) 優先日 平成27年1月30日 (2015.1.30)
 (33) 優先権主張国 米国 (US)

(71) 出願人 599133716
 オスラム オプト セミコンダクターズ
 ゲゼルシャフト ミット ベシュレンクテ
 ル ハフツング
 Osram Opto Semicond
 uctors GmbH
 ドイツ連邦共和国、93055 レーゲ
 スブルグ、ライプニッツシュトラッセ 4
 Leibnizstrasse 4, D
 -93055 Regensburg,
 Germany

最終頁に続く

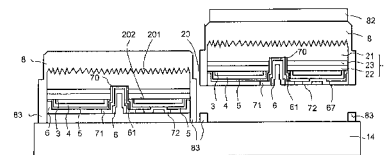
(54) 【発明の名称】 半導体部品を製造するための方法および半導体部品

(57) 【要約】 (修正有)

【課題】 1つまたは複数の半導体部品を製造するための著しく柔軟性に富む方法を特定し、さらに、単純かつコスト効率的に製造可能な半導体部品を提供する。

【解決手段】 第1の半導体層21と第2の半導体層22と活性領域23とを有する半導体積層体が基板上に設けられ、第1および第2の半導体層を電気的に接触させるための接触構造が形成され、半導体積層体に補助基板14が設けられることにより、半導体積層体が補助基板と基板の間に配置され、基板が半導体積層体から取り外され、半導体積層体は、半導体本体を隔てるトレンチ20を形成することによって複数の半導体本体へと構造化され、トレンチおよび半導体本体の垂直面を覆うように固着層8が形成され、トレンチを覆う領域の固着層を構造化することによって複数のテザー83が形成され、テザーが補助基板から切り離されるような形で、スタンプ82によって選択的に拾い上げられる。

【選択図】 図13



【特許請求の範囲】

【請求項 1】

支持体(1)の上に配置される本体(210)を有する半導体部品であって、
 前記本体(210)が、前記支持体(1)から離れた第1の主表面(201)と、前記支持体(1)に面する第2の主表面(202)とを有する半導体本体(2)を備え、
 前記半導体本体(2)が、第1の半導体層(21)と、第2の半導体層(22)と、前記第1の半導体層と前記第2の半導体層との間に配置される活性領域(23)とを備え、
 前記本体(210)が、前記第1の半導体層(21)と電氣的に接触するために、前記第2の主表面(202)から、前記第2の半導体層(22)および前記活性領域(23)を貫通して延びるパイア(70)を有する接触構造(7)を備え、
 前記接触構造(7)が、前記パイア(70)に電氣的に接続された第1の接触域(71)と、第2の接触域(72)とを、前記第2の主表面(200)側に備え、
 前記第1の接触域(71)および前記第2の接触域(72)が、絶縁層(6)によって横方向に離間され、
 前記本体(210)が、前記第1の接触域(71)と、前記第2の接触域(72)と、前記絶縁層(6)との表面によって形成される、平らな接続面(67)を備え、
 前記支持体(1)が、平らな接合面(10)を備え、前記接合面(10)が前記本体(210)の前記平らな接続面(67)と直接接触することにより、前記本体(210)と前記支持体(1)との間に共通の境界面が形成され、前記共通の境界面には、接着材またははんだ材が一切存在しない、
 半導体部品。

10

20

【請求項 2】

前記支持体(1)が、第1の接触パッド(171)と、絶縁パッド(16)によって前記第1の接触パッド(171)から横方向に離間した第2の接触パッド(172)とを備え、
 前記平らな接合面(10)が、前記第1の接触パッド(171)と、前記第2の接触パッド(172)と、前記絶縁パッド(16)との表面によって形成され、
 前記共通の境界面が、金属と金属の境界面と、絶縁体と絶縁体の境界面と、金属と絶縁体の境界面とによって部分的に形成される、
 請求項1に記載の半導体部品。

30

【請求項 3】

前記支持体(1)および前記本体(210)は、前記共通の境界面で互いに固定され、
 前記第1の接触域(71)および前記第2の接触域(72)はそれぞれ、前記第1の接触パッド(171)および前記第2の接触パッド(172)に直接、電氣的に接触する、
 請求項2に記載の半導体部品。

【請求項 4】

前記共通の境界面は、前記平らな接続面(67)と前記平らな接合面(10)の領域を直接重ねることによって形成され、全体的に平面であり、ステップやエッジが存在しない、
 請求項1～3の何れか1項に記載の半導体部品。

40

【請求項 5】

蛍光体粒子および/または散乱粒子は、前記第1の主表面(201)を覆う層に埋め込まれる、
 請求項1～4の何れか1項に記載の半導体部品。

【請求項 6】

前記第2の主表面(202)が、パターン形成され、複数のマイクロプリズム(222)を備え、
 ミラー層(3)が、前記第2の主表面(202)と前記支持体(1)との間に配置され、
 前記ミラー層(3)が、少なくとも所々において、前記パターン形成された第2の主表面

50

面(202)を再現する、

請求項1～5の何れか1項に記載の半導体部品。

【請求項7】

前記支持体(1)とは反対側を向いて、前記絶縁層(6)にパターンが形成され、

前記絶縁層(6)の表面は、前記支持体(1)に面するように、前記第1の接触域(71)および前記第2の接触域(72)の表面と同一の高さにある、

請求項6に記載の半導体部品。

【請求項8】

前記第1の主表面(201)から、前記半導体本体(2)の全体を貫通し、前記第1の接触域(71)にまで延びる凹部(24)を備える、

請求項1～7の何れか1項に記載の半導体部品。

10

【請求項9】

前記バイア(70)は、前記凹部(24)内に配置され、前記第1の接触域(71)から前記第1の主表面(201)へと垂直方向に延び、前記第1の主表面(201)において前記第1の半導体層(21)と直接、電氣的に接触する、

請求項8に記載の半導体部品。

【請求項10】

前記半導体本体(2)によって完全に囲繞され、前記半導体本体(2)に有底穴を形成する凹部(24)を備え、

前記バイア(70)は、前記凹部(24)の内側に配置され、前記第2の主表面(202)から前記第2の半導体層(22)および前記活性領域(23)を通過して前記第1の半導体層(21)まで延びる、

請求項1～7の何れか1項に記載の半導体部品。

20

【請求項11】

前記第1の接触域(71)は、前記凹部(24)の外側に堆積され、前記バイア(70)に電氣的に接続される、

請求項10に記載の半導体部品。

【請求項12】

前記支持体(1)の前記接合面(10)に配置された少なくとも1つのテザー(83)またはテザー(83)の残余物を有する固着層(8)を備え、

前記テザー(83)または前記テザー(83)の残部は、前記半導体本体(2)から側方に配置される、

請求項1～11の何れか1項に記載の半導体部品。

30

【請求項13】

前記半導体本体(2)の垂直面は、前記固着層(8)によって覆われ、

前記固着層(8)は、前記活性領域(23)によって放出された放射に対して放射透過性または放射透明な材料から形成され、

前記支持体(1)から離れた前記固着層(8)の表面は、部品の放射出口領域(101)を形成する、

請求項12に記載の半導体部品。

40

【請求項14】

前記固着層(8)は、放射透過性または放射透明な材料から形成され、前記半導体部品の封止層として機能する、

請求項12または13に記載の半導体部品。

【請求項15】

支持体(1)の上に配置される本体(210)を有する半導体部品であって、

前記本体(210)が、前記支持体(1)から離れた第1の主表面(201)と、前記支持体(1)に面する第2の主表面(202)とを有する半導体本体(2)を備え、

前記半導体本体(2)が、第1の半導体層(21)と、第2の半導体層(22)と、前記第1の半導体層と前記第2の半導体層との間に配置される活性領域(23)とを備え、

50

前記本体（２１０）が、前記第１の半導体層（２１）と電気的に接触するために、前記第２の主表面（２０２）から、前記第２の半導体層（２２）および前記活性領域（２３）を貫通して延びるパイア（７０）を有する接触構造（７）を備え、

前記接触構造（７）が、前記パイア（７０）に電気的に接続された第１の接触域（７１）と、第２の接触域（７２）とを、前記第２の主表面（２０２）側に備え、

前記第１の接触域（７１）および前記第２の接触域（７２）が、絶縁層（６）によって横方向に離間され、

前記本体（２１０）が、前記第１の接触域（７１）と、前記第２の接触域（７２）と、前記絶縁層（６）との表面によって形成される、平らな接続面（６７）を備え、

前記支持体（１）が、第１の接触パッド（１７１）と、絶縁パッド（１６）によって前記第１の接触パッド（１７１）から横方向に離間した第２の接触パッド（１７２）とを備え、

前記支持体（１）が、前記第１の接触パッド（１７１）と、前記第２の接触パッド（１７２）と、前記絶縁パッド（１６）との表面によって形成される平らな接合面（１０）を備え、

前記支持体（１）および前記本体（２１０）は、接合材を用いて相互接続される、半導体部品。

【請求項１６】

請求項１～１５の何れか１項に記載の半導体部品（１００）を複数備えるデバイスであって、

全ての前記半導体部品（１００）の前記支持体（１）が、単一で共通な支持体として形成される、

デバイス。

【請求項１７】

前記半導体部品（１００）のそれぞれは、前記単一で共通な支持体上に縦列と横列のある行列の形態で配置される本体（２１０）を備える、

請求項１６に記載のデバイス。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、半導体部品を製造するための方法、および半導体部品に関する。

【背景技術】

【０００２】

ＬＥＤを用いたエリア照明には、多数の小型ＬＥＤを支持体にダイボンディングすることが必要となる。標準的なＬＥＤ製造方法を利用し、標準的なダイボンディング技法を利用した場合、このことに長い時間と多くの費用が費やされる。

【発明の概要】

【発明が解決しようとする課題】

【０００３】

本発明の目的は、１つまたは複数の半導体部品を製造するための著しく柔軟性に富む方法を特定し、さらに、単純かつコスト効率的に製造可能な半導体部品を特定することである。

【０００４】

この目的は、独立請求項の主題によって達成される。従属請求項は、さらなる構成や発展に関するものである。

【課題を解決するための手段】

【０００５】

１つまたは複数の半導体部品を製造する方法の一実施形態では、基板が用意される。基板は、パターンを形成することも、平坦にすることも可能である。例えば、基板は、放射透過性、特に、透明なものとなる。基板は、例えば、この場合は特に、サファイアまたは

10

20

30

40

50

シリコンで構成されるかサファイアまたはシリコンを含有し得る、成長基板となる。

【0006】

半導体部品を製造する方法の少なくとも一実施形態によれば、第1の半導体層と、第2の半導体層と、活性領域とを有する半導体積層体が、基板上に、例えばエピタキシャル成長させるなどして設けられる。

【0007】

半導体積層体は、基板に面する第1の主表面と、基板とは反対側を向く第2の主表面とを有する。第1の主表面は、例えば、基板の表面に面する。第1および第2の主表面は、特に、半導体積層体を垂直方向に区切るものとなる。垂直方向とは、活性領域の主延在平面に対して横断方向に、例えば鉛直に進む方向を意味するものと理解される。横方向とは、活性領域の主延在平面に対し、平行に進む方向である。特に、横方向と垂直方向は、互いに直角の関係となる。

10

【0008】

例えば、第1の半導体層はn伝導層として形成され、第2の半導体層はp伝導層として形成される。この逆とすることも可能である。活性領域は、例えば、第1の半導体層と第2の半導体層との間に配置される。特に、活性領域は、半導体部品の動作中に電磁放射を発生させるか検出するために設けられる、pn接合域となる。

【0009】

半導体積層体は、例えば、第13族から少なくとも1つの元素（例えば、Al、Ga、Inなど）、および第15族から少なくとも1つの元素（例えば、N、P、Asなど）を含む、III-V族化合物半導体材料系となる。特に、「III-V族化合物半導体材料」という用語は、例えば窒化物化合物半導体やリン化物化合物半導体など、第13族の少なくとも1つの元素と第15族の少なくとも1つの元素とを含有する二元化合物、三元化合物、および四元化合物から成る群を包含するものである。n伝導層およびp伝導層は、それぞれ、半導体材料を適切にドーピングすることによって製造可能である。半導体積層体は、II-VI族化合物半導体材料系とすることもできる。

20

【0010】

方法の少なくとも一実施形態によれば、少なくとも第1の接触域と、第2の接触域と、バイアとを備える接触構造が、第2の主表面側に形成される。バイアは、例えば、第1の接触域に電氣的に接続される。第1の半導体層と電氣的に接触するために、バイアは、第2の主表面から、第2の半導体層および活性領域を貫通するように延び、第1の半導体層にまで達し得る。バイアは、第1の半導体層を貫通して延びてもよい。第2の接触域は、例えば、第2の半導体層に電氣的に接続される。

30

【0011】

特に、バイアは、半導体積層体に形成された凹部の垂直面を覆う。横方向において、凹部は、半導体積層体により、例えば完全に囲繞される。凹部は、第2の半導体層および活性領域を貫通して延び、第1の半導体層にまで達し、および/または第1の半導体層を貫通してもよい。凹部は、エッチング法（例えば、ドライエッチング法）によって形成され得る。複数の凹部と複数のバイアが形成されてよい。

【0012】

方法の少なくとも一実施形態によれば、半導体積層体が、基板から離れた側にパターンを形成されることにより、基板から離れた、半導体積層体のパターン形成された第2の主表面が形成される。第2の主表面は、複数のマイクロリズムを備え得る。特に、第2の主表面は、接触構造を形成するステップの前に（例えば、接触構造の第1の接触域と第2の接触域を形成する前に）パターン形成される。

40

【0013】

方法の少なくとも一実施形態によれば、パターン形成された第2の主表面の上に、ミラー層が設けられる。ミラー層は、特に、少なくとも所々において、パターン形成された第2の主表面を再現する。半導体積層体の第1の主表面が、放射出口領域として形成されてよい。第2の主表面方向に放出された放射を、ミラー層により、第1の主表面に向けて反

50

射させることができる。

【0014】

方法の少なくとも一実施形態によれば、半導体積層体に補助基板が設けられることにより、半導体積層体が、補助基板と基板の間に配置される。接触構造の第1の接触域および第2の接触域は、特に、補助基板と半導体積層体との間に完全に配置される。補助基板は、ポリマを含み得る。ポリマは、その温度依存性のため、一時的な接合処理に特に適している。

【0015】

補助基板は、接続層により、半導体積層体に機械的に固定（特に、一時的に接合）され得る。例えば、接続層は、スピンコーティング法によって半導体積層体に塗布することのできる、接合材を含む。例えば、接続層は、補助基板を半導体積層体に一時的に接合する、スピンオン接合材を含有する。このとき、接続層は、補助基板を半導体積層体から適時に解放することが可能となる。接続層は、例えば、温度依存性の粘着力を有する熱分解性のスピンオン接合材を含む。接続層には、他の好適な材料を使用することも可能である。例えば、接続層は、フォトレジスト材料から形成されてよい。フォトレジスト材料を使用することにより、接続層は、例えばフォトリソグラフィ工程により、単純な方法で溶解させることができる。

【0016】

方法の少なくとも一実施形態によれば、基板が、半導体積層体から取り外される。特に、補助基板が、基板の取り外し処理の前に設けられる。凹部とパイア、または複数の凹部とパイアが、基板の取り外し前または取り外し後に形成され得る。

【0017】

方法の少なくとも一実施形態によれば、半導体積層体が、複数の半導体本体へと構造化される。半導体積層体は、例えば、半導体本体を横方向に隔てる少なくとも1つまたは複数のトレンチを形成することにより、複数の半導体本体へと分割され得る。半導体積層体の構造化は、例えば、メサトレンチまたは複数のトレンチを形成するためのエッチングおよび/またはレーザ分離法によって進めることができる。トレンチは、第1の主表面から、半導体積層体を貫通して接続層にまで延びても、接続層を貫通して補助基板にまで延びてもよい。一例として、トレンチまたは複数のトレンチは、補助基板が部分的に露出するように形成される。半導体積層体を構造化した後、補助基板上に配置された半導体本体は、特に、互いに電氣的に絶縁される。半導体積層体を複数の半導体本体へと構造化するステップは、補助基板を半導体積層体に固定する処理の前に行うことも可能である。

【0018】

方法の少なくとも一実施形態によれば、半導体積層体が、パターン形成されていない（例えば、平坦または平面な）基板表面上に設けられることにより、初めは、半導体積層体の第1の主表面がパターンのないものとなり得る。基板の取り外し後、半導体本体の第1の主表面を、例えば、エッチング法によってパターン形成することができる。半導体積層体を複数の半導体本体へと構造化、および半導体本体の第1の主表面のパターン形成は、共通の処理ステップで実現することも、直に続く2つのステップで実現することも可能である。一方、基板にはパターン表面を設けることができ、その基板のパターン表面上に半導体積層体を設けることができる。半導体積層体の第1の主表面は、特に、基板を取り外す前にパターン形成される。例えば、第1の主表面は、基板のパターン表面を再現する。

【0019】

方法の少なくとも一実施形態によれば、固着層が、構造化された半導体積層体の上に設けられる。このとき、固着層は、トレンチまたは複数のトレンチ、および半導体本体の垂直面を覆う。特に、固着層は、補助基板と直接物理的に接触する。固着層は、例えば、酸化ケイ素または窒化ケイ素などのシリコンを含有する誘電層とすることができる。固着層は、例えば、化学的または物理的な蒸着など、スパッタリングまたはコーティングによって半導体本体に設けることができる。固着層は、フォトレジスト層によって形成されてもよい。フォトレジスト材料を使用することにより、固着層は、例えばフォトリソグラフィ

10

20

30

40

50

工程により、単純な仕方で構造化することができる。

【0020】

方法の少なくとも一実施形態によれば、複数のテザーが、トレンチを覆う領域において固着層を構造化することによって形成される。特に、テザーが、トレンチまたは複数のトレンチ内に形成される。この場合、テザーは、平面視において、半導体本体の活性領域から横方向に配置される。テザーまたは複数のテザーは、固着層をエッチングすることによって形成され得る。フォトリソグラフィ材料を含有する複数のテザーを形成するために、フォトリソグラフィ工程を利用することができる。

【0021】

方法の少なくとも一実施形態によれば、固着層が構造化されることにより、異なる半導体本体に付随するテザーが切り離される。トレンチまたは複数のトレンチを覆う領域における固着層を構造化することにより、半導体本体の間に、少なくとも固着バーを形成することも可能である。このとき、半導体本体は、テザーによって固着バーに接続されている。固着バーは、例えば、半導体本体を隔てる少なくとも1つのトレンチに沿って延在する。また、固着バーは、半導体本体から補助基板を取り外すステップの間、半導体本体を定位置に固定する助けとなる。

10

【0022】

方法の少なくとも一実施形態によれば、補助基板が、半導体本体から局部的に取り外される。補助基板を半導体本体から局部的に取り外すということは、特に、活性領域または半導体本体によって覆われる補助基板の少なくとも当該領域において、補助基板が半導体本体から切り離されるという意味である。ただし、半導体本体は、例えば、少なくとも部分的に半導体本体から側方に配置されるテザーにより、補助基板に間接的に接続されたままにすることが可能である。補助基板の局部的な取り外しは、補助基板と半導体本体の間の機械的接続を、接続層において溶解させることによって達成することができる。この作業は、例えば、接続層を取り外すか、接続層の接着効果を時間的に変化させることによって行われる。

20

【0023】

補助基板の局部的取り外しは、テザーの形成後に進められ得る。半導体本体から補助基板を局部的に取り外すステップの間、および同ステップの後、テザーは、特に、補助基板に直接的または間接的に取り付けられたままとなる。この場合、少なくとも補助基板を局部的に取り外すステップの間、半導体本体を定位置に固定することができる。半導体本体から補助基板を局部的に取り外すステップの後、活性領域または半導体本体によって覆われる補助基板の少なくとも当該領域において、補助基板は半導体本体から切り離されている。ただし、補助基板は、テザーにより、特にテザーによって覆われる補助基板の当該領域において、半導体本体に機械的かつ間接的に接続されることが好ましい。

30

【0024】

方法の少なくとも一実施形態によれば、1つの第1の半導体層と、1つの第2の半導体層と、1つの活性領域とを、付随する接触構造と併せ持つ、少なくとも1つの半導体本体が、補助基板からテザーを切り離すことにより、選択的に拾い上げられる。補助基板からのテザーの切り離しは、テザーを機械的に破壊するか、補助基板からテザーを解放または溶解することによって行うことができる。その後、少なくとも1つの半導体本体は、補助基板から完全に切り離され、インターポーザまたは最終ボードなどの支持体に移送される。特にテザーだけで補助基板に機械的に接続されている、半導体本体は、半導体本体の第1の主表面側に取り付けられたスタンプによって選択的に取り外すことができる。補助基板から半導体本体を持ち上げることにより、半導体本体を補助基板に取り付けているテザーを機械的に破壊または解放することができる。それにより、半導体本体は、補助基板から完全に切り離される。補助基板から複数の半導体本体を取り外す作業は、一斉にまたは逐次的に行うこともできる。

40

【0025】

各々が半導体本体を有する複数の半導体部品を製造する方法の少なくとも一実施形態に

50

よれば、半導体積層体が基板上に設けられ、このとき、半導体積層体は、第1の半導体層と、第2の半導体層と、第1および第2の半導体層の間に配置される活性領域とを備える。第1の半導体層と第2の半導体層を電氣的に接触させるための、接触構造が形成される。第1の半導体層を電氣的に接触させるために、一例として、接触構造は、第2の半導体層および活性領域を貫通して延びる、少なくとも1つのパイアまたは複数のパイアを備える。半導体積層体は、半導体本体を隔てる少なくとも1つのトレンチまたは複数のトレンチを形成することにより、複数の半導体本体へと構造化される。半導体積層体に補助基板が設けられることにより、半導体積層体が、補助基板と基板の間に配置される。後続のステップでは、基板が、半導体積層体から取り外される。トレンチまたは複数のトレンチおよび半導体本体の垂直面を覆うように、固着層が補助基板の上に設けられる。次のステップでは、トレンチまたは複数のトレンチを覆う領域の固着層を構造化することにより、複数のテザーが形成される。テザーの形成後、補助基板が半導体本体から局部的に取り外されるが、テザーは補助基板に取り付けられたままとなる。次いで、各半導体本体または複数の半導体本体を、補助基板からテザーを切り離すことによって補助基板から選択的に拾い上げることができる。このとき、半導体本体は、1つの第1の半導体層と、1つの第2の半導体層と、1つの活性領域とを、1つの付随する接触構造と併せ持つ。

10

20

30

40

50

【0026】

テザーによる補助基板への結合を利用することにより（このとき、半導体本体に接続されたテザーは、半導体本体同士を隔てるか絶縁する複数のトレンチの形成後に形成される）、各半導体本体を、半導体本体から補助基板を局部的に取り外すステップの間、テザーによって定位置に固定することができる。後続のステップでは、半導体本体を、例えばスタンプにより、補助基板からテザーを破壊するか解放することで選択的に拾い上げることができる。半導体本体は、逐次的に、または多数を一斉に、インターポーザまたは最終ボードなどの支持体に移送することが可能である。

【0027】

方法の少なくとも一実施形態によれば、半導体部品が、直接接合方法によって形成される。このとき、半導体部品の半導体本体および接触構造を備える本体が、半導体部品の支持体に直接接合される。直接接合とは、本体を支持体に接続する処理が、特に、接着材を一切使用しないことを意味する。

【0028】

本体は、例えば、第1の接触域と第2の接触域に面する半導体本体側に形成される、絶縁層を備える。本体は、本体を垂直方向に区切る、平らな接続面を持ち得る。この平らな接続面は、表面、特に、第1の接触域と、第2の接触域と、絶縁層とから成る、露出した横面によって形成され得る。

【0029】

支持体は、第1の接触パッドと、絶縁パッドと、絶縁パッドによって第1の接触パッドから横方向に離間した、第2の接触パッドとを備え得る。支持体は、例えば、表面、特に、第1の接触パッドと、第2の接触パッドと、絶縁パッドとから成る、露出した横面によって形成される、平らな接合面を有することが好ましい。平らな接合面と平らな接続面を直接重ねて、本体と支持体の間に共通の境界面を形成することができる。共通の境界面は、少なくとも局部的に平面である。共通の境界面は、所々において、平らな接合面と平らな接続面が直接接触することのない、穴を備え得る。共通の境界面は、全体的に平面であることが好ましい。特に、共通の境界面には、ステップやエッジが存在しない。

【0030】

一例として、共通の境界面は、金属と金属の境界面と、絶縁体と絶縁体の境界面と、金属と絶縁体の境界面とによって部分的に形成される。そうすると、半導体部品は、支持体と本体の間の共通の境界面に接着材がなくても済む。このとき、支持体と本体は、特に、共通の境界面において相互に固定される。この場合、第1の接触域および第2の接触域は、それぞれ、第1の接触パッドおよび第2の接触パッドに直接、電氣的に接触し得る。直接接合方法を利用することにより、本体と支持体の電氣的相互接続は、本体に対する電氣

的トラックのワイヤボンディングまたはプレーティングなどの追加のステップなしに実現することができる。

【0031】

直接接合方法において、各々が平らな表面を有する2つの物体は、好適な圧力と好適な温度で重ね合わされ、平らな表面上の原子同士のファンデルワールス相互作用または水素結合によって相互に機械的に接続される。平らな表面とは、特に、微視的平坦に形成された表面を意味するものと理解される。例えば、そのような平らな表面が持つ凹凸は、例えば50nmよりも小さく、例えば10nmよりも小さく、とりわけ1nmよりも小さいものである。そのような平らな表面には、エッジがないことが好ましい。特に、この接合技法は、接着材またははんだ材などの接合材を全く使用する必要がない。このようにするのはなく、支持体および本体を、接合材を用いる代替的な方法によって相互接続することも可能である。

10

【0032】

方法の少なくとも一実施形態によれば、平らな接合面を平らな表面に直接接合するステップの前に、接合面および接続面は、例えばプラズマ洗浄方法により、表面仕上げされ、平面化される。

【0033】

半導体部品の少なくとも一実施形態によれば、部品が、本体および支持体を有する。本体は、支持体から離れた第1の主表面と、支持体に面する第2の主表面とを有する半導体本体を備える。半導体本体は、第1の半導体層、第2の半導体層、および第1の半導体層と第2の半導体層の間に配置される、活性領域を備える。本体は、第1の半導体層と電気的に接触するために、第2の主表面から、第2の半導体層および活性領域を貫通して延びるパイアを有する接触構造を備える。接触構造は、パイアに電気的に接続された第1の接触域と、第2の接触域とを、第2の主表面側にさらに備え、このとき、第1の接触域および第2の接触域は、絶縁層によって横方向に離間される。本体は、第1の接触域と、第2の接触域と、絶縁層との表面によって形成される、平らな接続面を備える。支持体は、平らな接合面を備え、この接合面が本体の平らな接続面と直接接触することにより、本体と支持体の間に共通の境界面が形成される。このとき、共通の境界面には、接着材が存在しない。共通の境界面は、特に、平らな接続面と平らな接合面とが重なる領域となる。

20

【0034】

本体は、共通の境界面において、支持体に機械的に固定されることが好ましい。特に、共通の境界面には、肉眼で見える凹凸またはステップやエッジが存在しない。複数の本体を、単一で共通な支持体上に配置することが可能である。本体は、縦列と横列のある行列の形態で配置されてよい。

30

【0035】

そのような半導体部品は、本明細書に記述される、半導体部品の製造方法によって製造することが可能である。したがって、1つまたは複数の半導体部品の製造方法に関連して記述される特徴は、半導体部品に対しても利用することが可能であり、その逆も同様である。

【0036】

半導体部品の少なくとも一実施形態によれば、第2の主表面は、パターンを形成され、複数のマイクロプリズムを備える。半導体部品は、例えば、第2の主表面と支持体の間に配置され、好ましくは、少なくとも所々において、パターン形成された第2の主表面を再現する、ミラー層を備える。活性領域は、例えば、半導体部品の動作中に電磁放射を発生させるように構成される。電磁放射は、第1の主表面において、半導体部品から結合が解かれてよい。光出力結合の効率は、パターン形成されたミラー層によって改善され得る。なぜなら、パターン形成されたミラー層が電磁放射を様々な方向で第1の主表面に目がけて反射させる結果、第1の主表面における全内部反射による悪影響が抑えられるためである。

40

【0037】

50

部品の少なくとも一実施形態によれば、支持体は、接合面から離れた背面を有する。このとき、垂直方向において、第1の接触パッドおよび第2の接触パッドが、接合面から、特に、支持体を貫通して背面にまで延びる。部品は、背面の上の第1および第2の接触パッドを通じて、外部電源へと電氣的に接触させることが可能である。

【0038】

部品の少なくとも一実施形態によれば、蛍光体粒子および/または散乱粒子が、第1の主表面を覆う層に埋め込まれる。蛍光体粒子は、活性領域によって放出された電磁放射を吸収し、蛍光体粒子が吸収した電磁放射よりもピーク波長が長い電磁放射を再放出することができる。その結果、部品は、合計した白色光を放出することが可能となる。

【0039】

本明細書に記述される方法、および本明細書に記述される半導体部品について、例示的な実施形態と関連図面を参照しながら、以下でより詳細に説明する。

【図面の簡単な説明】

【0040】

【図1】複数の半導体部品を製造する方法の、異なる段階における概略断面図である。

【図2】複数の半導体部品を製造する方法の、異なる段階における概略断面図である。

【図3】複数の半導体部品を製造する方法の、異なる段階における概略断面図である。

【図4】複数の半導体部品を製造する方法の、異なる段階における概略断面図である。

【図5】複数の半導体部品を製造する方法の、異なる段階における概略断面図である。

【図6】複数の半導体部品を製造する方法の、異なる段階における概略断面図である。

【図7】複数の半導体部品を製造する方法の、異なる段階における概略断面図である。

【図8】複数の半導体部品を製造する方法の、異なる段階における概略断面図である。

【図9A】複数の半導体部品を製造する方法の、異なる段階における概略断面図である。

【図9B】複数の半導体部品を製造する方法の、異なる段階における概略断面図である。

【図10】複数の半導体部品を製造する方法の、異なる段階における概略断面図である。

【図11】複数の半導体部品を製造する方法の、異なる段階における概略断面図である。

【図11A】複数の半導体部品を製造する方法の、異なる段階における概略断面図である。

。

【図11B】複数の半導体部品を製造する方法の、異なる段階における概略断面図である。

。

【図12】複数の半導体部品を製造する方法の、異なる段階における概略断面図である。

【図13】複数の半導体部品を製造する方法の、異なる段階における概略断面図である。

【図14】複数の半導体部品を製造する方法の、異なる段階における概略断面図である。

【図15】半導体部品の例示的な実施形態を示す図である。

【図16】半導体部品の例示的な実施形態を示す図である。

【図17A】複数の半導体部品を製造する方法のさらなる実施形態の様々な方法段階の概略断面図である。

【図17B】複数の半導体部品を製造する方法のさらなる実施形態の様々な方法段階の概略断面図である。

【図17C】複数の半導体部品を製造する方法のさらなる実施形態の様々な方法段階の概略断面図である。

【図17D】複数の半導体部品を製造する方法のさらなる実施形態の様々な方法段階の概略断面図である。

【図17E】複数の半導体部品を製造する方法のさらなる実施形態の様々な方法段階の概略断面図である。

【図17F】複数の半導体部品を製造する方法のさらなる実施形態の様々な方法段階の概略断面図である。

【図17G】複数の半導体部品を製造する方法のさらなる実施形態の様々な方法段階の概略断面図である。

【図17H】複数の半導体部品を製造する方法のさらなる実施形態の様々な方法段階の概

10

20

30

40

50

略断面図である。

【図 1 7 I】半導体部品の別の例示的な実施形態を示す図である。

【発明を実施するための形態】

【0041】

同一または類似の要素、あるいは同様に作用する要素は、各図面において同一の参照番号を付して示す。いずれの場合も図面は概略図であるため、必ずしも縮尺が正しいとは限らない。むしろ、比較的小型な要素、とりわけ層厚については、説明のために過度に拡大して描写している場合がある。

【0042】

図 1 では、基板 9 が用意される。基板 9 は、平坦な表面 9 1 を有する。基板 9 は、パターン表面 9 1 を備えることもある。基板 9 は、例えば、可視、赤外線、および / または紫外線のスペクトル範囲にある電磁放射に関して、放射透過性、特に、透明なものである。あるいは、基板 9 は、放射不透過性のものとすることができる。基板 9 は、窒化ガリウム、または炭化ケイ素、またはサファイアを含み得る。基板 9 は、特に、シリコン基板となる。

10

【0043】

半導体積層体 200 が、基板 9 の表面 9 1 の上に設けられる。半導体積層体 200 は、第 1 の半導体層 2 1、第 2 の半導体層 2 2、および第 1 の半導体層 2 1 と第 2 の半導体層 2 2 の間に配置される活性領域 2 3 を備える。第 1 の半導体層 2 1 は n 伝導層とすることができ、第 2 の半導体層 2 2 は p 伝導層とすることができる。この逆とすることも可能である。活性領域 2 3 は、例えば、電磁放射を発生させるように、または電磁放射を電気信号もしくはエネルギーに吸収させ変換するように構成される。

20

【0044】

半導体積層体 200 は、基板 9 の上にエピタキシャル成長させてよい。半導体積層体 200 は、基板 9 に面する第 1 の主表面 2 0 1 と、基板 9 から離れた第 2 の主表面 2 0 2 とを有する。半導体積層体 200 というエピタキシャル半導体層の品質を向上させるために、基板 9 は、パターン表面 9 1 を有してもよい。さらに、半導体積層体 200 は、第 1 の主表面 2 0 1 が基板 9 のパターン表面 9 1 を再現できるように、パターン表面 9 1 の上に成長させてもよい。

【0045】

ミラー層 3 が、基板 9 から離れた第 2 の主表面 2 0 2 の上に堆積される。ミラー層 3 は、互いが横方向に離間した、複数の小領域を備える。特に、ミラー層 3 は、複数の開口部 3 0 を備える。ミラー層 3 の各小領域は、例えば、ミラー層 3 の開口部 3 0 を少なくとも 1 つは備える、連続したものであってよい。

30

【0046】

ミラー層 3 は、特に、導電性のものとなる。平面視において、ミラー層 3 は、例えば、同じく導電性である、連絡層 4 によって覆われる。ミラー層 3 および / または連絡層 4 には、アルミニウム、ロジウム、パラジウム、銀、金、またはプラチナなどの金属、またはこれらの元素の合金が含有されてよい。

【0047】

図 2 では、例えば、窒化ケイ素層または酸化ケイ素層である誘電層 5 が、半導体積層体 200 の上に設けられる。このとき、誘電層 5 が、連絡層 4 と、特に半導体積層体 200 とを、完全に覆う。

40

【0048】

図 3 では、複数の凹部 2 4 が、ミラー層 3 の開口部 3 0 の領域に形成される。垂直方向において、各凹部 2 4 は、誘電層 5、第 2 の半導体層 2 2、活性領域 2 3 を貫通するように延び、第 1 の半導体層 2 1 にまで達する。凹部 2 4 は、半導体積層体 200 に有底穴を形成する。このとき、横方向において、凹部 2 4 は、半導体積層体 200 により、例えば完全に囲繞される。凹部 2 4 は、エッチング法（例えば、ドライエッチング法）によって形成され得る。

50

【 0 0 4 9 】

凹部 2 4 の形成後、例えば、 SiO_2 などの酸化ケイ素層または窒化ケイ素層である不活性化層 6 1 が、凹部 2 4 の垂直面を覆うように形成される。不活性化層 6 1 は、凹部 2 4 および誘電層 5 を完全に覆うことが可能である。後続のステップにおいて、不活性化層 6 1 は、部分的に除去され得る。不活性化層 6 1 および誘電層 5 は、異なる誘電材料で構成されることが好ましい。一例として、誘電層 5 は窒化ケイ素を含有するか主成分とし、不活性化層 6 1 は酸化ケイ素を含有するか主成分とする。

【 0 0 5 0 】

図 4 では、第 1 の半導体層 2 1 が凹部 2 4 の領域において露出するように、不活性化層 6 1 が、例えばエッチングによって部分的に除去される。不活性化層 6 1 を部分的に除去することにより、誘電層 5 も、少なくとも部分的に露出する。次のステップにおいて、誘電層 5 は、例えばエッチングにより、所々で除去される。その結果、誘電層 5 は、凹部 2 4 の領域における第 1 の開口部 5 1 に加え、凹部 2 4 の横方向に配置される複数の第 2 の開口部 5 2 を備える。第 2 の開口部 5 2 では、連絡層 4 などの導電層が、部分的に露出する。

10

【 0 0 5 1 】

図 5 では、第 1 の接触域 7 1 と、第 2 の接触域 7 2 と、ビア 7 0 とを備える接触構造 7 が、半導体積層体 2 0 0 の第 2 の主表面 2 0 2 の側に形成される。第 1 の接触域 7 1 および第 2 の接触域 7 2 は横方向に離間しており、このようにすることで、互いが電氣的に絶縁する。垂直方向において、第 2 の接触域 7 2 は、誘電層 5 の第 2 の開口部 5 2 を貫通して延びており、ミラー層 3 および連絡層 4 により、第 2 の半導体層 2 2 に電氣的に接続される。第 1 の接触域 7 1 は、凹部 2 4 の外側に堆積され、凹部 2 4 の内部に配置されたビア 7 0 に電氣的に接続される。垂直方向において、ビア 7 0 は、少なくとも第 2 の主表面 2 0 2 から、第 2 の半導体層 2 2 および活性領域 2 3 を貫通するように延び、第 1 の半導体層 2 1 にまで達する。凹部 2 4 の中では、横方向において、ビア 7 0 は、凹部 2 4 の垂直面を覆う不活性化層 6 1 により、第 2 の半導体層 2 2 および活性領域 2 3 から電氣的に絶縁される。

20

【 0 0 5 2 】

図 6 では、絶縁層 6 が、半導体積層体 2 0 0 の第 2 の主表面 2 0 2 の側に形成される。一例として、絶縁層 6 は、まず接触構造 7 を完全に覆う。後続のステップにおいて、絶縁層 6 は、略平坦な、特に、略平面な接続面 6 7 が形成されるように平面化することができる。図 6 での接続面 6 7 は、例えば、第 1 の接触域 7 1 および第 2 の接触域 7 2 の表面と、半導体積層体 2 0 0 から離れた絶縁層 6 の表面とによって形成される。換言すれば、平面化が施された後、垂直方向において、絶縁層 6 の表面は、特に、第 1 の接触域 7 1 および第 2 の接触域 7 2 の表面と同一の高さになる。接続面 6 7 において、第 1 の接触域 7 1 および第 2 の接触域 7 2 は部分的に露出する。凹部 2 4 と、ミラー層 3 の小領域間の領域との外側では、接続面 6 7 が平らな接続面として形成されることが好ましい。絶縁層 6 が凹部 2 4 を完全に埋めてもよい。

30

【 0 0 5 3 】

図 7 では、補助基板 1 4 が、接続層 1 3 によって半導体積層体 2 0 0 に一時的に固定される。その結果、半導体積層体 2 0 0 は、補助基板 1 4 と基板 9 の間に配置される。補助基板 1 4 は、ポリマを含み得るか、ポリマ製のものとなる。接続層 1 3 は、スピンコーティング法によって接続面 6 7 に塗布することのできる接合材を含み得る。例えば、接続層 1 3 は、補助基板 1 4 を半導体積層体 2 0 0 に一時的に接合し、適時に半導体積層体 2 0 0 から補助基板 1 4 を解放するスピンオン接合材を含有する。接続層 1 3 は、例えば、温度依存性の粘着力を有する熱分解性のスピンオン接合材を含む。一例として、w a f e r B O N D (登録商標) 処理 (B r e w e r S c i e n c e (登録商標)) を利用すれば、補助基板 1 4 を半導体積層体 2 0 0 に一時的に接合し、その後、管理可能な時間を経た後で、補助基板 1 4 が勝手に剥離するようにすることが可能である。

40

【 0 0 5 4 】

50

接続層 13 には、他の好適な材料を使用することも可能である。例えば、接続層 13 は、フォトレジスト材料から形成されてよい。フォトレジスト材料（特に、ポジ型フォトレジスト材料）を使用することにより、接続層 13 は、例えばフォトリソグラフィ工程により、単純な方法で溶解させることができる。この場合、補助基板 14 は、放射透過性の材料から形成され得る。それにより、フォトレジスト材料を含む接続層 13 を、補助基板 14 を通過する放射に曝すことが可能となる。補助基板 14 の接続層 13 から離れた側に、保護層 15 が形成されることが好ましい。保護層 15 は、例えば放射不透過性であり、接続層 13 内のフォトレジスト材料の露出前に除去されてよい。例えば、保護層 15 は、Kapton（登録商標）層となる。

【0055】

図 8 では、基板 9 が、半導体積層体 200 から切り離される。この切り離しは、例えば、機械的、化学的、または物理的な処理によってなされてよい。例えば、エッチング（特に、ドライエッチング）、研削、またはレーザ分離処理（レーザリフトオフ処理など）を利用することが可能である。基板除去のために、研削とエッチングを組み合わせる利用してもよい。

【0056】

図 9 A では、半導体積層体 200 が横方向に構造化されて、複数の半導体本体 2 となる。横方向に構造化するということは、半導体積層体 200 が、互いが横方向に間隔を有する複数の半導体本体 2 へと分割されることを意味する。メサトレンチ 20、または複数のトレンチ 20 が、半導体本体 2 の間に形成される。垂直方向において、トレンチ 20 は、半導体積層体 200 を貫通し、接続層 13 にまで延びる。トレンチ 20 は、エッチング法により（例えば、ドライエッチング法、ウェットエッチング法、またはレーザエッチング法により）、特に、ミラー層 3 の小領域間の領域において形成され得る。トレンチ 20 は、半導体積層体 200 から側方に形成されてもよい。半導体積層体 200 を複数の半導体本体 2 へと構造化するステップは、補助基板 14 を固定し、基板 9 を除去する処理の前に行うことも可能である。

【0057】

図 9 A では、半導体本体 2 の第 1 の主表面 201 にパターンが形成され、その結果、最適な光抽出面 201 となる。トレンチ 20 の形成および第 1 の主表面 201 のパターン形成は、共通の処理ステップで実現することも、直に続く 2 つのステップで実現することも可能である。とりわけ、トレンチ 20 を形成するステップは、半導体積層体 200 の第 1 の主表面 201 にパターンを形成するステップに続くものとなる。

【0058】

図 9 B に描かれた製造ステップは、実質的に、図 9 A に描かれた製造ステップに相当するものである。図 9 A と対照的なのは、基板 9 がパターン表面 91 を有しており、その上に半導体積層体 200 が設けられるということである。この場合、半導体積層体 200 は、パターンが形成された、特に、基板 9 のパターン表面 91 を再現した第 1 の主表面 201 を備える。基板 9 を除去し、半導体積層体 200 を構造化した後、各半導体本体 2 は、パターン形成された第 1 の主表面 201 を備えたものとなる。

【0059】

図 10 では、補助基板 14 がトレンチ 20 の領域において露出するように、接続層 13 が部分的に除去される。トレンチ 20 の領域の接続層 13 は、例えば、エッチング法やフォトリソグラフィ工程により、溶媒を用いて除去することができる。その結果、保護層 15 が部分的または完全に除去され得る。

【0060】

図 11 では、固着層 8 が、例えばコーティング法により、半導体本体 2 および補助基板 14 の上に設けられる。このとき、固着層 8 は、半導体本体 2 の垂直面と、半導体本体 2 の側方に配置された 1 つまたは複数のトレンチ 20 とを覆う。固着層 8 は、半導体本体 2 を補助基板に固定する。固着層 8 は、補助基板 14 と直接物理的に接触することが好ましい。図 11 に示すように、固着層 8 は、半導体本体 2 の垂直面および / または第 1 の主表

10

20

30

40

50

面 2 0 1 を完全に覆うことができる。補助基板 1 4 を、半導体本体 2 に面するパターン表面（図示なし）を持たせて形成することが可能である。この場合、固着層 8 は、パターンが形成された補助基板 1 4 に侵入することができるため、固着層 8 が最適な形で補助基板 1 4 に固着される。なぜなら、表面がパターン形成されることによって補助基板 1 4 と固着層 8 の境界面が拡大されており、かかるパターン表面の接着面積も増大しているからである。

【 0 0 6 1 】

固着層 8 は、酸化ケイ素もしくは窒化ケイ素などの誘電材料から、またはフォトリジスト材料から形成され得る。例えば、固着層 8 は、フォトリジスト材料を相当に含むか、フォトリジスト材料から成るものとなる。固着層 8 は、実質的に、低温（ < 220 ）の誘電体から形成することや、低温の誘電体およびフォトリジスト材料によって形成することも可能である。

10

【 0 0 6 2 】

固着層 8 を設けた後、少なくとも、1 つまたは複数のトレンチ 2 0 を覆う領域の固着層 8 を構造化することにより、複数のテザー 8 3 が形成される。テザー 8 3 は、特に、固着層 8 の一部を成すものであり、付随する半導体本体 2 の横方向に配置される。補助基板 1 4 を上面視した際、半導体本体 2 がテザー 8 3 と一切重なりを持たない場合もある。テザー 8 3 は、半導体本体 2 を補助基板 1 4 に機械的に固定するように形成される。固着層 8 を構造化するために、フォトリソグラフィ工程および / またはエッチング処理が利用され得る。

20

【 0 0 6 3 】

図 1 1 A では、テザー 8 3 を備える固着層 8 が、補助基板 1 4 を平面視した状態で示されている。各半導体本体 2 の垂直面は、固着層 8 によって覆われている。固着層 8 は、異なる半導体本体 2 に付随する、横方向に離間した複数の固着層 8 へと構造化される。各半導体本体 2 は、その側面に、少なくとも 1 つまたは複数のテザー 8 3 を備える。固着層 8 は、異なる半導体本体 2 に付随するテザー 8 3 が切り離されるような形で、トレンチ 2 0 を覆う領域において構造化される。これにより、個々の半導体本体 2 を持ち上げる処理が単純化され、隣接する半導体本体 2 に影響を与えることはなくなる。

【 0 0 6 4 】

図 1 1 B では、固着層 8 の別部分として、固着バー 8 4 が、半導体本体 2 の間に形成される。一例として、固着バー 8 4 は、横方向に沿って半導体本体 2 の列に沿って延在する。テザー 8 3 は、固着バー 8 4 に接続する。この場合、隣接する半導体本体 2 は、テザー 8 3 および固着バー 8 4 によって互いが機械的に接続されたものとなり得るため、複数の半導体本体 2 を、単純かつ安全な方法で同時に持ち上げることが可能となる。

30

【 0 0 6 5 】

図 1 2 では、補助基板 1 4 が、半導体本体 2 から局部的に取り外される。しかし、半導体本体 2 は、テザー 8 3 により、間接的に補助基板 1 4 に接続されたままとなる。補助基板 1 4 の局部的な取り外しは、補助基板 1 4 と半導体本体 2 との間の機械的接続を、接続層 1 3 において溶解させることによって達成することができる。この作業は、例えば、時間経過による接続層 1 3 の溶媒剥離を利用するか、接続層 1 3 の接着効果を時間的に変化させることによって行われる。接続層 1 3 がフォトリジスト材料から形成される場合、接続層 1 3 は、補助基板 1 4 を透過可能な放射に曝すことによって溶解させることができる。テザー 8 3 を形成するステップおよび補助基板 1 4 を局部的に取り外すステップは、例えばフォトリソグラフィ工程により、共通の処理ステップで実現することが可能である。

40

【 0 0 6 6 】

図 1 3 では、半導体本体 2 の第 1 の主表面 2 0 1 側に、スタンプ 8 2 が取り付けられる。1 つの第 1 の半導体層 2 1 と、1 つの第 2 の半導体層 2 2 と、1 つの活性領域 2 3 とを、パイア 7 0 を有する付随の接触構造 7 と併せ持つ半導体本体 2 は、テザー 8 3 が補助基板 1 4 から切り離されるような形で、スタンプ 8 2 によって選択的に拾い上げられ、補助基板 1 4 から持ち上げられてよい。例えば、テザー 8 3 は、機械的に破壊されるか、補助

50

基板 14 から解放される。テザー 83、または少なくともテザー 83 の何らかの残余物は、半導体本体 2 が完全に補助基板 14 から取り去られた後も、固着層 8 がテザー 83、または少なくともテザー 83 の何らかの残余物を備えたままとなるような形で、補助基板 14 から取り外すことが可能である。複数の半導体本体 2 を、同時かつ選択的に拾い上げることも可能である。

【0067】

図 14 では、半導体本体 2、ミラー層 3、連絡層 4、誘電層 5、絶縁層 6、不活性化層 61、および接触構造 7 を有する本体 210 が、スタンプ 82 によって移送され、第 1 の接触パッド 171 と、絶縁パッド 16 によって第 1 の接触パッド 171 から横方向に離間された第 2 の接触パッド 172 とを有する支持体 1 に、機械的に接続される。支持体 1 は、例えば、第 1 の接触パッド 171 と、第 2 の接触パッド 172 と、絶縁パッド 16 との表面によって形成される、平らな接合面 10 を備える。本体 210 は、少なくとも凹部 24 の外側において、第 1 の接触域 71 と、第 2 の接触域 72 と、絶縁層 6 との表面によって形成される、平らな接続面 67 を備える。凹部 24 は、絶縁層 6 で完全に埋められてもよい。接合面 10 および接続面 67 は、例えばプラズマ洗浄方法により、表面仕上げされ、平面化されてよい。

10

【0068】

特に、本体 210 および支持体 1 は、直接接合方法によって相互に接続される。この場合、接合面 10 が接続面 67 と直接接触することにより、本体 210 と支持体 1 の間に共通の境界面が形成される。このとき、共通の境界面は平らな表面であり、接着材は存在しない。共通の境界面は、特に、接続面 67 と接合面 10 の領域を直接重ねることによって形成される。特に、第 1 の接触域 71 および第 2 の接触域 72 は、それぞれ第 1 の接触パッド 171 および第 2 の接触パッド 172 と直接、電氣的に接触する。例えば、共通の境界面は、金属と金属の境界面と、絶縁体と絶縁体の境界面と、金属と絶縁体の境界面とによって部分的に形成される（図 15）。これとは対照的に、本体 210 を、接着材を用いる方法によって支持体 1 に接続することも可能である。

20

【0069】

図 15 には、本明細書に記述される方法によって製造された、半導体部品 100 が示されている。接続面 67 と接合面 10 が直接重なり合う領域によって形成された共通の境界面において、第 1 の接触パッド 171 と合わさる第 1 の接触域 71、および第 2 の接触パッド 172 と合わさる第 2 の接触域 72 は、いずれの場合も、垂直方向にステップ（すなわち、ジャンプ）を形成する。このことは、各接触域および各接触パッドが単一で共通の製造ステップではなく、異なる製造ステップにおいて形成され、直接接合方法によって相互に接続されることを示唆している。図 15 では、固着層 8 が、半導体部品 100 から完全に取り外される。特に、封止層が半導体本体 2 に設けられてよい。この封止層には、例えば、同封止層のマトリックス材料に埋め込まれた蛍光体粒子および/または散乱粒子が含まれる。固着層 8 は、放射透過性または放射透明な材料によって形成された場合、取り外す必要のないものとなり、半導体層部品 100 の封止層として機能し得る。

30

【0070】

図 16 は、半導体部品 100 の別の例示的な実施形態を示す概略図である。この実施形態は、実質的に、図 15 の半導体部品 100 の実施形態に相当するものである。図 15 の実施形態と対照的なのは、垂直方向において、第 1 の接触パッド 171 および第 2 の接触パッド 172 が、接合面 10 から支持体 1 を貫通して基板の背面 102 にまで延びていることである。部品 100 は、例えば、背面 102 上の第 1 および第 2 の接触パッド 171 および 172 を通じて、外部電源へと電氣的に接触させることが可能である。第 1 の主表面 201 は、放射通過領域 101 として、特に部品の放射出口領域として形成される。放射出口領域は、さらなる層によって保護されてもよい。

40

【0071】

図 17A から図 17H は、複数の半導体部品 100 を製造する方法に関する、いくつかの別のステップを示す図である。

50

【 0 0 7 2 】

図 1 7 A に描かれた製造ステップは、本質的に、図 1 で説明した製造ステップに相当するものである。対照的なのは、半導体積層体 2 0 0 には、基板 9 から離れた側にパターンが形成されており、その結果、半導体積層体 2 0 0 が有するパターン形成された第 2 の主表面 2 0 2 は、複数のマイクロプリズム 2 2 2 を備える形で形成されていることである。また、連絡層 4 が横方向に離間した複数の小領域を有しており、それらはいずれの場合も、誘電層を貫通して延び、第 2 の半導体層 2 2 と電氣的に接触している。さらに、基板 9 と半導体層 2 との間に、中間層 9 2 が形成されている。中間層 9 2 は、エピタキシャル成長させる半導体本体 2 の品質を向上させることができる。特に、中間層 9 2 は、半導体本体 2 の半導体層のバンドギャップよりもバンドギャップが低い導電層となる。

10

【 0 0 7 3 】

図 1 7 B では、ミラー層 3 がパターン形成された第 2 の主表面 2 0 2 の上に設けられることにより、少なくとも所々で複数のマイクロプリズム 2 2 2 を形成している、パターン形成された第 2 の主表面 2 0 2 を、ミラー層 3 が再現する。ミラー層 3 は、連絡層 4 と電氣的に接触する。絶縁層 6 にもパターンが形成される。

【 0 0 7 4 】

図 1 7 C では、接触構造 7 の第 1 の接触域 7 1 および第 2 の接触域 7 2 が、基板 9 から離れた半導体積層体 2 0 0 の側に形成される。このとき、平らな接続面 6 7 が、第 1 の接触域 7 1 と、第 2 の接触域 7 2 と、絶縁層 6 との表面によって形成される。平らな接続面 6 7 には、その全体にわたって凹凸が存在しない。

20

【 0 0 7 5 】

図 1 7 D および図 1 7 E に描かれた製造ステップは、本質的に、図 8 から図 1 0 で説明した製造ステップに相当する。対照的なのは、凹部 2 4 およびパイア 7 0 が、基板 9 の取り外し後に形成されることである。垂直方向において、凹部 2 4 は、第 1 の主表面 2 0 1 から、半導体積層体 2 0 0 の全体を貫通し、第 1 の接触域 7 1 にまで延びる。パイア 7 0 は、第 1 の接触域 7 1 から第 1 の主表面 2 0 1 へと垂直方向に延び、特に、第 1 の主表面 2 0 1 において、第 1 の半導体層 2 1 と直接、電氣的に接触する。

【 0 0 7 6 】

図 1 7 F および図 1 7 G に描かれた別の製造ステップは、本質的に、図 1 2 および図 1 3 で説明した製造ステップに相当する。ここでは、本体 2 1 0 のパイア 7 0 が、半導体本体 2 を貫通して延びている。本体 2 1 0 は、テザー 8 3 が機械的に破壊されるように、補助基板 1 4 から選択的に持ち上げることが可能である。このとき、テザー 8 3、または少なくともテザー 8 3 の何らかの残余物は、補助基板 1 4 から取り外される。選択的に持ち上げられた本体 2 1 0 の固着層 8 は、補助基板 1 4 から完全に取り外された後も、テザー 8 3、または少なくともテザー 8 3 の何らかの残余物を備える。

30

【 0 0 7 7 】

図 1 7 H に描かれた製造ステップは、本質的に、図 1 4 で説明した製造ステップに相当するものである。対照的なのは、平らな接続面 6 7 に凹部 2 4 が存在しないことである。この場合、平らな接続面 6 7 には、特に、その全体にわたって凹凸が存在しない。

【 0 0 7 8 】

図 1 7 I は、図 1 7 G に描かれた本体 2 1 0 と、図 1 6 に描かれた支持体 1 とを備える、半導体部品 1 0 0 の例示的な別の実施形態を示す図である。この半導体部品 1 0 0 は支持体 1 の接合面 1 0 に配置された少なくとも 1 つのテザー 8 3 またはテザー 8 3 の残余物を有する固着層 8 を備える。固着層 8 は、半導体本体 2 の少なくとも 1 つの垂直面を覆う。このとき、テザー 8 3、またはテザー 8 3 の残余物は、半導体本体 2 から側方に配置される。固着層 8 は、部分的または完全に取り外されてよい。特に、固着層 8 は、活性領域 2 3 によって放出された放射に対して放射透過性または放射透明な材料から形成され得る。この場合、支持体 1 から離れた固着層 8 の表面は、部品の放射出口領域 1 0 1 として形成されてよい。図 1 7 I では、凹部 2 4 が、固着層 8 によって完全には埋められない。固着層 8 の材料または別の材料により、凹部 2 4 を完全に埋めることも可能である。

40

50

【 0 0 7 9 】

半導体本体を補助基板に結合するためのテザーを、半導体本体を隔てるメサトレンチ内に形成する形で利用することにより、補助基板を取り外す処理の間、およびそれ以降、半導体本体を定位置に固定することができる。次いで、半導体本体を選択的に拾い上げ、支持体に直接接合することができる。このとき、支持体に対する半導体本体を電気的相互接続するための追加のステップは不要である。テザーを使用することにより、複数の半導体部品を製造する方法が単純化され、結果的に製造コストが抑えられる。

【 0 0 8 0 】

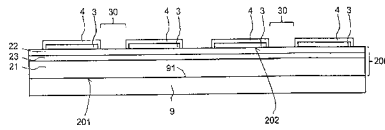
例示的な実施形態を参照しながら行った説明は、本発明をそれらの実施形態に限定するものではない。むしろ、本発明は、あらゆる新規の特徴と、特に請求項内の特徴のあらゆる組み合わせを含む、特徴の組み合わせの一切とを、たとえそれらの特徴またはそれらの組み合わせ自体が請求項または例示的な実施形態において明示されないものであったとしても、包含するものである。

10

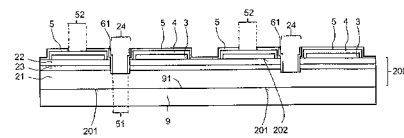
【 0 0 8 1 】

本出願は、米国特許出願第 6 2 / 1 1 0 , 3 6 5 号の優先権を主張するものであり、その開示内容は参照によって本明細書に組み込まれる。

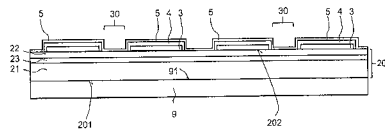
【 図 1 】



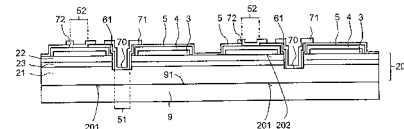
【 図 4 】



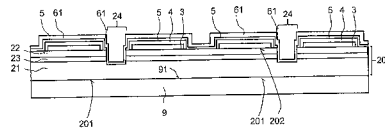
【 図 2 】



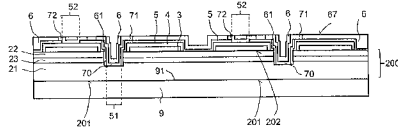
【 図 5 】



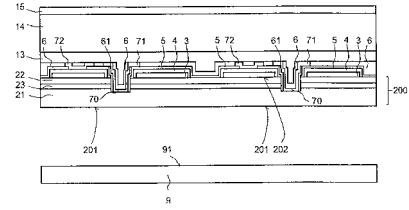
【 図 3 】



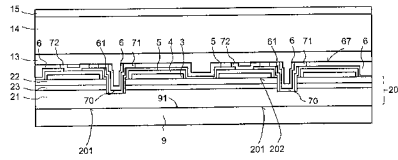
【 図 6 】



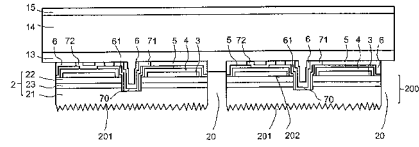
【 図 8 】



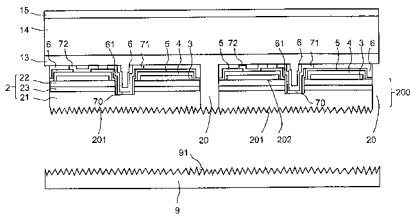
【 図 7 】



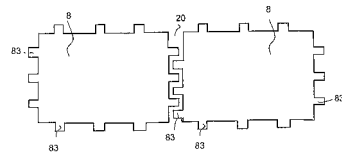
【 図 9 A 】



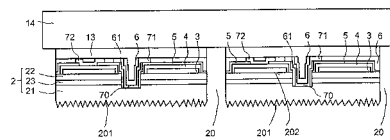
【 図 9 B 】



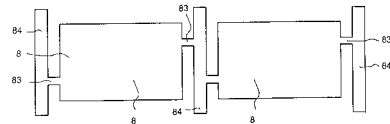
【 図 1 1 A 】



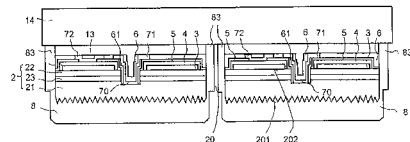
【 図 1 0 】



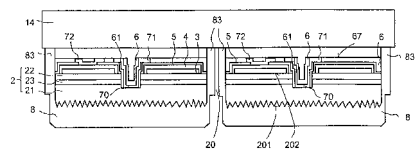
【 図 1 1 B 】



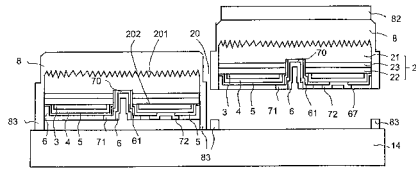
【 図 1 1 】



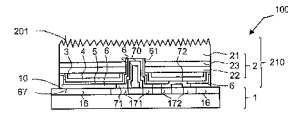
【 図 1 2 】



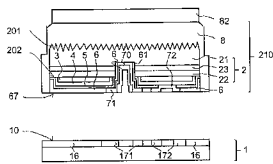
【図 13】



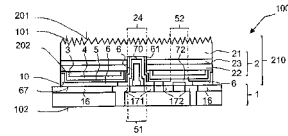
【図 15】



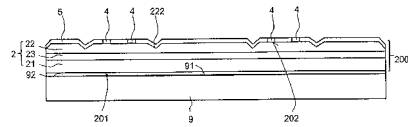
【図 14】



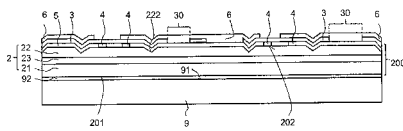
【図 16】



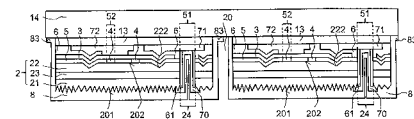
【図 17 A】



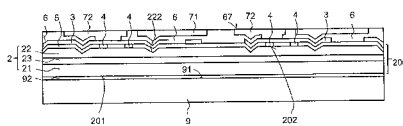
【図 17 B】



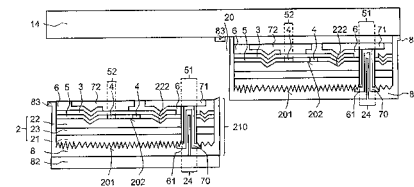
【図 17 F】



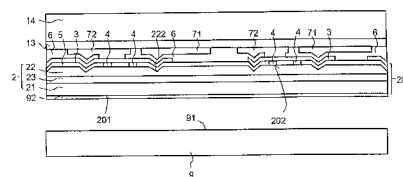
【図 17 C】



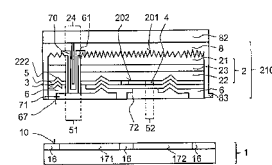
【図 17 G】



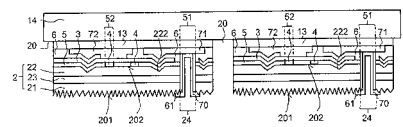
【図 17 D】



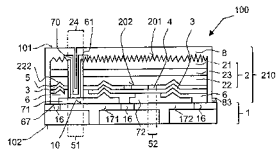
【図 17 H】



【図 17 E】



【図 17 I】



フロントページの続き

(71)出願人 516339287

エックス - セレプリント リミテッド

X - Celeprint Limited

アイルランド国, コーク, ダイク パレード, リー モルティンクス

Lee Maltings, Dyke Parade, Cork, Ireland

(74)代理人 100105050

弁理士 鷲田 公一

(72)発明者 メイトル マシュー

アメリカ合衆国 ノース カロライナ州 ダラム キャロルウッド レーン 5100

(72)発明者 パウワー クリストファー

アメリカ合衆国 ノース カロライナ州 ローリー リッチモンド ストリート 728

(72)発明者 バーギーズ タンセン

ドイツ国 レーゲンスブルク ヤーコブシュトラッセ 6

Fターム(参考) 5F142 AA82 AA84 BA32 CA11 CA16 CB03 CB07 CD02 CD32 CG01

CG43 DA14 EA34 FA03 FA32 FA34 FA46 GA21

5F241 AA42 CA34 CA74 CA77 CB13 CB15 FF11