

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
【部門区分】第 7 部門第 3 区分
【発行日】平成 18 年 3 月 2 日 (2006.3.2)

【公表番号】特表 2001-507555 (P2001-507555A)
【公表日】平成 13 年 6 月 5 日 (2001.6.5)
【出願番号】特願平 11-523585
【国際特許分類】

H 0 3 M 7/42 (2006.01)

【 F I 】

H 0 3 M 7/42

【手続補正書】
【提出日】平成 17 年 10 月 20 日 (2005.10.20)
【手続補正 1】
【補正対象書類名】明細書
【補正対象項目名】補正の内容のとおり
【補正方法】変更
【補正の内容】

手 続 補 正 書

平成17年10月20日

特許庁長官 中嶋 誠 殿

1 事件の表示

平成11年 特許願 第523585号

2 補正をする者

名 称 コーニンクレッカ フィリップス
エレクトロニクス エヌ ヴィ

3 代 理 人

住 所 東京都千代田区霞が関3丁目2番4号

霞山ビルディング7階 電話(3581)2241番(代表)

氏 名 (7205) 弁理士 杉 村 興 作



4 補正対象書類名 請求の範囲

5 補正対象項目名 請求の範囲

6 補正の内容 別紙の通り



1. 請求の範囲を下記の通りに補正する。

「 請 求 の 範 囲

1. 複数の異種符号化標準のいずれかにより符号化した複数の可変長符号語を含む入力デジタル・データ流を復号するために、入力デジタル・データ流を復号するために、入力デジタル・データを受信して、先導語を付したビット流を含む復号窓を形成する入力回路と、入力デジタル・データ流を符号化した符号化標準に応じて複数の異種復号回路構成から選んだとおりに構成可能であって、入力デジタル・データ流における各符号語の長さ及び値を復号するために先導語を付したビット流に係合する復号回路とを含んだ可変長デコーダ。
2. 入力デジタル・データ流を符号化した符号化標準に応じて複数の異種復号方式の何れかにより、可変長デコーダの動作を制御するためのプログラム可能な制御器をさらに含んでいる請求項1記載の可変長デコーダ。
3. 外部論理装置が、入力デジタル・データ流を符号化した符号化標準を判定して、入力デジタル・データ流の復号に通した復号回路構成に復号回路を自動的に構成する請求項2記載の可変長デコーダ。
4. 復号回路がプログラム可能な論理配列を含んでいる請求項3記載の可変長デコーダ。
5. プログラム可能な論理配列が、少なくとも複数のものがそれぞれ選択的に分担可能な複数の第1論理ゲートを含んでいる請求項4記載の可変長デコーダ。
6. 少なくとも複数のものが第1論理ゲートの出力端を出力線に選択的に結び付けるようにプログラム可能な複数の第2論理ゲートをプログラム可能な論理配列がさらに含んでいる請求項5記載の可変長デコーダ。
7. 第1論理ゲートがアンドゲートを備え、第2論理ゲートが前記アンドゲートの出力端に選択的に係合した入力端を有するオアゲートを備えた請求項6記載の可変長デコーダ。
8. プログラム可能な論理配列が、先導語を付したビット流に係合した入力端を有する複数のアンド平面要素を含んだアンド平面、および、アンド平面の出力端に係合した入力端を有するオア平面を含み、少なくとも複数のアンド平面要素のアンドゲートが選択的に可変幅の入力端を有している請求項4記載の可変長デコ

ーダ。

9. 入力デジタル・データ流の少なくとも1種の符号語が符号称号を含み、少なくとも1種の符号語の複数の異種群のそれぞれが、異種符号称号を有してはいるが同一ビット長である請求項8記載の可変長デコーダ。
10. 選択的に可変幅の入力端を備えたアンドゲートを有するアンド平面要素のアンドゲートをそれぞれ異なる種類の符号称号を検出するようにプログラムするプログラム回路をさらに含んでいる請求項9記載の可変長デコーダ。
11. 先導符号語を付したビット流における先導符号語の符号称号を検出するアンドゲートの出力端のみが論値高レベルにある請求項10記載の可変長デコーダ。
12. オア平面が、少なくとも1入力端をそれぞれ有する複数のオアゲート、および、同じビット長を有する符号語群に属する符号称号を検出するようにプログラムしたアンドゲートの出力端を同じオアゲートの入力端に結びつける探索回路(57)を含んでいる請求項11記載の可変長デコーダ。
13. 入力デジタル・データ流を符号化した符号化標準に応じて複数の異種探索回路構成に探索回路をプログラム可能にした請求項12記載の可変長swコード。
14. 入力端の一つで高レベル・アンドゲート出力を受信するオアゲートの出力端のみが論理高レベルにあって、先導語を付したビット流における先導語のビット長の1ホットデータ表現を構成する請求項13記載の可変長デコーダ。
15. 選択的に可変幅の入力端を有する各アンドゲートが、Nをアンドゲートに対する入力端の総数として、 $M > 0$ 、 $U > 0$ および $M + U = N$ のときに、M個のマスク可能入力端とU個のマスク可能入力端とを有する請求項10記載の可変長デコーダ。
16. 入力デジタル・データ流における符号語の値の復号に用いる符号語値メモリをさらに含み、その符号値メモリが、複数の個々にアドレス可能なページ群に論理的に組織され、そのページ群の少なくとも一つが、第1符号称号によりアドレスされて、第1符号称号に少なくとも一つの他の符号称号に組合わせた分枝を加えたものによりアドレスして、メモリの利用度を最大にするとともにメモリの所要量を最小にする個々の符号語値を含んでいる請求項1記載の可変長デコーダ。
17. 制御器が、入力デジタル・データ流を符号化した符号化標準を示す符号型

識別信号を発生させる請求項3記載の可変長デコーダ。

18. 制御器が、複数の所定初期化状態を有する状態機を含み、状態機の現下の状態に応じて、所定初期化状態のうちの選択した一の状態に自動的にリセットするために、複数のハードウェア・リセット信号のそれぞれに応動する請求項3記載の可変長デコーダ。

19. 制御機が、先導語を付したビット流に係合した第1セットの入力端、第2セットの入力端および中間復号結果の1ビット表現を構成するIDR出力端を有する状態機前処理器；状態機前処理器のIDR出力端に係合した第1アドレス入力端、第2アドレス入力端のセットおよび状態機の次の状態を示す多ビット出力端を有する状態機メモリ；状態機メモリの多ビット出力端に係合した第1セットへの入力端および状態機の現下の状態を示す多ビット出力端を有し、多ビット出力端が状態機メモリの第2アドレス入力端および状態機処理器の第2セット入力端に係合している状態レジスタ、並びに、可変長デコーダの動作制御用の一群の制御信号を形成するために、状態機メモリの多ビット出力復号用の状態デコーダを含む状態機を含んでいる請求項3記載の可変長デコーダ。

20. 制御機が、先導語を付したビット流における所定型の符号語の検出に応じて分枝探索信号モードで動作する状態機を含んでいる請求項3記載の可変長デコーダ。

21. 複数の異種符号化標準によって符号化した複数の可変長符号語を含む入力デジタル・データ流を復号するために、入力デジタル・データ流を受信して先導語を付したビット流を含む復号窓を形成するための入力手段と、入力デジタル・データ流を符号化した符号化標準に応じて、複数の異種復号回路構成の何れか選択した一つに構成可能であって、入力デジタル・データ流における各符号語の長さおよび値を復号するために先導語を付したビット流に係合した復号回路とを含んだ可変長デコーダ。」