

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4827303号
(P4827303)

(45) 発行日 平成23年11月30日 (2011.11.30)

(24) 登録日 平成23年9月22日 (2011.9.22)

(51) Int. Cl.

F I

H O 1 L 31/04 (2006.01)

H O 1 L 31/04 A

H O 1 L 21/205 (2006.01)

H O 1 L 31/04 X

H O 1 L 29/78 (2006.01)

H O 1 L 21/205

H O 1 L 29/78

請求項の数 9 (全 29 頁)

(21) 出願番号 特願2001-69355 (P2001-69355)
 (22) 出願日 平成13年3月12日 (2001.3.12)
 (65) 公開番号 特開2002-270871 (P2002-270871A)
 (43) 公開日 平成14年9月20日 (2002.9.20)
 審査請求日 平成20年3月11日 (2008.3.11)

前置審査

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100126240
 弁理士 阿部 琢磨
 (74) 代理人 100124442
 弁理士 黒岩 創吾
 (72) 発明者 近藤 隆治
 東京都大田区下丸子3丁目30番2号キヤ
 ノン株式会社内
 (72) 発明者 佐野 政史
 東京都大田区下丸子3丁目30番2号キヤ
 ノン株式会社内

最終頁に続く

(54) 【発明の名称】 光起電力素子、TFT、及び i 型半導体層の形成方法

(57) 【特許請求の範囲】

【請求項 1】

基板上にシリコン原子を主成分とした p 型半導体層と、 i 型半導体層と、 n 型半導体層とを備えた p i n 型の半導体接合を少なくとも 1 組含む光起電力素子であって、前記 i 型半導体層が微結晶と、 $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上 $2.5 \times 10^{20} \text{ atoms/cm}^3$ 以下のフッ素原子と、を含み、

前記 i 型半導体層と前記 i 型半導体層の下地層である前記 p 型半導体層または n 型半導体層との界面領域であって前記 i 型半導体層と前記 p 型半導体層または n 型半導体層との界面から 1.0 nm 以上 20 nm 以下の界面領域の微結晶が (100) 面に優先配向しており、

前記 i 型半導体層の層厚方向における前記微結晶のエックス線または電子線による (220) 面の回折強度の全回折強度に対する割合である (220) 面の配向性が前記 i 型半導体層の下地層である前記 p 型半導体層又は前記 n 型半導体層側では小さく、前記下地層から離れるに伴って大きくなるように変化することを特徴とする光起電力素子。

【請求項 2】

前記微結晶を含む i 型半導体層と、前記 i 型半導体層に対して光入射側に配置されている導電型を示す半導体層との間に、非晶質シリコン層を配置したことを特徴とする請求項 1 に記載の光起電力素子。

【請求項 3】

前記非晶質シリコン層の膜厚が 30 nm 以下であることを特徴とする請求項 2 に記載の

光起電力素子。

【請求項４】

前記微結晶を含む i 型半導体層が、前記微結晶のエックス線または電子線による（２２０）面の回折強度の全回折強度に対する割合が８０％以上である領域を含むことを特徴とする請求項１に記載の光起電力素子。

【請求項５】

前記微結晶を含む i 型半導体層中で、（１１０）面の優先配向をしている微結晶が、前記基板に対して鉛直方向に伸びた柱状の形状をしていることを特徴とする請求項１に記載の光起電力素子。

【請求項６】

前記界面領域の微結晶が概球状の形状をしていることを特徴とする請求項１に記載の光起電力素子。

【請求項７】

前記微結晶を含む i 型半導体層が、酸素原子、炭素原子、窒素原子の少なくともひとつを含み、それらの総量が $1.5 \times 10^{18} \text{ atoms/cm}^3$ 以上 $5.0 \times 10^{19} \text{ atoms/cm}^3$ 以下であることを特徴とする請求項１に記載の光起電力素子。

【請求項８】

基板上にゲート電極、ゲート絶縁膜、活性層、コンタクト層、ソース電極、ドレイン電極とを有する T F T であって、

前記ゲート電極と前記活性層との間に前記ゲート絶縁膜が配され、前記活性層と前記ソース電極又は前記ドレイン電極との間に前記コンタクト層が配されており、

前記活性層は微結晶と、 $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上 $2.5 \times 10^{20} \text{ atoms/cm}^3$ 以下のフッ素原子と、を含み、

前記活性層と前記活性層の下地層である前記ゲート絶縁層との界面領域であって前記活性層と前記ゲート絶縁層との界面から 1.0 nm 以上 20 nm 以下の界面領域の微結晶が（１００）面に優先配向しており、

前記活性層の層厚方向における前記微結晶のエックス線または電子線による（２２０）面の回折強度の全回折強度に対する割合である（２２０）面の配向性が前記ゲート絶縁膜側では小さく、前記ゲート絶縁膜から離れるに伴って大きくなるように変化することを特徴とする T F T。

【請求項９】

p 型半導体層、n 型半導体層又は絶縁層から選択される下地層の上に微結晶を含んだシリコン原子を主成分とする i 型半導体層の形成方法であって、真空容器内に水素化シリコン、フッ素化シリコンガスの少なくとも一方と、水素を含む原料ガスとを導入し、

前記水素化シリコン、フッ素化シリコンガスの少なくとも一方又は前記水素を含む原料ガス流量の比率を変化させて、エッチング効果の低い雰囲気中で、水素を成長面に供給することにより、

前記 i 型半導体層が $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上 $2.5 \times 10^{20} \text{ atoms/cm}^3$ 以下のフッ素原子を含み、

前記 i 型半導体層と前記 i 型半導体層の下地層である前記 p 型半導体層または n 型半導体層との界面領域であって前記 i 型半導体層と前記 p 型半導体層または n 型半導体層との界面から 1.0 nm 以上 20 nm 以下の界面領域の微結晶が（１００）面に優先配向しており、

前記 i 型半導体層の膜厚方向における前記微結晶のエックス線または電子線による（２２０）面の回折強度の全回折強度に対する割合である（２２０）面の配向性が前記シリコン系薄膜の形成初期には小さく、膜の堆積に伴って大きくなるように変化させることを特徴とする i 型半導体層の形成方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

10

20

30

40

50

本発明はシリコン系薄膜からなり半導体接合を有する半導体素子である光起電力素子、TFT及びシリコン系薄膜からなるi型半導体層の形成方法に関するものである。

【0002】

【従来の技術】

p i n接合を有する光起電力素子において実質的に光吸収層として機能するi型半導体層を結晶相を含むi型半導体層とした場合には、アモルファスの場合に問題になるステブラー・ロンスキー（Staebler-Wronski）効果による光劣化現象を抑制することができるメリットがあるために、i型半導体層を結晶相を含む構成とすることは効果的である。また高精細高輝度の液晶パネルのためには高移動度のTFTが求められているが、結晶相のシリコンTFTは、非晶質相のシリコンTFTに比べて2桁以上大きな移動度を持つために、TFT特性が大幅に向上し、TFTのゲート幅を微細化しても、回路動作に必要な電流値を十分に確保することができ、非晶質のシリコンTFTと比べて画素ピッチを細かくとることができるために、装置の小型化、高精細化が比較的容易になる。

10

【0003】

以上のことを背景に、結晶相を含むシリコン系薄膜について、さまざまな取り組みが行なわれている。

【0004】

高周波プラズマCVD法は、大面積化や低温形成が容易であり、プロセススループットが向上する点からも、シリコン系薄膜の量産化に対してすぐれた方法の一つである。シリコン系薄膜を製品へと応用した例として太陽電池やカラー液晶TFTなどがあげられるが、普及を進めるためにはさらなる低コスト化、高性能化が必要である。そのためには、高周波プラズマCVD法に関する技術の確立は重要な技術課題の一つとなっている。

20

【0005】

結晶質シリコン系薄膜層に関しては、(220)面を成長面としたものとして、特開平11-310495号公報に、(220)の回折強度の割合が全回折強度の割合の30%以上であることを特徴としたシリコン系薄膜が開示されている。

【0006】

また、i型半導体層が微結晶シリコンからなるpin接合を有する半導体層を有するものの一例として、前記i型半導体内部の結晶の配向性が層の深さ方向で変化している光起電力素子が特開平11-233803号公報で開示されている。

30

【0007】

【発明が解決しようとする課題】

前述のようにすでに開示されているシリコン系薄膜は優れた特性を示すものであるが、前者のシリコン系薄膜では(220)面が優先配向したシリコン系薄膜ではあるものの、配向性の分布については触れられていない。また後者のシリコン系薄膜では、(220)面に優先配向されたシリコン系薄膜については触れられていない。

【0008】

本発明は、さらなる低コストで、優れた性能をもつシリコン系薄膜を提供するために、タクトタイムが短くて、さらなる高速の成膜速度で特性のすぐれたシリコン系薄膜と、それを含む半導体素子。さらにこのシリコン系薄膜を用いた密着性、耐環境性などに優れた半導体素子を提供することを目的としている。

40

【0009】

【課題を解決するための手段】

本発明は、基板上にシリコン原子を主成分としたp型半導体層と、i型半導体層と、n型半導体層とを備えたp i n型の半導体接合を少なくとも1組含む光起電力素子であって、前記i型半導体層が微結晶と、 $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上 $2.5 \times 10^{20} \text{ atoms/cm}^3$ 以下のフッ素原子と、を含み、前記i型半導体層と前記i型半導体層の下地層である前記p型半導体層またはn型半導体層との界面領域であって前記i型半導体層と前記p型半導体層またはn型半導体層との界面から1.0nm以上20nm以下の界面領域の微結晶が(100)面に優先配向しており、前記i型半導体層の層厚方向

50

における前記微結晶のエックス線または電子線による（２２０）面の回折強度の全回折強度に対する割合である（２２０）面の配向性が前記ｉ型半導体層の下地層である前記ｐ型半導体層又は前記ｎ型半導体層側では小さく、前記下地層から離れるに伴って大きくなるように変化することを特徴とする光起電力素子を提供する。

また本発明は、基板上にゲート電極、ゲート絶縁膜、活性層、コンタクト層、ソース電極、ドレイン電極とを有するＴＦＴであって、前記ゲート電極と前記活性層との間に前記ゲート絶縁膜が配され、前記活性層と前記ソース電極又は前記ドレイン電極との間に前記コンタクト層が配されており、前記活性層は微結晶と、 $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上 $2.5 \times 10^{20} \text{ atoms/cm}^3$ 以下のフッ素原子と、を含み、前記活性層と前記活性層の下地層である前記ゲート絶縁層との界面領域であって前記活性層と前記ゲート絶縁層との界面から 1.0 nm 以上 20 nm 以下の界面領域の微結晶が（１００）面に優先配向しており、前記活性層の層厚方向における前記微結晶のエックス線または電子線による（２２０）面の回折強度の全回折強度に対する割合である（２２０）面の配向性が前記ゲート絶縁膜側では小さく、前記ゲート絶縁膜から離れるに伴って大きくなるように変化することを特徴とするＴＦＴを提供する。

10

【００１０】

本発明は、シリコン系薄膜からなる半導体接合を有する半導体素子において、前記シリコン系薄膜の少なくともひとつが微結晶を含んでおり、前記微結晶を含むシリコン系薄膜が、真空容器内に、水素化シリコン、フッ素化シリコンガスの少なくとも一方と、水素を含む原料ガスを導入し、前記真空容器内の高周波導入部に高周波を導入して、高周波プラズマ法を用いて前記真空容器内に導入した基板上に形成された微結晶を含むシリコン系薄膜であって、前記基板の加熱手段が前記基板に対して前記微結晶を含むシリコン系薄膜の形成面とは反対側に配置され、前記加熱手段の出力を前記微結晶を含むシリコン系薄膜の形成とともに低下させることを特徴とした半導体素子を提供する。

20

【００１１】

本発明は、ｐ型半導体層、ｎ型半導体層又は絶縁層から選択される下地層の上に微結晶を含んだシリコン原子を主成分とするｉ型半導体層の形成方法であって、真空容器内に水素化シリコン、フッ素化シリコンガスの少なくとも一方と、水素を含む原料ガスとを導入し、前記水素化シリコン、フッ素化シリコンガスの少なくとも一方又は前記水素を含む原料ガス流量の比率を変化させて、エッチング効果の低い雰囲気中で、水素を成長面に供給することにより、前記ｉ型半導体層が $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上 $2.5 \times 10^{20} \text{ atoms/cm}^3$ 以下のフッ素原子を含み、前記ｉ型半導体層と前記ｉ型半導体層の下地層である前記ｐ型半導体層またはｎ型半導体層との界面領域であって前記ｉ型半導体層と前記ｐ型半導体層またはｎ型半導体層との界面から 1.0 nm 以上 20 nm 以下の界面領域の微結晶が（１００）面に優先配向しており、前記ｉ型半導体層の膜厚方向における前記微結晶のエックス線または電子線による（２２０）面の回折強度の全回折強度に対する割合である（２２０）面の配向性が前記シリコン系薄膜の形成初期には小さく、膜の堆積に伴って大きくなるように変化させることを特徴とするｉ型半導体層の形成方法を提供する。

30

【００１２】

本発明は、微結晶を含んだシリコン系薄膜の形成方法であって、前記微結晶を含むシリコン系薄膜が、真空容器内に、水素化シリコン、フッ素化シリコンガスの少なくとも一方と、水素を含む原料ガスを導入し、前記真空容器内の高周波導入部に高周波を導入して、高周波プラズマ法を用いて前記真空容器内に導入した基板上に形成された微結晶を含むシリコン系薄膜の形成方法であって、前記基板の加熱手段が前記基板に対して前記微結晶を含むシリコン系薄膜の形成面とは反対側に配置され、前記加熱手段の出力を前記微結晶を含むシリコン系薄膜の形成とともに低下させることを特徴としたシリコン系薄膜の形成方法を提供する。

40

【００１３】

前記半導体素子が、基板上にシリコン原子を主成分とした第一の導電型を示す半導体層、

50

i 型半導体層、第二の導電型を示す半導体層が順次積層されたpin型の半導体接合を少なくとも1組含む光起電力素子であって、前記 i 型半導体層の少なくともひとつが微結晶を含んだシリコン系薄膜を含み、前記シリコン系薄膜中の前記微結晶の配向性が、前記シリコン系薄膜の膜厚方向で変化することが好ましい。前記微結晶を含むシリコン系薄膜と、前記シリコン系薄膜に対して光入射側に配置されている導電形を示す半導体層の間に、非晶質シリコン層を配置したことが好ましい。前記微結晶を含むシリコン系薄膜と、前記第二の導電形を示す半導体層の間に、非晶質シリコン層を配置することが好ましい。前記非晶質シリコン層の膜厚が30nm以下であることが好ましい。前記微結晶の配向性の变化は、前記微結晶のエックス線または電子線による(220)面の回折強度の全回折強度に対する割合が、前記シリコン系薄膜の膜厚方向で変化することが好ましい。前記微結晶の配向性の变化が、前記微結晶を含むシリコン系薄膜における、前記微結晶のエックス線または電子線による(220)面の回折強度の全回折強度に対する割合が、成膜初期において相対的に小さいことが好ましい。前記微結晶の配向性の变化が連続的であることが好ましい。前記微結晶を含むシリコン系薄膜が、前記微結晶のエックス線または電子線による(220)面の回折強度の全回折強度に対する割合が80%以上である領域を含むことが好ましい。前記微結晶を含むシリコン系薄膜中で、(110)面の優先配向をしている微結晶が、前記基板に対して鉛直方向に伸びた柱状の形状をしていることが好ましい。前記微結晶を含むシリコン系薄膜の界面領域の微結晶が(100)面の優先配向をしていることが好ましい。前記界面領域の微結晶が概球状の形状をしていることが好ましい。前記界面領域の厚さが1.0nm以上20nm以下であることが好ましい。前記微結晶を含むシリコン系薄膜が、酸素原子、炭素原子、窒素原子の少なくともひとつを含み、それらの総量が $1.5 \times 10^{18} \text{atoms/cm}^3$ 以上 $5.0 \times 10^{19} \text{atoms/cm}^3$ 以下であることが好ましい。前記微結晶を含むシリコン系薄膜が、 $1.0 \times 10^{19} \text{atoms/cm}^3$ 以上 $2.5 \times 10^{20} \text{atoms/cm}^3$ 以下のフッ素原子を含むことが好ましい。前記微結晶を含むシリコン系薄膜が、真空容器内に水素化シリコン、フッ素化シリコンガスの少なくとも一方と、水素を含む原料ガスを導入し、前記真空容器内の高周波導入部に高周波を導入して、前記真空容器内に導入した基板上に前記シリコン系薄膜を形成する高周波プラズマCVD法によって行なわれたものであることが好ましい。前記微結晶を含むシリコン系薄膜を形成する過程で、前記原料ガス中のガス流量の比率を変化させることが好ましい。前記原料ガスを前記真空容器内に複数のガス導入部を用いて導入し、前記複数のガス導入部のうち少なくともひとつは他とは異なったガス流量比の原料ガスを流していることが好ましい。前記高周波の周波数が10MHz以上10GHz以下であることが好ましい。前記高周波の周波数が20MHz以上300MHz以下であることが好ましい。前記高周波導入部と前記基板との距離が3mm以上30mm以下であることが好ましい。前記微結晶を含むシリコン系薄膜を形成する際の圧力が100Pa(0.75 Torr)以上5000Pa(37.5 Torr)以下であることが好ましい。前記微結晶を含むシリコン系薄膜を形成する際の前記原料ガスの滞留時間が、0.01秒以上10秒以下であることが好ましい。前記微結晶を含むシリコン系薄膜を形成する際の前記原料ガスの滞留時間が、0.1秒以上3秒以下であることが好ましい。

【0014】

【発明の実施の形態】

前述した課題を解決するために鋭意研究を重ねた結果本発明者は、シリコン系薄膜からなる半導体接合を有する半導体素子において、前記シリコン系薄膜の少なくともひとつが微結晶を含んでおり、前記微結晶を含んだシリコン系薄膜中の前記微結晶の配向性が、前記微結晶を含んだシリコン系薄膜中の膜厚方向で変化することを特徴とした半導体素子では、良好な電気特性をもち、密着性、耐環境性に優れた半導体素子を、低コストで形成することが可能になったことを見出した。

【0015】

上記の構成にすることにより、以下の作用がある。

【0016】

結晶相のシリコンは、非晶質相のシリコンと比較して、Si-Si結合の欠陥密度が低く、熱

10

20

30

40

50

力学的に非平衡状態にある非晶質相のシリコンと比較して、キャリアの移動度が大きく、再結合寿命が長いといった特性を有し、さらに長時間にわたる特性の安定性に優れ、また高温多湿などの環境下においても、その特性が変化しにくいという特長を有する。そのため、シリコン系薄膜からなる半導体接合を有する半導体素子において、たとえば光起電力素子やTFTなどに結晶相を含んだシリコン系薄膜を用いることにより、より優れた特性をもち、かつ安定性に優れた半導体素子の形成できる可能性がある。

【0017】

一方で、結晶相を含むシリコン系薄膜を*i*型半導体層に採用した場合の問題点として、結晶粒界が多数キャリア、少数キャリア双方に影響を与えて性能を劣化させることが考えられる。結晶粒界の影響を抑制するためには、*i*型半導体層内の結晶粒径を大きくして結晶粒界密度を低下させることが有効な手段の一つであると考えられる。

10

【0018】

結晶粒径を大きくするための手段としては、結晶核の発生を抑制し、結晶の配向性を高めることが好ましいものである。ランダムな結晶方位で膜の形成が進行した場合には、成長の過程でそれぞれの結晶粒が衝突しあい相対的に結晶粒の大きさが小さくなると考えられるが、特定の方位に配向させ、さらに結晶核の形成を制御して成長の方向性をそろえることで、結晶粒同士のランダムな衝突を抑制することができ、その結果結晶粒径をより大きくすることが可能であると考えられる。また一方、シリコン系薄膜内に内部ストレスが生じた場合には、バンドプロファイルの歪が生じたり、キャリア発生層における光照射時の電界が低下する領域が発生したり、またTFTにおいては、スイッチングのオフ時に流れるリーク電流が増加してしまうなどの問題が生じる。ここで、シリコン系薄膜、特にシリコン系薄膜の界面領域においては、堆積膜の形成の過程において膜厚方向でその配向性を変化させることで、シリコン系薄膜内の内部ストレスをより低減することができるために好ましいものである。内部ストレスを低減できる理由としては、界面領域と、シリコン系薄膜の内部領域で異なる機械的な応力環境に対して、配向性を変化させ、Si-Si結合の方向性を変えることができるためであると考えられる。

20

【0019】

ここで、ダイヤモンド構造をとる結晶性シリコンにおいては、(220)面は、面内の原子密度が最も高く、成長最表面内のシリコン原子は、4本の結合手のうち3本を他のシリコン原子と共有結合で結合されている構造のため、この面を成長面とした場合に、微結晶内、及び微結晶相互の密着性及び耐候性の良好なシリコン系薄膜を形成することができるものと考えられ、好ましいものである。また、アクティブマトリクス方液晶装置のデバイスとして逆スタガー型のTFTを用いる場合に、活性層のオーミックコンタクト層と接する領域を(220)面に優先配向した微結晶を含むシリコン系薄膜とすることにより、その形成過程におけるオーミックコンタクト層のドライエッチ時に、活性層をエッチングすることなく、オーミックコンタクト層を完全に除去することが、窒化膜などのエッチングストッパー材などを用いることなく可能になる。これは、(220)面が耐エッチング性に富むことに起因する。ASTMカードから、無配向の結晶性シリコンでは、低角側から11反射分の回折強度の総和に対する(220)面の回折強度の割合は約23%であり、(220)面の回折強度の割合が23%を上回る構造は、この面方向に配向性を有することになる。特に(220)面の回折強度の割合が80%以上である領域を含む構造においては、上記の効果がより促進され特に好ましいものである。

30

40

【0020】

上記述べたことを総合すると、シリコン系薄膜に含まれる微結晶の配向性がシリコン系薄膜の膜厚方向で変化し、かつ前記微結晶が(220)面に優先配向している領域を含む構成が好ましいものと思われる。

【0021】

第一の導電型を示す半導体層、*i*型半導体層、第二の導電型を示す半導体層が順次積層されたpin型の半導体接合光起電力素子においては、前記微結晶を含むシリコン系薄膜と、前記シリコン系薄膜に対して光入射側に配置されている導電形を示す半導体層の間に、非

50

晶質シリコン層を配置することにより、開放電圧を増大する効果があるため好ましいものである。同時に界面近傍のバンドプロファイルを改善し、キャリアの再結合を防止し、より多くのキャリアを取り出すことができる効果がある。さらには、導電型層からのドーパント原子が、i 型半導体層内部に拡散することを防止する。また前記非晶質シリコン層に含まれる水素濃度を、前記微結晶を含むシリコン系薄膜との界面方向で大きくすることで、界面近傍に発生する応力を緩和する効果があると思われるので好ましいものである。これは、水素濃度の高い領域においては水素原子を含んだクラスター領域が形成され、界面を挟んだ両方の構造の不一致に起因する内部応力を吸収する機能が高まるためであると考えられる。ここで、前記非晶質シリコン層の膜厚が大きすぎると、光照射による膜の劣化の影響が光起電力素子の特性として現れてくるので、前記非晶質シリコン層の膜厚は30nm 以下であることが好ましいものである。

10

【0022】

結晶相を含むシリコン系薄膜を、高周波を用いたプラズマCVD法により形成する方法は、固相反応と比較してプロセス時間が短く、プロセス温度も低くすることが可能なため、基板の選択範囲が広がり、よりガラス基板やステンレス基板などの安価な材料を採用することが可能になるために、低コスト化に有利である。特に、pin接合を有する光起電力素子において、膜厚の大きなi 型半導体層に適用することで、この効果は大きく発揮される。特にi 型半導体層が、2.0nm/秒以上の成膜速度で形成できるのは好ましいものである。

【0023】

ここで配向性をもつシリコン系薄膜を高周波プラズマCVD法で形成する場合には、シリコン系薄膜の堆積に寄与する活性種に加えて、エッチングに寄与する活性種もある雰囲気下で形成が行なわれていると考えることができる。そして、形成された膜表面の相対的に結合力の弱いSi-Si結合をエッチングしながら膜の堆積が進むことで、特定の面を優先配向面としたシリコン系薄膜の形成が可能になるものと考えられる。ここで、配向度の制御は、これらの活性種の制御によって行なうことができるものである。

20

【0024】

このような反応機構で膜の形成を行なう場合には、膜の形成初期には(220)配向性を持つ結晶核密度が小さいことが望まれる。(220)配向性をもつ結晶核密度が高いと、その結晶核を起点としたシリコン系薄膜の形成が行なわれることによって、シリコン系薄膜全体の結晶粒が相対的に小さくなってしまうと考えられる。また、界面領域において配向度が高くなる雰囲気下で膜の形成を行なった場合には、すなわち、エッチング効果が高い雰囲気下で膜の形成を行なった場合には、下地層に対してもダメージを与えることが懸念される。そのために微結晶を含んだシリコン系薄膜の形成初期においては、高い結晶性を確保しながら、(220)面の配向性が相対的に小さい構成にすることが好ましいものである。

30

【0025】

ここで、相対的にエッチング効果の小さな雰囲気下では、(100)面の成長は(220)面に比較して大きな成長速度を持つと思われるために、(220)面に配向する結晶核密度を小さくし、かつ高い結晶化度を両立することが可能になるため、前記微結晶を含むシリコン系薄膜の界面領域の微結晶が(100)面の優先配向をしていることが好ましいものである。また、特にTFEでは、ゲート絶縁膜と接する領域に電導度が高い領域を形成することができ、さらに平滑度の高い表面を形成することができるために特に好ましいものである。上記の効果を発現するためには、前記界面領域の膜厚は1.0nm以上20nm以下であることが好ましいものである。

40

【0026】

また、界面における密着性、内部ストレスを緩和するために、界面領域の微結晶の外形が、特定の方位を持たない概球状の形状をしていることが好ましいものである。

【0027】

界面領域に引き続いた領域におけるシリコン系薄膜内の微結晶は、界面領域の(220)

50

面に配向した結晶核を種結晶として、界面領域よりも大きな(220)面の配向性を有しているのが好ましいものである。光起電力素子においては、微結晶がキャリアの走行方向に柱状構造をしているのが、キャリアの走行性が良好になりより好ましいものである。

【0028】

また前記微結晶を含むシリコン系薄膜が、酸素原子、炭素原子、窒素原子の少なくともひとつを含むと、結晶粒界のボイド状の空間に配置されることにより構造安定性を高めるために好ましいものである。また、結晶粒界の抵抗を高めることにより、リーク電流の発生を抑制することが可能になる。さらにその理由の詳細は明らかではないが、成長面における新たな結晶核の発生を抑制するために、微結晶の断面サイズの均一性を高める効果があるために好ましいものである。これらの効果は、酸素原子、炭素原子、窒素原子の総量が $1.5 \times 10^{18} \text{ atoms/cm}^3$ 以上で効果的に出現する。ここで、酸素原子、炭素原子、窒素原子の総量が多すぎると、微結晶のバルク内に取り込まれ、結晶性を低下させる。酸素原子、炭素原子、窒素原子の総量は、 $5.0 \times 10^{19} \text{ atoms/cm}^3$ 以下であることが好ましい範囲である。

10

【0029】

また前記微結晶を含むシリコン系薄膜が、フッ素原子を含むと、微結晶の粒界のパシベーションが効率良く行なわれ、またまた電気陰性度の大きなフッ素原子により、微結晶粒界に顕在化しているシリコン原子のダングリングボンドが不活性化されるため好ましいものである。フッ素原子の量としては、 $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上 $2.5 \times 10^{20} \text{ atoms/cm}^3$ 以下が好ましい範囲としてあげられる。

20

【0030】

真空容器内に原料ガスを導入し、前記真空容器内に導入した基板上に高周波プラズマCVD法を用いてシリコン系薄膜を形成する方法において、高周波導入部と基板の距離を近づけることにより、放電空間体積当りのプラズマ密度が増大し、堆積膜形成に寄与する反応種を高密度で形成させることが可能になり、成膜速度のより高速化が実現できると考えられる。

【0031】

一方で、高周波導入部と基板の距離を近づけたときには、プラズマ中の電子密度が増大し、それに伴ないイオンの発生量が増加することが考えられる。イオンは放電空間内のシーツ領域において静電引力によって加速されるため、イオン衝撃としてバルク内の原子配置を歪めたり、膜中にボイドを形成する要因となり、高品質のシリコン系薄膜形成のための障害となったり、下地層との密着性や、耐環境性を低下させることなどが考えられる。ここで、成膜空間内の圧力を増大させることにより、プラズマ中のイオンは、他のイオン、活性種などとの衝突機会が増加することにより、イオンの衝撃力が低下し、またイオンの量そのものを減少させたりすることが可能になると考えられ、相対的にイオン衝撃が低下することが期待できる。

30

【0032】

ここで、原料ガスに水素化シリコン、フッ素化シリコン及び水素を含んだ原料ガスを用いた高周波プラズマCVD法では、 SiF_nH_m ($0 \leq n, m \leq 4$)、HF、F、Hなどの活性種の生成が考えられる。これらの活性種を含むプラズマ雰囲気は、シリコン系薄膜の堆積に寄与する活性種に加えて、エッチングに寄与する活性種もある点が特徴であると思われる。このため、膜表面の相対的に結合力の弱いSi-Si結合をエッチングしながら膜の堆積が進むことで、アモルファスの領域の少ない結晶化度の大きなシリコン系薄膜の形成が可能になると考えられる。また、エッチングの過程では、結合が切断されることに伴ないラジカルが形成され、構造緩和が促進されるため、より低温のプロセス温度下での良質なシリコン系薄膜の形成が可能になると考えられる。

40

【0033】

ここで、原料ガスにフッ素化シリコン及び水素を含んだ原料ガスを用いた高周波プラズマCVD法では、フッ素化シリコンに水素を加えることによって形成される SiF_2H 、 SiFH_2 などの、水素を含むフッ素化シラン系活性種を形成することで、高速成膜が可能

50

になると考えられる。前記 SiF_2H 、 SiFH_2 などの、水素を含むフッ素化シラン系活性種を形成するためには、フッ素化シリコンを効率よく分解して SiF を形成することが重要であり、さらに形成された SiF と活性化水素による活発な反応過程が重要なものであると考えられる。特にプラズマ中に十分な SiF が存在することが特に重要であると考えられる。

【0034】

上記のような配向性と結晶化度を持つシリコン系薄膜の形成を、堆積しつつエッチングも行ないながら、トータルとして高速成膜で実現するためには、プラズマプロセスの制御が重要な技術課題となる。ここで、 SiF と活性化水素による活発な反応過程を行なうためには、前述のように放電空間体積当りのプラズマ密度が増大させることが重要であるが、プラズマ中の電子密度が増大した雰囲気の中で、より多くの活性化水素を形成するためには、水素分子の枯渇を抑制するように原料ガスの導入をする必要がある。さらにプラズマ中で SiH や SiH_2 などのラジカル密度が増大した場合には、これを核とした結晶化が、放電空間中及び、堆積膜表面において起こりやすくなるために、ポリシランなどの反応副生成物の形成や、結晶粒径拡大に対する阻害要因として働いてしまうために、 SiH や SiH_2 などのラジカル密度も抑制させる必要がある。これらのことを達成するためには、原料ガスの分解を進めながら、新たな原料ガスの供給を活発にし、 SiH や SiH_2 などのラジカルを消滅を促進させる2次反応を活発に行なわせることが効果的であると考えられる。

【0035】

ここで、プラズマのパラメータとして、プラズマの生起している放電空間の体積を V (m^3)、前記原料ガスの流量を Q (cm^3/min (normal))、放電空間の圧力を P (Pa)としたときに、 $\tau = 592 \times V \times P / Q$ で定義される滞留時間 τ (秒)と、プラズマの発光強度を、プラズマ制御のパラメータとして着目することで、所望のプラズマ雰囲気をもつプラズマの生起が可能になると考えられる。高品質なシリコン系薄膜を得るためには、高周波導入部と基板の距離、圧力といった上記のパラメータに加えて、滞留時間を制御することが重要であると考えられる。

【0036】

以上のことを鑑み、本発明者が鋭意検討を重ねた結果、欠陥密度の少ない優れた特性のシリコン系薄膜をさらなる高速度で成膜するためには、前記高周波導入部と前記基板との距離が3mm以上30mm以下であり、放電空間内の圧力が90Pa (0.68 Torr)以上 1.5×10^4 Pa (113 Torr)以下であり、前記プラズマの生起している放電空間の体積を V (m^3)、前記原料ガスの流量を Q (cm^3/min (normal))、放電空間の圧力を P (Pa)としたときに、 $\tau = 592 \times V \times P / Q$ で定義される滞留時間 τ を、0.01秒以上10秒以下の領域において、 SiH や SiH_2 などのラジカル密度が抑制でき、所望のシリコン系薄膜の形成が可能であることを見出したものである。ここで周波数が10MHz~10GHzの高周波を用いたCVD法で形成する方法は好ましいものである。さらにプラズマ中の電子温度を抑制し、かつ大面積で均一なプラズマが形成されやすいために20MHz~300MHzの高周波を用いたCVD法で形成する方法は特に好ましいものである。

【0037】

また光起電力素子などのデバイスの形成時に、上記された範囲においてはプラズマ雰囲気中の水素による還元作用によって下地層の成分、膜質、特性などが変質してしまうのを抑制し、下地への悪影響を排除することができる。下地層として酸化亜鉛などの金属の酸化物からなる透明導電膜を用いた場合には、還元による透明導電膜の透過率の低下、それにとまう光起電力素子の特性の低下を防止できるので、特に効果的である。

【0038】

さらに別の作用としては、シリコン系薄膜と下地層との密着性が向上することがあげられる。これは、 SiF_2H 、 SiFH_2 ラジカルの活発な表面拡散により、表面近傍の応力歪みを常に緩和させながら堆積膜が形成されるために、この効果が発現されるのではない

かと思われる。とくに、シリコン系薄膜中の配向度が膜厚方向で変化する構成においては、とくに効果的であると思われる。また、水素分圧が相対的に高まるために、結晶粒界のパシベーション効果が高まり結晶粒界の不活性化が促進され、シリコンネットワーク中に組み込まれた水素原子の急激な離脱が抑制され、シリコンネットワーク内の不規則領域の発生に起因する塑性流動や、それにともったクラックや凝集の発生を防ぐことができるために、膜質や密着性に優れたシリコン系薄膜の形成が可能になり、このシリコン系薄膜を含んだ構成にすることによって、耐環境性に優れた光起電力素子を提供することができると思われる。

【0039】

下地への影響や密着性、耐環境性、光劣化率の低減の効果の点に鑑みると、圧力が100 Pa (0.75 Torr) 以上5000 Pa (37.5 Torr) 以下、滞留時間が0.1秒以上3秒以下がより好ましい範囲としてあげられる。

【0040】

シリコン系薄膜の形成の過程で原料ガス中のガス流量の比率を変化させることで、プラズマ中の堆積に寄与する活性種と、エッチングに寄与する活性種の比率を制御することが可能になり、シリコン系薄膜中の微結晶の配向性を制御することが可能になる。配向性の高いプラズマ雰囲気を形成するためには、フッ素化シリコンガスと水素の系においては原料ガス中のフッ素化シリコンガスの分圧を高め、水素化シリコンガスと水素の系においては原料ガス中の水素の分圧を高め、フッ素化シリコンガスと水素化シリコンガスの混合系においては、フッ素化シリコンガスの分圧を高める条件下で実現することが可能である。膜を堆積していく過程でプラズマ雰囲気を変化させる手段としては、導入する原料ガス中の流量比を変化させる方法や、ロール・ツー・ロール法のような、プラズマ空間を基板が移動する成膜法では、プラズマ中の各活性種の密度に分布をつけることで行なうこともできる。その方法としては、ひとつのプラズマ空間中に複数のガス導入部から原料ガスを導入し、そのうちの少なくともひとつは他とは異なったガス流量比の原料ガスを流す方法などが好ましいものである。

【0041】

高周波を用いたプラズマCVD法で結晶相を含むシリコン系薄膜を形成する場合には、堆積膜形成表面における吸着、離脱、引き抜き、打ち込み、表面拡散などの反応過程を好ましく進めるために、堆積膜形成表面の温度管理を適切に行なわなければならない。そのためには、結晶相を含むシリコン系薄膜を形成する前に、抵抗加熱ヒーターやランプヒーターなどの加熱手段を用いて、直接あるいは間接的に基板表面を加熱しておく必要がある。一方でプラズマを生起することは、プラズマからの活性種の衝撃などにより、基板表面温度を上昇させる要因となる。特に、高周波導入部と基板の距離を近づけたり、放電空間体積当りのプラズマ密度を増大させるように高周波パワーを増大させた場合にはこのことが顕著になる。基板の成膜表面の温度が高くなりすぎると表面の各反応過程のバランスが乱れ、結晶核の形成による結晶粒界密度の上昇、結晶性の低下、パシベーションによる粒界の不活性化が不十分になるなどが起こる。また、成膜に寄与する活性種の制御が乱れることによって、結晶相の配向性の制御も乱れることになる。

【0042】

ここで、基板の温度を、前記基板に対して前記微結晶を含むシリコン系薄膜の形成面とは反対側に配置された加熱手段を用いて制御する場合には、前記加熱手段の出力を前記微結晶を含むシリコン系薄膜の形成とともに低下させることは、成膜表面の過剰加熱を抑制できるので好ましいものである。ここで、ロール・ツー・ロール法のような、プラズマ空間を基板が移動する成膜法では、前記基板の搬送方向に配置された複数の前記加熱手段の出力を、堆積膜形成の過程に応じて変化させることが好ましい。具体的には、成膜開始直前の位置のヒーターの出力が最も高く、搬送の下流方向に向かって配置されているヒーターの出力を徐々に低下させる方法、あるいは成膜中のヒーターの少なくとも一部の出力をゼロにする方法などが好ましいものである。

【0043】

次に本発明の半導体素子として光起電力素子を例にあげ、その構成要素について説明する。

【0044】

図1は本発明の光起電力素子の一例を示す模式的な断面図である。図中101は基板、102は半導体層、103は第二の透明導電層、104は集電電極である。また、101-1は基板、101-2は金属層、101-3は第一の透明導電層である。これらは基板101の構成部材である。

【0045】

(基板)

基板101-1としては、金属、樹脂、ガラス、セラミックス、半導体バルク等からなる板状部材やシート状部材が好適に用いられる。その表面には微細な凸凹を有していてもよい。透明基板を用いて基板側から光が入射する構成としてもよい。また、基板を長尺の形状とすることによってロール・ツー・ロール法を用いた連続成膜を行うことができる。特にステンレス、ポリイミド等の可撓性を有する材料は基板101-1の材料として好適である。

10

【0046】

(金属層)

金属層101-2は電極としての役割と、基板101-1にまで到達した光を反射して半導体層102で再利用させる反射層としての役割とを有する。その材料としては、Al、Cu、Ag、Au、CuMg、AlSi等を好適に用いることができる。その形成方法としては、蒸着、スパッタ、電析、印刷等の方法が好適である。金属層101-2は、その表面に凸凹を有することが好ましい。それにより反射光の半導体層102内での光路長を伸ばし、短絡電流を増大させることができる。基板101-1が導電性を有する場合には金属層101-2は形成しなくてもよい。

20

【0047】

(第一の透明導電層)

第一の透明導電層101-3は、入射光及び反射光の乱反射を増大し、半導体層102内での光路長を伸ばす役割を有する。また、金属層101-2の元素が半導体層102へ拡散あるいはマイグレーションを起こし、光起電力素子がシャントすることを防止する役割を有する。さらに、適度な抵抗をもつことにより、半導体層のピンホール等の欠陥によるショートを防止する役割を有する。さらに、第一の透明導電層101-3は、金属層101-2と同様にその表面に凸凹を有していることが望ましい。第一の透明導電層101-3は、ZnO、ITO等の導電性酸化物からなることが好ましく、蒸着、スパッタ、CVD、電析等の方法を用いて形成されることが好ましい。これらの導電性酸化物に導電率を変化させる物質を添加してもよい。

30

【0048】

また、酸化亜鉛層の形成方法としては、スパッタ、電析等の方法、あるいはこれらの方法を組み合わせて形成されることが好ましい。

【0049】

スパッタ法によって酸化亜鉛膜を形成する条件は、方法やガスの種類と流量、内圧、投入電力、成膜速度、基板温度等が大きく影響を及ぼす。例えばDCマグネトロンスパッタ法で、酸化亜鉛ターゲットを用いて酸化亜鉛膜を形成する場合には、ガスの種類としてはAr、Ne、Kr、Xe、Hg、O₂などがあげられ、流量は、装置の大きさと排気速度によって異なるが、例えば成膜空間の容積が20リットルの場合、1sccmから100sccmが望ましい。また成膜時の内圧は 1×10^{-4} Torrから0.1Torrが望ましい。投入電力は、ターゲットの大きさにもよるが、直径15cmの場合、10Wから100KWが望ましい。また基板温度は、成膜速度によって好適な範囲が異なるが、1μm/hで成膜する場合は、70℃から450℃であることが望ましい。

40

【0050】

また電析法によって酸化亜鉛膜を形成する条件は、耐腐食性容器内に、硝酸イオン、亜鉛

50

イオンを含んだ水溶液を用いるのが好ましい。硝酸イオン、亜鉛イオンの濃度は、 0.001mol/l から 1.0mol/l の範囲にあるのが望ましく、 0.001mol/l から 0.5mol/l の範囲にあるのがより望ましく、 0.1mol/l から 0.25mol/l の範囲にあるのがさらに望ましい。硝酸イオン、亜鉛イオンの供給源としては特に限定するものではなく、両方のイオンの供給源である硝酸亜鉛でもよいし、硝酸イオンの供給源である硝酸アンモニウムなどの水溶性の硝酸塩と、亜鉛イオンの供給源である硫酸亜鉛などの亜鉛塩の混合物であってもよい。さらに、これらの水溶液に、異常成長を抑制したり密着性を向上させるために、炭水化物を加えることも好ましいものである。炭水化物の種類は特に限定されるものではないが、グルコース（ブドウ糖）、フルクトース（果糖）などの単糖類、マルトース（麦芽糖）、サッカロース（ショ糖）などの二糖類、デキストリン、デンプンなどの多糖類などや、これらを混合したものを用いることができる。水溶液中の炭水化物の量は、炭水化物の種類にもよるが概ね、 0.001g/l から 300g/l の範囲にあるのが望ましく、 0.005g/l から 100g/l の範囲にあるのがより望ましく、 0.01g/l から 60g/l の範囲にあることがさらに望ましい。電析法により酸化亜鉛膜を堆積する場合には、前記の水溶液中に酸化亜鉛膜を堆積する基体を陰極にし、亜鉛、白金、炭素などを陽極とするのが好ましい。このとき負荷抵抗を通して流れる電流密度は、 10mA/dm^2 から 10A/dm^2 であることが好ましい。

【0051】

（基板）

以上の方法により、基体101-1上に必要に応じて、金属層101-2、第一の透明導電層101-3を積層して基板101を形成する。また、素子の集積化を容易にするために、基板101に中間層として絶縁層を設けてもよい。

【0052】

（半導体層）

本発明のシリコン系薄膜がその一部を構成する半導体層102の主たる材料としてはSiが用いられる。Siに加えて、SiとC又はGeとの合金を用いても構わない。半導体層をp型半導体層とするにはIII族元素、n型半導体層とするにはV族元素を含有する。

p型層及びn型層の電気特性としては、活性化エネルギーが 0.2eV 以下のものが好ましく、 0.1eV 以下のものが最適である。また比抵抗としては $100\Omega\text{cm}$ 以下が好ましく、 $1\Omega\text{cm}$ 以下が最適である。スタックセル（pin接合を複数有する光起電力素子）の場合、光入射側に近いpin接合のi型半導体層はバンドギャップが広く、遠いpin接合になるに随いバンドギャップが狭くなるのが好ましい。光入射側のドーパ層（p型層もしくはn型層）は光吸収の少ない結晶性の半導体か、又はバンドギャップの広い半導体が適している。

【0053】

本発明の構成要素である半導体層102についてさらに説明を加えると、図3は本発明の光起電力素子の一例として、一組のpin接合をもつ半導体層102を示す模式的な断面図である。図中102-1は第一の導電型を示す半導体層であり、さらに、本発明のシリコン系薄膜からなるi型半導体層102-2、第二の導電型を示す半導体層102-3を積層する。pin接合を複数持つ半導体層においては、そのなかのうちの少なくとも一つが前記の構成であることが好ましい。

【0054】

pin接合を2組積層したスタックセルの例としては、i型シリコン系半導体層の組み合わせとして、光入射側から（アモルファスシリコン半導体層、微結晶を含んだシリコン半導体層）、（微結晶を含んだシリコン半導体層、微結晶を含んだシリコン半導体層）となるものがあげられる。また、pin接合を3組積層した光起電力素子の例としてはi型シリコン系半導体層の組み合わせとして、光入射側から（アモルファスシリコン半導体層、微結晶を含んだシリコン半導体層、微結晶を含んだシリコン半導体層）、（アモルファスシリコン半導体層、微結晶を含んだシリコン半導体層、アモルファスシリコンゲルマニウム半導体層）、となるものなどがあげられる。i型半導体層としては光（ 630nm ）の吸収係数（ α ）が 5000cm^{-1} 以上、ソーラーシミュレーター（AM1.5、 100mW/cm^2 ）による擬

10

20

30

40

50

似太陽光照射化の光伝導度 (σ_p) が $1.0 \times 10^{-5} \text{ S/cm}$ 以上、暗伝導度 (σ_d) が $1.0 \times 10^{-6} \text{ S/cm}$ 以下、コンスタントフォトカレントメソッド (CPM) によるアーバックエネルギーが 55 meV 以下であるのが好ましい。i 型半導体層としては、わずかに p 型、n 型になっているものでも使用することができる。また i 型半導体層にシリコンゲルマニウム半導体層を用いた場合には、界面準位低減や開放電圧を高める目的で、p/i 界面、n/i 界面の少なくともどちらか一方に、ゲルマニウムを含有していない i 型半導体層を挿入した構成をとってもよい。

【0055】

(半導体層の形成方法)

本発明のシリコン系薄膜及び半導体層 102 を形成するには、高周波プラズマ CVD 法が適している。以下、高周波プラズマ CVD 法によって半導体層 102 を形成する手順の好適な例を示す。

【0056】

減圧状態にできる半導体形成用真空容器内を所定の堆積圧力に減圧する。

【0057】

堆積室内に原料ガス、希釈ガス等の材料ガスを導入し、堆積室内を真空ポンプによって排気しつつ、堆積室内を所定の堆積圧力に設定する。

【0058】

基板 101 をヒーターによって所定の温度に設定する。

【0059】

高周波電源によって発振された高周波を前記堆積室に導入する。前記堆積室への導入方法は、高周波がマイクロ波の場合には導波管によって導き石英、アルミナ、窒化アルミニウムなどの誘電体窓を介して堆積室内に導入したり、高周波が VHF や RF の場合には同軸ケーブルによって導き、金属電極を介して堆積室内に導入したりする方法がある。

【0060】

堆積室内にプラズマを生起させて原料ガスを分解し、堆積室内に配置された基板 101 上に堆積膜を形成する。この手順を必要に応じて複数回繰り返して半導体層 102 を形成する。

【0061】

半導体層 102 の形成条件としては、堆積室内の基板温度は $100 \sim 450^\circ\text{C}$ 、圧力は 0.067 Pa (0.5 Torr) $\sim 1.5 \times 10^4 \text{ Pa}$ (113 Torr)、高周波パワー密度は $0.001 \sim 2 \text{ W/cm}^3$ が好適な条件としてあげられる。さらに本発明のシリコン系薄膜を形成する場合には、高周波導入部と前記基板との距離が 3 mm 以上 30 mm 以下、圧力が 100 Pa (0.75 Torr) 以上 5000 Pa (37.5 Torr) 以下、プラズマの生起している放電空間の体積を $V (\text{m}^3)$ 、前記原料ガスの流量を $Q (\text{cm}^3/\text{min (normal)})$ 、放電空間の圧力を $P (\text{Pa})$ としたときに、 $\tau = 592 \times V \times P / Q$ で定義される滞留時間 τ が、 0.01 秒以上 10 秒以下であるようにすることが必要である。また、高周波パワー密度としては $0.05 \sim 2 \text{ W/cm}^3$ が好適な条件である。

【0062】

本発明のシリコン系薄膜及び半導体層 102 の形成に適した原料ガスとしては、 SiF_4 、 SiH_2F_2 、 SiH_3F 、 Si_2F_6 などのフッ素化シリコン、 SiH_4 、 Si_2H_6 等の水素化シリコン化合物、合金系にする場合にはさらに、 GeH_4 や CH_4 などのように Ge や C を含有したガス化しうる化合物を水素ガスで希釈して堆積室内に導入することが望ましい。さらに He などの不活性ガスを添加してもよい。さらに窒素、酸素等を含有したガス化しうる化合物を原料ガス乃至希釈ガスとして添加してもよい。半導体層を p 型層とするためのドーパントガスとしては B_2H_6 、 BF_3 等が用いられる。また、半導体層を n 型層とするためのドーパントガスとしては、 PH_3 、 PF_3 等が用いられる。結晶相の薄膜や、 SiC 等の光吸収が少ないかバンドギャップの広い層を堆積する場合には、原料ガスに対する希釈ガスの割合を増やし、比較的高いパワー密度の高周波を導入するのが好ましい。

【0063】

(第二の透明導電層)

第二の透明導電層103は、光入射側の電極であるとともに、その膜厚を適当に設定することにより反射防止膜の役割をかねることができる。第二の透明導電層103は、半導体層102の吸収可能な波長領域において高い透過率を有することと、抵抗率が低いことが要求される。好ましくは550nmにおける透過率が80%以上、より好ましくは85%以上であることが望ましい。抵抗率は $5 \times 10^{-3} \Omega \text{ cm}$ 以下、より好ましくは $1 \times 10^{-3} \Omega \text{ cm}$ 以下であることが好ましい。第二の透明導電層103の材料としては、ITO、ZnO、 In_2O_3 等を好適に用いることができる。その形成方法としては、蒸着、CVD、スプレー、スピノン、浸漬などの方法が好適である。これらの材料に導電率を変化させる物質を添加してもよい。

10

【0064】

(集電電極)

集電電極104は集電効率を向上するために透明電極103上に設けられる。その形成方法として、マスクを用いてスパッタによって電極パターンの金属を形成する方法や、導電性ペーストあるいは半田ペーストを印刷する方法、金属線を導電性ペーストで固着する方法などが好適である。

【0065】

なお、必要に応じて光起電力素子の両面に保護層を形成することがある。同時に光起電力素子の裏面（光入射側と反射側）などに銅板等の補教材を併用してもよい。

【0066】

20

【実施例】

以下の実施例では、半導体素子として太陽電池とTFTとを例に挙げて本発明を具体的にするが、これらの実施例は本発明の内容を何ら限定するものではない。

【0067】

[実施例1]

図2に示した堆積膜形成装置201を用い、以下の手順で図4に示した光起電力素子を形成した。図4は本発明のシリコン系薄膜を有する光起電力素子の一例を示す模式的な断面図である。図中、図1と同様の部材には同じ符号を付して説明を省略する。この光起電力素子の半導体層は、アモルファスn型半導体層102-1Aと微結晶i型半導体層102-2Aと微結晶p型半導体層102-3Aとからなっている。すなわち、この光起電力素子はいわゆるpin型シングルセル光起電力素子である。

30

【0068】

図2は、本発明のシリコン系薄膜及び光起電力素子を製造する堆積膜形成装置の一例を示す模式的な断面図である。図2に示す堆積膜形成装置201は、基板送り出し容器202、半導体形成用真空容器211～218、基板巻き取り容器203が、ガスゲート221～229を介して結合することによって構成されている。この堆積膜形成装置201には、各容器及び各ガスゲートを貫いて帯状の導電性基板204がセットされる。帯状の導電性基板204は、基板送り出し容器202に設置されたボビンから巻き出され、基板巻き取り容器203で別のボビンに巻き取られる。

【0069】

40

半導体形成用真空容器211～218は、それぞれプラズマ生起領域を形成する堆積室を有している。概堆積室は、プラズマの生起している放電空間を、前記導電性基板と前記高周波導入部で上下を限定し、高周波導入部を取り囲むように設置された放電板で横方向を限定するように構成されている。

【0070】

該堆積室内の平板状の高周波導入部241～248には、高周波電源251～258から高周波電力を印加することによってグロー放電を生起させ、それによって原料ガスを分解し導電性基板204上に半導体層を堆積させる。高周波導入部241～248は、導電性基板204と対向しており、不図示の高さ調整機構が具備されている。前記高さ調整機構により、前記導電性基板と高周波導入部との間の距離を変えることができ、同時に放電空

50

間の体積を変えることができる。また、各半導体形成用真空容器211～218には、原料ガスや希釈ガスを導入するためのガス導入管231～238が接続されている。

【0071】

図2に示した堆積膜形成装置201は、半導体形成用真空容器を8個具備しているが、以下の実施例においては、すべての半導体形成用真空容器でグロー放電を生起させる必要はなく、製造する光起電力素子の層構成にあわせて各容器でのグロー放電の有無を選択することができる。また、各半導体形成用真空容器には、各堆積室内での導電性基板204と放電空間との接触面積を調整するための、不図示の成膜領域調整板が設けられている。

【0072】

まず、光起電力素子形成に先立って、シリコン系薄膜の配向性の確認実験を行なった。ステンレス（SUS430BA）からなる帯状の基体（幅50cm、長さ200m、厚さ0.125mm）を十分に脱脂、洗浄し、不図示の連続スパッタリング装置に装着し、Ag電極をターゲットとして、厚さ100nmのAg薄膜をスパッタ蒸着させた。さらにZnOターゲットを用いて、厚さ1.2μmのZnO薄膜をAg薄膜の上にスパッタ蒸着し、帯状の導電性基板204を形成した。

【0073】

次に基板送り出し容器202に、導電性基板204を巻いたボビンを装着し、導電性基板204を搬入側のガスゲート、半導体形成用真空容器211、212、213、214、215、216、217、218、搬出側のガスゲートを介し、基板巻き取り容器203まで通し、帯状の導電性基板204がたるまないように張力調整を行った。そして、基板送り出し容器202、半導体形成用真空容器211、212、213、214、215、216、217、218、基板巻き取り容器203を不図示の真空ポンプからなる真空排気系により、 $6.7 \times 10^{-4} \text{ Pa}$ （ $5 \times 10^{-6} \text{ Torr}$ ）以下まで十分に真空排気した。

【0074】

次に、真空排気系を作動させつつ、半導体形成用真空容器212へガス導入管232から原料ガス及び希釈ガスを供給した。ここで半導体形成用真空容器212内の堆積室は、長手方向の長さが1m、横幅は50cmのものをを用いた。また、半導体形成用真空容器212以外の半導体形成用真空容器にはガス導入管から200cm³/min(normal)のH₂ガスを供給し、同時に不図示の各ゲートガス供給管から、各ガスゲートにゲートガスとして500cm³/min(normal)のH₂ガスを供給した。この状態で真空排気系の排気能力を調整して、半導体形成用真空容器212内の圧力を所定の圧力に調整した。形成条件は表1の212の形成条件に示す通りである。

【0075】

半導体形成用真空容器212内の圧力が安定したところで、基板送り出し容器202から基板巻き取り容器203の方向に、導電性基板204の移動を開始した。

【0076】

次に、半導体形成用真空容器212内の高周波導入部242に高周波電源252より高周波を導入し、高さ調整機構により前記導電性基板と高周波導入部との間の距離を9mmとして、半導体形成用真空容器212内の堆積室内にグロー放電を生起し、導電性基板204上に、シリコン系薄膜を1μm形成した。ここで、半導体形成用真空容器212には周波数60MHzの高周波を、パワー密度が400mW/cm³になるように調整しながらA1製の金属電極からなる高周波導入部242から導入した（比較例1-1）。

【0077】

次に、半導体形成用真空容器213内の高周波導入部243に高周波電源253より高周波を導入し、高さ調整機構により前記導電性基板と高周波導入部との間の距離を9mmとして、半導体形成用真空容器213内の堆積室内にグロー放電を生起し、導電性基板204上に、シリコン系薄膜を1μm形成した。形成条件は表1の213の形成条件に示す通りである。ここで、半導体形成用真空容器213には周波数60MHzの高周波を、パワー密度が300mW/cm³になるように調整しながらA1製の金属電極からなる高周波導入部243から導入した（比較例1-2）。

【0078】

形成したそれぞれのシリコン系薄膜をエックス線回折装置により回折ピークを測定したところ、比較例1-1のシリコン系薄膜は、(400)の回折強度が最大強度となっており、低角側から11反射分の回折強度の総和に対する(400)の回折強度の割合が80%となっており、比較例1-1のシリコン系薄膜は(100)面に優先配向していることが確認できた。また比較例1-2のシリコン系薄膜は、(220)の回折強度が最大強度となっており、低角側から11反射分の回折強度の総和に対する(220)の回折強度の割合が90%となっており、比較例1-2のシリコン系薄膜は(110)面に優先配向していることが確認できた。

【0079】

次に光起電力素子の作成を行なった。真空排気系を作動させつつ、半導体形成用真空容器211、212、213、215へガス導入管231、232、233、235から原料ガス及び希釈ガスを供給した。ここで半導体形成用真空容器212、213内の放電室は、長手方向の長さが1m、横幅は50cmのものをを用いた。また、半導体形成用真空容器211、212、213、215以外の半導体形成用真空容器にはガス導入管から200cm³/min(normal)のH₂ガスを供給し、同時に不図示の各ゲートガス供給管から、各ガスゲートにゲートガスとして500sccmのH₂ガスを供給した。この状態で真空排気系の排気能力を調整して、半導体形成用真空容器211、212、213、215内の圧力を所定の圧力に調整した。形成条件は表1に示す通りである。

【0080】

半導体形成用真空容器211、212、213、215内の圧力が安定したところで、基板送り出し容器202から基板巻き取り容器203の方向に、導電性基板204の移動を開始した。

【0081】

次に、半導体形成用真空容器211、212、213、215内の高周波導入部241、242、243、245に高周波電源251、252、253、255より高周波を導入し、半導体形成用真空容器211、212、213、215内の堆積室内にグロー放電を生起し、導電性基板204上に、アモルファスn型半導体層(膜厚30nm)、i型半導体層(膜厚1.5μm)、微結晶p型半導体層(膜厚10nm)を形成し光起電力素子を形成した。ここでi型半導体層は、トータルの膜厚が1.5μmとなるようにし、半導体形成用真空容器212、213内の成膜領域調整板を調整して、表2に示すようにそれぞれの半導体形成用真空容器で形成されるシリコン系薄膜の膜厚を調整した。(比較例1-3、実施例1-1、1-2、1-3、1-4)。

【0082】

ここで、半導体形成用真空容器211には周波数13.56MHz、パワー密度5mW/cm³の高周波電力をAl製の金属電極からなる高周波導入部241から、半導体形成用真空容器212、213には上記のシリコン系薄膜と同様に、半導体形成用真空容器214には周波数13.56MHz、パワー密度30mW/cm³の高周波電力をAl製の金属電極からなる高周波導入部244から導入した。

【0083】

次に不図示の連続モジュール化装置を用いて、形成した帯状の光起電力素子を36cm×22cmの太陽電池モジュールに加工した。

【0084】

以上のようにして作成した太陽電池モジュールの光電変換効率をソーラーシミュレーター(AM1.5、100mW/cm²)を用いて測定した。また基盤目テープ法(切り傷の隙間間隔1mm、ます目の数100)を用いて導電性基板と半導体層との間の密着性を調べた。結果を表2に示す。

【0085】

さらに実施例1-1の光起電力素子の断面TEM観察を行ったところ、i型半導体層中は半導体形成容器212で形成した領域においては微結晶の形状は球状をしており、半導体形成容器2

10

20

30

40

50

13で形成した領域においては微結晶の形状は基板に対して鉛直に伸びた柱状の形状をしていることがわかった。また、それぞれの光起電力素子において、i型半導体層まで形成した形成したサンプルのRHEED図形から、それぞれのi型半導体層の表面層は(110)面に優先配向していることが確認できた。

【0086】

以上のことより、本発明の半導体素子を含む太陽電池は優れた特性をもつことがわかる。(100)面が優先配向している領域が1.0nm以上20nm以下のものは、特に優れていた。

【0087】

[実施例2]

図2に示した堆積膜形成装置201を用い、以下の手順で図5に示した光起電力素子を形成した。図5は本発明のシリコン系薄膜を有する光起電力素子の一例を示す模式的な断面図である。図中、図1と同様の部材には同じ符号を付して説明を省略する。この光起電力素子の半導体層は、アモルファスn型半導体層102-1Aと微結晶i型半導体層102-2Aと非晶質シリコン層102-10と微結晶p型半導体層102-3Aとからなっている。すなわち、この光起電力素子はいわゆるpin型シングルセル光起電力素子である。

【0088】

次に、半導体形成用真空容器211~215内の高周波導入部241~245に高周波電源251~255より高周波を導入し、半導体形成用真空容器211~215内の堆積室内にグロー放電を生起し、導電性基板204上に、アモルファスn型半導体層(膜厚30nm)、微結晶i型半導体層(膜厚1.5μm)、非晶質シリコン層、微結晶p型半導体層(膜厚10nm)を形成し光起電力素子を形成した。

【0089】

ここで、半導体形成用真空容器211、212、213、215内の条件は、実施例1-2と同様にし、半導体形成用真空容器214内の条件は表3に示す。また半導体形成用真空容器214には周波数100MHzの高周波を、パワー密度が100mW/cm³になるように調整しながらA1製の金属電極からなる高周波導入部245から導入した。ここで半導体形成用真空容器214内の成膜領域調整板により、表4に膜厚ごとに光起電力素子を形成した。次に不図示の連続モジュール化装置を用いて、形成した帯状の光起電力素子を36cm×22cmの太陽電池モジュールに加工した(実施例2-1、2-2、2-3、2-4)。

【0090】

以上のようにして作成した太陽電池モジュールの光電変換効率をソーラーシミュレーター(AM1.5、100mW/cm²)を用いて測定した。またあらかじめ初期光電変換効率を測定しておいた太陽電池モジュールを50℃に保持した状態で、AM1.5、100mW/cm²の擬似太陽光を500時間照射した後に、再度光電変換効率を測定し、光劣化試験による光電変換効率の変化を調べたこれらの結果を表4に示す。

【0091】

以上のことより、本発明の半導体素子を含む太陽電池は優れた特性をもつことがわかる。また非晶質シリコン層が30nm以下のものは、特に優れていた。

【0092】

[実施例3]

図2に示した堆積膜形成装置201を用い、図4に示した光起電力素子を形成した。

【0093】

形成方法は、半導体形成用真空容器213内に導入するSiF₄ガスを表5に示すように酸素を導入したものをを用いた以外は実施例1-2と同様の方法で行なった。次に不図示の連続モジュール化装置を用いて、形成した帯状の光起電力素子を36cm×22cmの太陽電池モジュールに加工した(実施例3-1、3-2、3-3、3-4)。

【0094】

以上のようにして作成した太陽電池モジュールの光電変換効率をソーラーシミュレーター(AM1.5、100mW/cm²)を用いて測定した。またあらかじめ初期光電変換効率を測

10

20

30

40

50

定しておいた太陽電池モジュールを、温度85℃、湿度85%の暗所に設置し30分保持、その後70分かけて温度-20℃まで下げ30分保持、再び70分かけて温度85℃湿度85%まで戻す、このサイクルを100回繰り返した後に再度光電変換効率を測定し、温湿度試験による光電変換効率の変化を調べた。またそれぞれの太陽電池モジュールのSIMS測定を行い、半導体形成用真空容器213で形成したシリコン系薄膜に含まれる酸素濃度を評価した。これらの結果を表6に示す。

【0095】

またそれぞれの太陽電池モジュールの断面TEM観察を行ったところ、i型半導体層中は半導体形成容器212で形成した領域においては微結晶の形状は球状をしており、半導体形成容器213で形成した領域においては微結晶の形状は基板に対して鉛直に伸びた柱状の形状をしており、実施例3-1、3-2、3-3の太陽電池モジュールの概柱状形状は、実施例1-2、実施例3-4のものと比べて、柱状形状サイズの均一性に特に優れていることがわかった。

10

【0096】

以上のことより、本発明の半導体素子を含む太陽電池は優れた特性をもつことがわかる。また膜中の酸素濃度が、 $1.5 \times 10^{18} \text{atoms/cm}^3$ 以上 $5.0 \times 10^{19} \text{atoms/cm}^3$ 以下のものは、特に優れていた。

【0097】

[実施例4]

図2に示した堆積膜形成装置201を用い、図4に示した光起電力素子を形成した。

20

【0098】

形成方法は、半導体形成用真空容器213内に導入する原料ガスを表7に示すものを用いた以外は実施例1-2と同様の方法で行なった。次に不図示の連続モジュール化装置を用いて、形成した帯状の光起電力素子を $36 \text{cm} \times 22 \text{cm}$ の太陽電池モジュールに加工した（実施例4-1、4-2、4-3、4-4、4-5）。

【0099】

以上のようにして作成した太陽電池モジュールの光電変換効率をソーラーシミュレーター（AM1.5、 100mW/cm^2 ）を用いて測定した。またあらかじめ初期光電変換効率を測定しておいた太陽電池モジュールを、温度85℃、湿度85%の暗所に設置し30分保持、その後70分かけて温度-20℃まで下げ30分保持、再び70分かけて温度85℃湿度85%まで戻す、このサイクルを100回繰り返した後に再度光電変換効率を測定し、温湿度試験による光電変換効率の変化を調べた。またそれぞれの太陽電池モジュールのSIMS測定を行い、半導体形成用真空容器213で形成したシリコン系薄膜に含まれるフッ素濃度を評価した。これらの結果を表7に示す。

30

【0100】

以上のことより、本発明の半導体素子を含む太陽電池は優れた特性をもつことがわかる。膜中のフッ素濃度が $1.0 \times 10^{19} \text{atoms/cm}^3$ 以上 $2.5 \times 10^{20} \text{atoms/cm}^3$ 以下のものは特に優れていた。

【0101】

[実施例5]

図2に示した堆積膜形成装置201を用い、図4に示した光起電力素子を形成した。

40

【0102】

形成方法は、半導体形成用真空容器213内でi型半導体層を形成するときに導電性基板の搬送を停止して、半導体形成用真空容器213内に導入するガスの流量比を表8に示すように変化させながら(220)の配向性を成膜方向に徐々に大きくするように変化させるように行ない、それ以外は実施例2-2と同様の方法で行なった。ここで成膜途中の各ガスの流量は、成膜開始時の流量から成膜終了時の流量にむけて直線的に変化させるように行なった。次に不図示の連続モジュール化装置を用いて、形成した帯状の光起電力素子を $36 \text{cm} \times 22 \text{cm}$ の太陽電池モジュールに加工した（実施例5）。

【0103】

50

以上のようにして作成した太陽電池モジュールの光電変換効率をソーラーシミュレーター（AM1.5、100mW/cm²）を用いて測定した。実施例5の太陽電池モジュールは、実施例2-2の太陽電池モジュールと比較して、1.1倍の光電変換効率であることがわかった。

【0104】

以上のことより、本発明の半導体素子を含む太陽電池は優れた特性を持つことがわかる。

【0105】

[実施例6]

図6に示した堆積膜形成装置201を用い、図4に示した光起電力素子を形成した。

【0106】

形成方法は、半導体形成用真空容器213内に接続するガス導入管を2系統とし（ガス導入管233-1、233-2）、ガス導入管233-1をガス導入管233-2に対して導電性基板の搬送方向に対して上流側に配置し、それぞれのガス導入管から流す各原料ガスの流量比を表9に示すように変えて、半導体形成用真空容器213内のプラズマ中の活性種の密度を導電性基板の搬送方向で変化させるように行ない、それ以外は実施例2-2と同様の方法で行なった。形成した帯状の光起電力素子を36cm×22cmの太陽電池モジュールに加工した（実施例6）。

【0107】

以上のようにして作成した太陽電池モジュールの光電変換効率をソーラーシミュレーター（AM1.5、100mW/cm²）を用いて測定した。実施例6の太陽電池モジュールは、実施例2-2の太陽電池モジュールと比較して、1.15倍の光電変換効率であることがわかった。

【0108】

以上のことより、本発明の半導体素子を含む太陽電池は優れた特性を持つことがわかる。

【0109】

[実施例7]

図2に示した堆積膜形成装置201を用い、図4に示した光起電力素子を形成した。

【0110】

形成方法は、半導体形成用真空容器213内のランプヒーターの温度調整により、半導体形成用真空容器213内の成膜温度を成膜開始時に高く（搬送上流の位置の温度が高く）、成膜終了時に低く（搬送下流の位置の温度が低く）なるように行い、それ以外は実施例2-2と同様の方法で行なった。半導体形成用真空容器213での形成条件を表10に示す。形成した帯状の光起電力素子を36cm×22cmの太陽電池モジュールに加工した（実施例7）。

【0111】

以上のようにして作成した太陽電池モジュールの光電変換効率をソーラーシミュレーター（AM1.5、100mW/cm²）を用いて測定した。実施例6の太陽電池モジュールは、実施例2-2の太陽電池モジュールと比較して、1.25倍の光電変換効率であることがわかった。

【0112】

以上のことより、本発明の半導体素子を含む太陽電池は優れた特性を持つことがわかる。

【0113】

[実施例8]

図2に示した堆積膜形成装置201を用い、図4に示した光起電力素子を形成した。

【0114】

形成の方法は、半導体形成用真空容器212、213内の高さ調整機構により前記導電性基板と高周波導入部との間の距離を表11に示すように変えながら行い、それ以外は実施例2-2と同様の方法で行なった。形成した帯状の光起電力素子を36cm×22cmの太陽電池モジュールに加工した。

【0115】

以上のようにして作成した太陽電池モジュールの光電変換効率をソーラーシミュレーター（AM1.5、100mW/cm²）を用いて測定した。結果を表10に示す。ここで、距離が2mmのi型半導体層は、膜厚の均一性が悪く、太陽電池モジュールごとの光電変換効率のばら

10

20

30

40

50

つきが大きかった。そして、導電性基板と高周波導入部間の距離が3mm以上30mm以下の太陽電池モジュールの光電変換効率が優れていた。

【0116】

以上のことより、本発明の半導体素子を含む太陽電池は優れた特性を持つことがわかる。

【0117】

[実施例9]

図2に示した堆積膜形成装置201を用い、図4に示した光起電力素子を形成した。

【0118】

形成の方法は、半導体用真空容器213内の圧力を表12に示すように変えながら行い、それ以外は実施例2-2と同様の方法で行なった。形成した帯状の光起電力素子を36cm×22cmの太陽電池モジュールに加工した。

【0119】

以上のようにして作成した太陽電池モジュールの光電変換効率をソーラーシミュレーター（AM1.5、100mW/cm²）を用いて測定した。また碁盤目テープ法（切り傷の隙間間隔1mm、ます目の数100）を用いて導電性基板と半導体層との間の密着性を調べた。またあらかじめ初期光電変換効率を測定しておいた太陽電池モジュールを、温度85℃、湿度85%の暗所に設置し30分保持、その後70分かけて温度-20℃まで下げ30分保持、再び70分かけて温度85℃湿度85%まで戻す、このサイクルを100回繰り返し、その後再度光電変換効率を測定し、温湿度試験による光電変換効率の変化を調べた。これらの結果を表12に示す。

【0120】

表12より、半導体形成容器213内の圧力が、90Pa以上15000Pa以下で作製した光起電力素子を含む太陽電池モジュールは、光電変換効率、はがれ試験、温湿度試験、の各項目ですぐれており、特に、100Pa以上5000Pa以下で作製した光起電力素子を含む太陽電池モジュールは、特にはがれ試験に優れた特長を持つことがわかる。以上のことから本発明の半導体素子を含む太陽電池モジュールは、優れた特長を持つことがわかる。

【0121】

[実施例10]

図2に示した堆積膜形成装置201を用い、図4に示した光起電力素子を形成した。

【0122】

形成の方法は、半導体用真空容器212、213内の滞留時間を表13に示すように変えながら行い、それ以外は実施例2-2と同様の方法で行なった。形成した帯状の光起電力素子を36cm×22cmの太陽電池モジュールに加工した。

【0123】

表13より、半導体形成容器212内の滞留時間が、0.1秒以上10秒以下で作製した光起電力素子を含む太陽電池モジュールは、光電変換効率、はがれ試験、温湿度試験、光劣化率の各項目ですぐれており、特に、0.2秒以上3.0秒以下で作製した光起電力素子を含む太陽電池モジュールは、特にはがれ試験に優れた特長を持つことがわかる。以上のことから本発明の半導体素子を含む太陽電池モジュールは、優れた特長を持つことがわかる。

【0124】

[実施例11]

図2に示した堆積膜形成装置201を用い、以下の手順で図5に示した光起電力素子を形成した。図7は本発明のシリコン系薄膜を有する光起電力素子の一例を示す模式的な断面図である。図中、図1と同様の部材には同じ符号を付して説明を省略する。この光起電力素子の半導体層は、アモルファスn型半導体層102-1A、102-4、微結晶i型半導体層102-2A、アモルファスi型半導体層102-5。非晶質シリコン層102-10と微結晶p型半導体層102-3A、102-6とからなっている。すなわち、この光起電力素子はいわゆるpinpin型ダブルセル光起電力素子である。

【0125】

実施例1と同様に、帯状の導電性基板204を作成し、堆積膜形成装置201に装着し、

10

20

30

40

50

基板送り出し容器202、半導体形成用真空容器211、212、213、214、215、216、217、218、基板巻き取り容器203を不図示の真空ポンプからなる真空排気系により、 $6.7 \times 10^{-4} \text{ Pa}$ ($5 \times 10^{-6} \text{ Torr}$) 以下まで十分に真空排気した。

【0126】

次に、真空排気系を作動させつつ、半導体形成用真空容器211～218へガス導入管231～238から原料ガス及び希釈ガスを供給した。ここで半導体形成用真空容器212、213内の放電室は、長手方向の長さが1m、横幅は50cmのものをを用いた。また不図示の各ゲートガス供給管から、各ガスゲートにゲートガスとして500sccmの H_2 ガスを供給した。この状態で真空排気系の排気能力を調整して、半導体形成用真空容器211～216内の圧力を所定の圧力に調整した。形成条件は半導体形成用真空容器211から215に関しては実施例2-2と同様の方法で行い、半導体形成用真空容器216～218に関しては表14に示す通りである。

10

【0127】

半導体形成用真空容器211～218内の圧力が安定したところで、基板送り出し容器202から基板巻き取り容器203の方向に、導電性基板204の移動を開始した。

【0128】

次に、半導体形成用真空容器211～218内の高周波導入部241～248に高周波電源251～258より高周波を導入し、半導体形成用真空容器211～218内の堆積室内にグロー放電を生起し、導電性基板204上に、アモルファスn型半導体層(膜厚30nm)、微結晶i型半導体層(膜厚2.0 μm)、微結晶p型半導体層(膜厚10nm)、アモルファスn型半導体層(膜厚30nm)、アモルファスi型半導体層(膜厚300nm)、微結晶p型半導体層(膜厚10nm)を形成し光起電力素子を形成した。ここで微結晶i型半導体層のうち、半導体形成用真空容器212内で10nm形成した。ここで、半導体形成用真空容器211、216には周波数13.56MHz、パワー密度5mW/cm³の高周波電力をAl製の金属電極からなる高周波導入部241、246から、半導体形成用真空容器212には、周波数60MHzの高周波を、パワー密度が400mW/cm³になるように調整しながらAl製の金属電極からなる高周波導入部242から、半導体形成用真空容器213には、周波数60MHzの高周波を、パワー密度が300mW/cm³になるように調整しながらAl製の金属電極からなる高周波導入部243から、半導体形成用真空容器214、217には、周波数100MHzの高周波を、パワー密度が100mW/cm³になるように調整しながらAl製の金属電極からなる高周波導入部244、247から、半導体形成用真空容器215、218には周波数13.56MHz、パワー密度30mW/cm³の高周波電力をAl製の金属電極からなる高周波導入部245、248から導入した。次に不図示の連続モジュール化装置を用いて、形成した帯状の光起電力素子を36cm×22cmの太陽電池モジュールに加工した。

20

30

【0129】

以上のようにして作成した太陽電池モジュールの光電変換効率をソーラーシミュレーター(AM1.5、100mW/cm²)を用いて測定したところ、実施例2-2におけるシングルの太陽電池モジュールに比べて光電変換効率の値は1.2倍を示した。またはがれ試験、温湿度試験においても良好な結果を示し、以上のことから、本発明の半導体素子を含む太陽電池モジュールは優れた特長を持つことがわかる。

40

【0130】

[実施例12]

以下の手順で逆スタガー型のTFETを形成した。図8は本発明の半導体素子を有する逆スタガー型のTFETの一例を示す模式的な断面図である。絶縁性の基板としてガラス基板301を用い、この上にゲート電極302が形成され、さらにゲート絶縁膜303、アンドープのシリコン層からなる活性層304、活性層304上のソース、ドレイン領域に低抵抗のn⁺型非晶質シリコンからなるオーミックコンタクト層305、さらにソース、ドレイン電極306が形成される構成からなる。

【0131】

50

まずガラス基板301上に、スパッタ法によりMo-Ta合金膜層を形成し、パターニングしてゲート電極302を形成した。つぎにCVD法により、シリコン酸化膜からなるゲート絶縁膜303を形成した。その後、図2の半導体形成用真空容器212内にガラス基板をセットして、実施例1の(100)面に優先配向したシリコン系薄膜を15nm形成し、次に半導体形成用真空容器213内にガラス基板をセットして、実施例1の(110)面に優先配向したシリコン系薄膜を65nm形成し、あわせて80nmの活性層304を形成した。次に半導体形成用真空容器211内にガラス基板をセットしてn⁺型非晶質シリコンからなるオーミックコンタクト層305を堆積し、リソグラフィ工程を経てパターニングした。さらに、金属膜の形成とパターニングを行なって、ソース、ドレイン電極306を形成した。最後に、CF₄とO₂の混合ガスを用いてソース、ドレイン電極306間に露出しているオーミックコンタクト層305をエッチングして、TFETを形成した(実施例12)。

10

【0132】

活性層304を非晶質シリコン層で80nm形成した以外は実施例12と同様の方法でTFETを形成した(比較例12-1)。

【0133】

活性層304を(100)面に優先配向したシリコン系薄膜のみで80nm形成した以外は実施例12と同様の方法でTFETを形成した(比較例12-2)。

【0134】

実施例12のTFETは、オーミックコンタクト層305のエッチングを行なったときに活性層304の過剰エッチングは起こらなかったが、比較例のTFETでは過剰エッチングが起こり活性層の薄膜化、膜厚の不均一化が起こった。特に比較例12-1のTFETでは過剰エッチングが大きく起こった。またエッチングダメージにより、活性層中にリークパスが発生し、オフ電流の値が実施例12と比較して大きくなった。

20

【0135】

以上のことから、本発明の半導体素子を含むTFETは優れた特長を持つことがわかる。

【0136】

【発明の効果】

シリコン系薄膜からなる半導体接合を有する半導体素子において、前記シリコン系薄膜の少なくともひとつが微結晶を含んでおり、前記微結晶を含んだシリコン系薄膜中の前記微結晶の配向性が、前記微結晶を含んだシリコン系薄膜中の膜厚方向で変化することを特徴とした半導体素子では、良好な電気特性をもち、密着性、耐環境性に優れた半導体素子を、低コストで形成することができる。

30

【0137】

【表1】

211の形成条件	原料ガス	SiH ₄ :20cm ³ /min(normal) H ₂ :100cm ³ /min(normal) PH ₃ (H ₂ で2%に希釈):30cm ³ /min(normal)
	基板温度	300℃
	圧力	133Pa(1.0Torr)
212の形成条件	原料ガス	SiF ₄ :H ₂ =10:1 τ=0.3秒
	基板温度	300℃
	圧力	200Pa(1.5Torr)
213の形成条件	原料ガス	SiH ₄ :SiF ₄ :H ₂ =1:5:15 τ=0.4秒
	基板温度	350℃
	圧力	200Pa(1.5Torr)
215の形成条件	原料ガス	SiH ₄ :10cm ³ /min(normal) H ₂ :800cm ³ /min(normal) BF ₃ (H ₂ で2%に希釈):100cm ³ /min(normal)
	基板温度	200℃
	圧力	160Pa(1.2Torr)

40

【0138】

50

【表 2】

	比較例 1-3	実施例 1-1	実施例 1-2	実施例 1-3	実施例 1-4
212 内で形成した膜厚 (nm)	0	1.0	10	20	50
光電変換効率	1	1.30	1.35	1.32	1.10
はがれ試験	△	◎	◎	◎	○

光電変換効率は、比較例1-3の値を1に規格化したもの。

はがれ試験は、剥れたます目の数が◎0、○1～2、△3～10、×10～100を意味する

【0 1 3 9】

【表 3】

2 1 4 の形成条件	原料ガス	SiH ₄ : 200cm ³ /min (normal) H ₂ : 1000cm ³ /min (normal)
	基板温度	300℃
	圧力	1000Pa (7.5Torr)

【0 1 4 0】

【表 4】

	実施例 2-1	実施例 2-2	実施例 2-3	実施例 2-4
214 内で形成した膜厚 (nm)	0	10	30	50
光電変換効率	1	1.10	1.15	1.15
光劣化率	1	1.05	1.05	1.20

光電変換効率、光劣化率は実施例2-1の値を1に規格化したもの。

【0 1 4 1】

【表 5】

SiF ₄ ガス (実施例3-1)	酸素 0.1ppm 導入 SiF ₄
SiF ₄ ガス (実施例3-2)	酸素 0.3ppm 導入 SiF ₄
SiF ₄ ガス (実施例3-3)	酸素 0.7ppm 導入 SiF ₄
SiF ₄ ガス (実施例3-4)	酸素 1.0ppm 導入 SiF ₄

【0 1 4 2】

【表 6】

	実施例 1-2	実施例 3-1	実施例 3-2	実施例 3-3	実施例 3-4
薄膜中の酸素濃度 (atoms/cm ³)	1.0×10 ¹⁸	1.5×10 ¹⁸	7.0×10 ¹⁸	5.0×10 ¹⁹	7.0×10 ¹⁹
初期光電変換効率	1	1.10	1.15	1.15	1.05
温湿度試験による光電変換効率 の変化 (試験後の効率/初期効率)	0.95	1.0	1.0	1.0	0.95

【0 1 4 3】

【表 7】

10

20

30

40

	実施例 4-1	実施例 4-2	実施例 4-3	実施例 4-4	実施例 4-5
213 の原料ガス SiH ₄ : SiF ₄ : H ₂ τ (秒)	1:1:15 0.8 秒	1:2:15 0.8 秒	1:3:15 0.8 秒	1:4:15 0.8 秒	1:5:15 0.8 秒
薄膜中のフッ素濃度 (atoms/cm ³)	7.5×10 ¹⁸	1.0×10 ¹⁹	8.0×10 ¹⁶	2.5×10 ²⁰	5.0×10 ²⁰
初期光電変換効率	1	1.15	1.20	1.15	1.05
温湿度試験による光電変換効率 の変化 (試験後の効率 / 初期効率)	0.95	1.0	1.0	1.0	0.98

10

【0144】

【表8】

213 の形成条件	原料ガス	成膜開始時 : SiH ₄ : SiF ₄ : H ₂ =1 : 3 : 10、τ=0.4 秒 成膜終了時 : SiH ₄ : SiF ₄ : H ₂ =1 : 5 : 15、τ=0.4 秒
	基板温度	350℃
	圧力	200Pa (1.5Torr)

【0145】

【表9】

213 の形成条件	原料ガス	233-1 : SiH ₄ : SiF ₄ : H ₂ =1 : 3 : 10 233-2 : SiF ₄ : H ₂ =1 : 4 τ=0.4 秒
	基板温度	350℃
	圧力	200Pa (1.5Torr)

20

【0146】

【表10】

213 の形成条件	原料ガス	SiH ₄ : SiF ₄ : H ₂ =1 : 5 : 15 τ=0.4 秒
	基板温度	350℃(成膜開始時)→250℃ (成膜終了時)
	圧力	200Pa (1.5Torr)

30

【0147】

【表11】

導電性基板と高周波導入部 間の距離 (mm)	2	3	6	9	15	30	50
光電変換効率	—	1	1.05	1.10	1.15	1.10	0.7

それぞれの値は、導電性基板と高周波導入部間の距離3mmのときの値を1に規格化したもの。

40

【0148】

【表12】

半導体形成容器 内の圧力 (Pa)	213	50	90	100	1000	5000	10000	15000	20000
光電変換効率		1	1.25	1.40	1.45	1.50	1.45	1.40	0.9
はがれ試験		×	○	◎	◎	◎	○	○	△
温湿度試験		0.70	0.90	1.0	1.0	1.0	0.95	0.9	0.75

光電変換効率は、半導体形成容器213内の圧力が50 Pa のときの値を1に規格化した値

50

はがれ試験は、剥れたます目の数が◎0、○1～2、△3～10、×10～100を意味する
 温湿度試験は、（試験後の光電変換効率）／（試験前の光電変換効率）の値

【0149】

【表13】

半導体形成容器 212、 213 内の滞留時間 (秒)	0.008	0.01	0.1	1.0	3.0	10	15
光電変換効率	1	1.50	1.55	1.60	1.50	1.35	0.80
はがれ試験	△	○	◎	◎	◎	○	×
温湿度試験	0.7	0.9	1.0	1.0	1.0	1.0	0.7

10

光電変換効率は、半導体形成容器212、213内の滞留時間が0.008秒のときの値を1に規格化した値

はがれ試験は、剥れたます目の数が◎0、○1～2、△3～10、×10～100を意味する
 温湿度試験は、（試験後の光電変換効率）／（試験前の光電変換効率）の値

【0150】

【表14】

216の形成条件	原料ガス	SiH ₄ : 20cm ³ /min (normal) H ₂ : 100cm ³ /min (normal) PH ₃ (H ₂ で2%に希釈) : 50cm ³ /min (normal)
	基板温度	300℃
	圧力	133Pa (1.0Torr)
217の形成条件	原料ガス	SiH ₄ : 300cm ³ /min (normal) H ₂ : 4000cm ³ /min (normal)
	基板温度	300℃
	圧力	1500Pa (11.3Torr)
218の形成条件	原料ガス	SiH ₄ : 10cm ³ /min (normal) H ₂ : 800cm ³ /min (normal) BF ₃ (H ₂ で2%に希釈) : 100cm ³ /min (normal)
	基板温度	200℃
	圧力	160Pa (1.2Torr)

20

30

【図面の簡単な説明】

【図1】本発明の半導体素子を含む光起電力素子の一例を示す模式的な断面図である。

【図2】本発明の半導体素子及び光起電力素子を製造する堆積膜形成装置の一例を示す模式的な断面図である。

【図3】本発明の半導体素子を含む半導体層の一例を示す模式的な断面図である。

【図4】本発明の半導体素子を含む光起電力素子の一例を示す模式的な断面図である。

【図5】本発明の半導体素子を含む光起電力素子の一例を示す模式的な断面図である。

【図6】本発明の半導体素子及び光起電力素子を製造する堆積膜形成装置の一例を示す模式的な断面図である。

【図7】本発明の半導体素子を含む光起電力素子の一例を示す模式的な断面図である。

40

【図8】本発明の半導体素子を含むTFTの一例を示す模式的な断面図である。

（符号の説明）

101 基板、

101-1 基体、

101-2 金属層、

101-3 第一の透明導電層、

102 半導体層、

102-1 第一の導電型を示す半導体層、

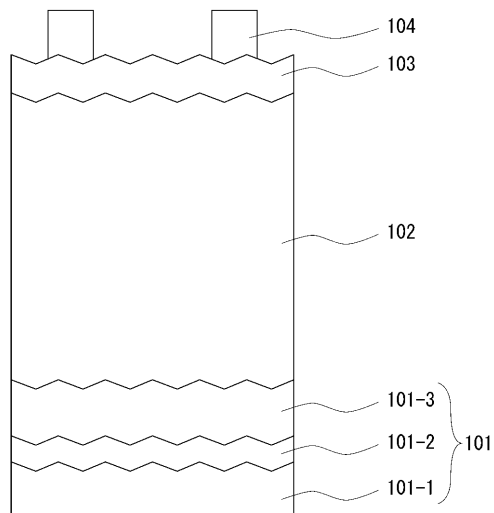
102-1A アモルファスn型半導体層、

102-2 i型半導体層、

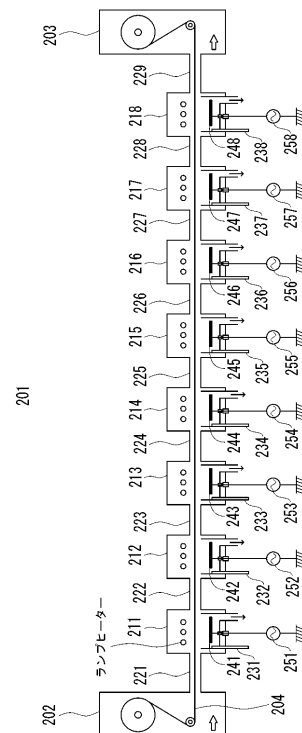
50

- 102-2A 微結晶 i 型半導体層、
- 102-3 第二の導電型を示す半導体層、
- 102-3A 微結晶 p 型半導体層、
- 102-4 アモルファス n 型半導体層、
- 102-5 アモルファス i 型半導体層、
- 102-6 微結晶 p 型半導体層、
- 102-10 非晶質シリコン層、
- 103 透明電極、
- 104 集電電極、
- 201 堆積膜形成装置、
- 202 基板送り出し容器、
- 203 基板巻き取り容器、
- 204 導電性基板、
- 211～218 半導体形成用真空容器、
- 221～229 ガスゲート、
- 231～238 ガス導入管、
- 233-1、233-2 ガス導入管、
- 241～248 高周波導入部、
- 251～258 高周波電源、
- 301 ガラス基板、
- 302 ゲート電極、
- 303 ゲート絶縁膜、
- 304 活性層、
- 305 オーミックコンタクト層、
- 306 ソース、ドレイン電極。

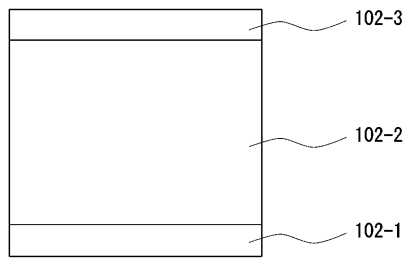
【図 1】



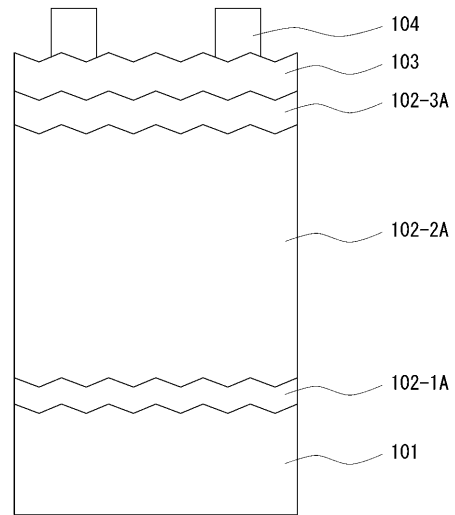
【図 2】



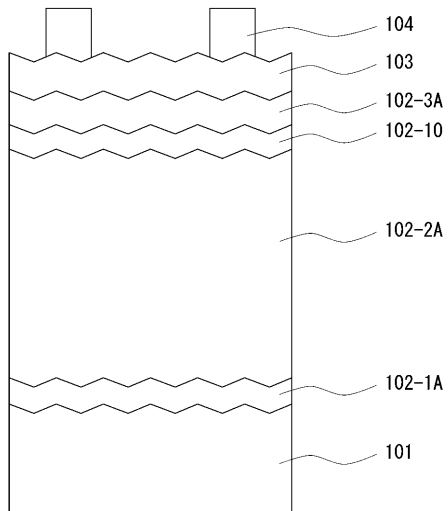
【図 3】



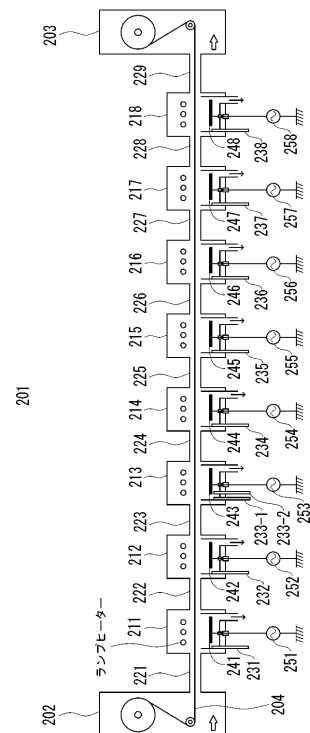
【図 4】



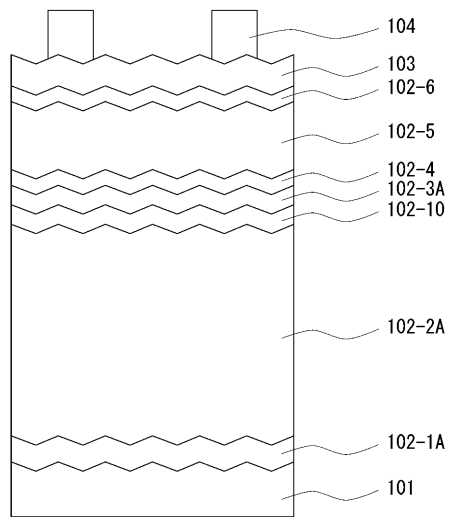
【図 5】



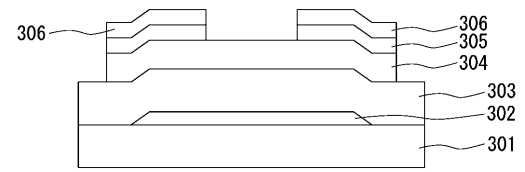
【図 6】



【図 7】



【図 8】



フロントページの続き

- (72)発明者 林 享
東京都大田区下丸子3丁目30番2号キャノン株式会社内
- (72)発明者 酒井 明
東京都大田区下丸子3丁目30番2号キャノン株式会社内
- (72)発明者 岡部 正太郎
東京都大田区下丸子3丁目30番2号キャノン株式会社内
- (72)発明者 杉山 秀一郎
東京都大田区下丸子3丁目30番2号キャノン株式会社内

審査官 吉野 三寛

- (56)参考文献 特開平07-315826 (JP, A)
(ニューサンシャイン計画)平成11年度新エネルギー・産業技術総合開発機構 委託業務成果
報告書,太陽光発電システム実用化技術開発,平成12年3月,pp.26-32
第47回応用物理学会関係連合講演会講演予稿集,30p-ZF-9,pp.68

- (58)調査した分野(Int.Cl., DB名)
H01L 31/04-31/06
H01L 21/205
H01L 29/78