

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G11C 8/16 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년08월08일 10-0610006 2006년08월01일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2004-0031360 2004년05월04일	(65) 공개번호 (43) 공개일자	10-2005-0106582 2005년11월10일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자	삼성전자주식회사 경기도 수원시 영통구 매탄동 416
(72) 발명자	서영호 경기도수원시권선구운동890LD코오롱아파트108동801호
(74) 대리인	김능균

심사관 : 윤난영

(54) 호스트 시스템의 다중동작 지원에 적합한 메모리 구조를 갖는 반도체 메모리 장치

요약

호스트 시스템의 다중동작 지원에 적합한 메모리 구조를 갖는 램(RAM)등과 같은 고속 반도체 메모리 장치가 개시되어 있다. 그러한, 반도체 메모리 장치는, 복수의 메모리 셀로 이루어진 셀 어레이 블록을 복수로 가지는 메모리 셀 어레이와; 인가되는 명령에 응답하여, 상기 메모리 셀 어레이를, 각기 하나이상의 셀 어레이 블록으로 이루어지고 각기 독립적인 데이터 액세스 동작 모드를 갖는 복수의 메모리 플레인으로 동작적으로 분할하기 위한 메모리 플레인 설정부를 구비함에 의해, 하나의 메모리 셀 어레이가 복수의 메모리 플레인으로 동작적으로 분할되어, 각 메모리 플레인에 대한 데이터 액세스 동작이 별개의 메모리 제품처럼 수행되도록 하는 효과가 있다.

대표도

도 2

색인어

반도체 메모리 장치, 하이퍼-쓰레딩, 멀티 타스킹 동작, 메모리 어레이 분할

명세서

도면의 간단한 설명

도 1은 종래 기술에 따른 반도체 메모리 장치의 개략적 회로 블록도

도 2는 본 발명의 일 실시 예에 따른 반도체 메모리 장치의 개략적 회로 블록도

도 3은 도 2의 반도체 메모리 장치에 따른 리드동작 관련 예시적 타이밍도

도 4는 도 2중 플레인 정의 로직부의 구현 예를 보인 회로도

도 5는 도 2중 스위치 소자의 구현 예를 보인 회로도

도 6은 도 2중 블록 선택 패스 형성부의 구현 예를 보인 회로도

도 7a 및 도 7b는 도 2중 로우/컬럼 디코딩 패스 형성부의 구현 예를 각기 보인 도면들

도 8은 본 발명의 또 다른 실시예에 따라 도 2중 리드/라이트 패스 형성부에 대한 변경 예를 보인 도면

도 9는 도 8의 동작 실시예에 따른 타이밍도

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치에 관한 것으로, 특히 램(RAM)등과 같은 고속 반도체 메모리 장치에 관한 것이다.

본 분야에서 널리 알려진 바와 같이, RAM(Random Access Memory) 등과 같은 반도체 메모리 장치는 다양한 전자적 응용 시스템(system)에 탑재되어 데이터를 스토어하는 기능을 수행한다. 예컨대, S(static)RAM은 CPU, DSP(Digital Signal Processor)등과 같이 마스터(master)역할을 하는 호스트 시스템과, 슬레이브(slave)역할을 하는 각종 주변기기간에 송수신되는 데이터를 임시적으로 저장하거나, 전자적 시스템의 처리속도를 향상시키기 위해 상기 호스트 시스템에서 필요로 하는 데이터를 임시적으로 저장하는 역할을 한다. 따라서, 상기 SRAM은 버퍼(buffer)메모리나 캐쉬(cache)메모리로서 흔히 사용된다. 한편, D(dynamic)RAM은, 상기 호스트 시스템의 명령에 따라 각종 오퍼레이팅 시스템 프로그램(OS program)을 임시적으로 저장하거나, 상기 호스트 시스템과 상기 SRAM간에, 또는 하드디스크 등과 같은 데이터 스토리지(storage) 소자와 상기 SRAM 간에 송수신되는 데이터를 임시적으로 저장하는 기능을 한다. 따라서, 상기 DRAM은 메인 메모리로서의 흔히 사용된다.

전자적 시스템 사용자들의 다양한 요구에 부응하여, 호스트 시스템 내에는 복수의 프로세서 모듈이 탑재되기 때문에, RAM 제품들은 호스트 시스템이 수행하는 다양한 데이터 처리 방식과 요구 성능에 지속적으로 최적화될 필요성이 있다. 그러나, 유감스럽게도 휴대용 전화기, 노트북 컴퓨터, 또는 PDA등과 같은 휴대용 전자 응용 시스템에서는 상기 프로세서 모듈별로 각기 대응되는 전용 RAM 제품을 탑재하는 것이 사실상 어렵게 된다. 그러므로, 통상의 휴대용 전자 응용 시스템에서는 단일 RAM 제품 혹은 허용 가능한 범위 내에서 소수의 RAM 제품이 채용되어진다. 따라서, 채용된 RAM 제품은 호스트 시스템 내의 프로세서 모듈에 최적화되어 있지 못하다.

최근에, 상기 휴대용 전자 응용 시스템에서도 멀티미디어(multimedia)환경이 급속도로 발전되고 있으므로, 전송되는 데이터의 종류도 다양할 뿐만 아니라 처리되어야 할 데이터 용량도 급격하게 증가되고 있다. 예를 들어, 멀티미디어 정보를 처리하면서 대량의 데이터를 송수신해야 할 경우에, 호스트 시스템은 CPU와 DSP가 함께 구성된 이른바 듀얼 코어 아키텍처(dual-core architecture)를 갖는다. 여기서, 상기 CPU는 일반적인 데이터의 고속처리를 위한 프로세서 모듈이고, 상기 DSP는 동영상 데이터 등과 같은 멀티미디어 정보를 전달 처리하기 위한 프로세서 모듈이다. 듀얼 코어 아키텍처의 경우에, 상기 CPU의 데이터 처리를 지원하는데 보다 적합한 RAM은 버스트(burst)동작 모드를 갖는 메모리이고, 상기 DSP의 멀티미디어 데이터 프로세싱을 지원하는데 보다 적합한 RAM은 랜덤 액세스 동작 모드를 갖는 메모리이다. 왜냐하면, 상기 CPU는 일반적인 데이터의 고속처리를 위한 프로세서 모듈이기 때문에, 규정된 대형 정보 단위(packet, page...)의 데이터를 빠르게 처리하기 위해 설정된 정보 단위 내에서는 외부 어드레스 입력 없이도 연속적으로 데이터를 입출력할 수 있는 버스트 동작 모드를 선호한다. 반면에, 상기 DSP는 동영상 데이터 등과 같이 상대적으로 복잡한 연산과정을 거쳐야 하는 멀티미디어 정보를 전달 처리하기 위한 프로세서 모듈이기 때문에, 데이터 선택의 자유도가 상대적으로 떨어지는 버스트 동작 모드보다는 랜덤 액세스 동작 모드를 선호한다.

이와 같이, 상기 호스트 시스템이 듀얼 코어 아키텍처를 가진다고 하더라도, 데이터를 저장하는 RAM이 하나만 탑재되어 있는 경우에는 CPU와 DSP에서 요구되는 데이터 처리동작이 상기 RAM에서 순차적으로 수행되기 때문에, 동시에 데이터를 병렬로 처리하는 다중동작(hyper-threading operation)이 불가능하게 된다. 따라서, 전자적 시스템의 전체 성능이 저하되므로, 시스템 설계자의 의도대로 전자적 시스템의 성능을 개선시키는 것이 사실상 어렵게 된다. 만약, 각각의 프로세서 모듈에 각기 적합한 RAM 제품을 복수 개로 탑재하는 경우에 시스템의 성능은 향상될 수는 있으나, 메모리 제품의 탑재 개수 증가에 따른 시스템 가격 상승, RAM 칩의 개수 증가에 수반되는 전력 소모증가, 및 시스템의 소형화의 어려움 등과 같은 문제점이 초래된다. 특히, 휴대용 전자 응용 시스템의 경우에 전력소모 및 소형화 이슈는 매우 크리티컬하므로 호스트 시스템 내의 각 프로세서 모듈에 대응하여 전용 RAM을 복수로 탑재하는 것은 매우 어려운 일임에 틀림없다.

한편, SRAM에서 전류 소모 감소 및 동작속도 개선을 위하여 분할된 워드라인 구조를 갖는 종래의 기술의 예는 도 1에 도시되어 있다. 도 1은 "Divided Word-Line Structure in the Static RAM" 이라는 제목으로 1983년 10월 논문지 「IEEE Journal of solid-state circuits(JSSC) VOL. SC-18 No.9」에 개시되어 있다.

종래의 반도체 메모리 장치의 메모리 셀 어레이 분할 기술을 보여주는 도 1을 참조하면, 메모리 셀 어레이(10)내의 선택된 메모리 셀에 데이터를 라이트하거나 메모리 셀 어레이(10)내의 선택된 메모리 셀로부터 데이터를 리드하기 위하여, 로우 어드레스 버퍼(6), 컬럼 어드레스 버퍼(2), 블록 셀렉터(4), 로우 디코더(8), 컬럼 디코더들(12,13), 리드/라이트 회로들(16,17), 및 데이터 입출력 버퍼(20)를 포함하는 회로블록들의 연결구성이 나타나 있다.

도면 내에서, 상기 메모리 셀 어레이(10)는 8개의 셀 어레이 블록(10a-10h)으로 나뉘어져 있고, 각기 하나의 셀 어레이 블록은 I/O 1부터 I/O 8까지에 대응적으로 연결되어 있다. 상기한 도 1의 구조에서는 로우 어드레스 버퍼(6)에 인가되는 로우 어드레스에 의해 공통의 로우 디코더(8)가 구동되지만, 8개의 셀 어레이 블록(10a-10h)중 단 하나의 블록만이 선택되므로 선택된 블록의 워드라인만이 구동되어진다. 왜냐하면, 컬럼 어드레스(column address)중 MSB 3bit이 셀 어레이 블록들 중 하나를 선택하는 블록 선택 어드레스로서 할당됨에 의해, 블록 셀렉터(block selector:4)가 선택된 하나의 셀 어레이 블록만을 활성화시키는 설계 구조로 되어 있기 때문이다. 물론, 이 경우에 상기 블록 선택 어드레스는 컬럼 디코더에도 인가되므로 선택된 셀 어레이 블록의 선택된 컬럼만이 구동되어질 수 있다.

상기 도 1의 장치 구성과 같이 선택된 셀 어레이 블록의 워드라인만을 구동시킬 경우, 워드라인의 기생 RC 로딩과 워드라인에 동작적으로 연결되는 메모리 셀의 개수는, 선택되지 않은 셀 어레이 블록의 워드라인 까지도 포함하여 구동시키는 경우에 비해, 셀 어레이 블록의 분할 비 만큼 감소된다. 따라서, 셀 소모전류가 감소되는 이점이 얻어지는 동시에 셀 데이터의 리드 및 라이트 동작 즉 데이터 액세스 동작 속도가 빨라지는 장점이 획득된다.

그렇지만, 도 1과 같은 반도체 메모리 장치는 블록 셀렉터(4)에 의해 하나의 셀 어레이 블록만이 순차적으로 선택되는 구조이므로, 분할된 각각의 셀 어레이 블록이 동시에 구동되지 못한다. 만약, 분할된 셀 어레이 블록들이 동시에 구동되어진다고 가정하더라도 리드/라이트 회로들(16,17)과 데이터 입출력 버퍼(20)간의 데이터 버스(DBUS)가 와이어드 오아(wired-or)구조를 가지기 때문에, 동시에 서로 다른 셀 어레이 블록에 대한 데이터 액세스 동작이 수행되지 못한다. 더구나, 메모리 셀 어레이(10)의 블록 사이즈 분할이 칩 설계시 일단 결정되면, 웨이퍼 제조레벨 이후에서는 원칩(one-chip) 내에서 사이즈 분할은 변경되지 못한다.

따라서, 도 1과 같은 RAM이 상기한 바와 같은 듀얼 코어 아키텍처용 메모리로서 탑재될 경우에도, 상기 다중동작(hyper-threading operation)을 지원하는 메모리로서의 역할이 실질적으로 수행되기 어렵다.

바람직하게는, 동시 다중동작의 지원을 위한 메모리를 제공하기 위하여 원칩 내의 메모리 셀 어레이를 동작적으로 가변 분할하여 복수의 메모리 칩이 탑재된 것과 같은 효과를 낼 수 있는 새롭고도 고상한 반도체 메모리 장치의 설계가 강력히 요망된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 상기한 종래의 문제점들을 해결할 수 있는 반도체 메모리 장치를 제공함에 있다.

본 발명의 다른 목적은 호스트 시스템의 다중동작 지원에 적합한 메모리 구조를 갖는 반도체 메모리 장치를 제공함에 있다.

본 발명의 또 다른 목적은 하나의 칩에 존재하는 메모리 셀 어레이 내에서 프로그래머블하게 분할된 메모리 영역들을 동작적으로 가짐에 의해 서로 다른 동작 모드로 동시에 데이터 액세스 동작을 행할 수 있는 반도체 메모리 장치를 제공함에 있다.

본 발명의 또 다른 목적은 원칩 내에서 메모리 사이즈 변경이 가능한 복수의 메모리로서 기능할 수 있는 반도체 메모리 장치를 제공함에 있다.

본 발명의 또 다른 목적은 하나의 메모리 셀 어레이 내에서 프로그래머블하게 분할된 메모리 영역들을 가짐에 의해 서로 다른 동작 모드로 동시에 데이터 액세스 동작을 행할 수 있는 반도체 메모리 장치를 제공함에 있다.

본 발명의 또 다른 목적은 휴대용 전자 응용 시스템에 적합하게 채용될 수 있는 반도체 메모리 장치를 제공함에 있다.

본 발명의 또 다른 목적은 단일 메모리 칩으로 복수의 메모리 칩을 채용한 것과 같은 결과를 초래함에 의해 전자적 시스템의 가격을 다운시킬 수 있는 반도체 메모리 장치를 제공함에 있다.

본 발명의 또 다른 목적은 다수의 메모리 칩을 사용함이 없이 싱글 메모리 칩으로써도 동시 다중동작 지원을 가능케 함에 의해 RAM 칩의 개수 증가에 따른 전력 소모를 획기적으로 감소시킴에 있다.

본 발명의 여전히 다른 목적은 휴대용 전자 응용 시스템의 사이즈 소형화에 제한을 주지 않는 SRAM을 제공함에 있다.

본 발명의 여전히 또 다른 목적도 동시 다중동작의 지원을 위한 메모리를 제공하기 위하여 원칩 내의 메모리 셀 어레이를 동작적으로 가변 분할하여 복수의 메모리 칩이 탑재된 것과 같은 효과를 낼 수 있는 새로운 RAM을 제공함에 있다.

본 발명의 역시 다른 목적은 전자적 시스템에 탑재된 원칩 메모리를 온 보오드 상에서 임의의 메모리 사이즈로 분할하여 복수의 메모리 제품처럼 사용할 수 있는 고상한 방법을 제공함에 있다.

본 발명의 역시 또 다른 목적은 복수의 프로세서 모듈을 갖는 호스트 시스템이 하나의 메모리 칩만을 액세스 하여 데이터의 처리동작을 동시 멀티 타스킹으로 행할 수 있는 RAM 구동 방법을 제공함에 있다.

본 발명의 확연히 다른 목적은 하나의 메모리 셀 어레이 내에서 동작적으로 분할된 제1,2 메모리 플레인들 중 제1 메모리 플레인에 대하여 제1 액세스 동작이 수행될 때, 상기 제2 메모리 플레인에 대하여 상기 제1 액세스 동작과는 독립적으로 제2 액세스 동작이 수행되도록 할 수 있는 방법을 제공함에 있다.

상기한 목적들의 일부를 달성하기 위한 본 발명의 양상(aspect)에 따른 반도체 메모리 장치는, 복수의 메모리 셀로 이루어진 셀 어레이 블록을 복수로 가지는 메모리 셀 어레이와; 인가되는 명령에 응답하여, 상기 메모리 셀 어레이를, 각기 하나 이상의 셀 어레이 블록으로 이루어지고 각기 독립적인 데이터 액세스 동작 모드를 갖는 복수의 메모리 플레인으로 동작적으로 분할하기 위한 메모리 플레인 설정부를 구비한다.

바람직하기로, 상기 메모리 플레인 설정부는, 플레인 정의 명령에 응답하여 상기 메모리 플레인의 분할 정보를 가리키는 설정 데이터를 생성하고 각각의 메모리 플레인에 대한 데이터 액세스 동작이 동시에 독립적으로 수행되어지도록 하기 위한 버스 스위칭 제어신호를 생성하는 플레인 정의 로직부와; 상기 플레인 정의 로직부에 연결되며, 상기 설정 데이터를 수신하여 상기 각 메모리 플레인에 속한 셀 어레이 블록들이 설정된 데이터 액세스 동작에 따라 선택적으로 구동되도록 하기 위한 블록 선택 패스 형성부를 구비한다. 상기 분할된 메모리 플레인에 각기 속해 있는 셀 어레이 블록의 I/O는 메모리 플레인 별로 구분되거나, I/O는 공통으로 할당하고 각 메모리 플레인 별로 데이터의 입출력이 서로 다른 클럭신호에 동기되어 수행되게 할 수 있다. 또한, 상기 분할된 메모리 플레인에 각기 속해 있는 셀 어레이 블록의 I/O를 공통하고 메모리 플레인 별로 데이터의 입출력은 동일한 클럭신호의 라이징 에지와 폴링 에지에 동기하여 수행되도록 할 수 있다.

본 발명의 다른 양상에 따라, 복수의 메모리 셀로 이루어진 셀 어레이 블록을 복수로 가지는 메모리 셀 어레이를 구비한 반도체 메모리 장치의 구동방법은, 상기 메모리 셀 어레이를, 각기 하나 이상의 셀 어레이 블록으로 이루어지고 각기 독립적인 데이터 액세스 동작 모드를 갖는 복수의 메모리 플레인으로 프로그램적으로 분할하여 두고, 상기 분할된 메모리 플레인들에 대한 데이터 액세스 동작이 별개의 메모리 제품에 대한 데이터 액세스 동작처럼 다중으로 한꺼번에 수행되도록 함을 특징으로 한다.

상기한 본 발명의 반도체 메모리 장치 및 구동 방법에 따르면, 하나의 메모리 셀 어레이가 복수의 메모리 플레인으로 동작적으로 분할되어, 각 메모리 플레인에 대한 데이터 역세싱 동작이 별개의 메모리 제품처럼 수행되는 효과가 있다.

발명의 구성 및 작용

이하에서는 본 발명에 따른 반도체 메모리 장치에 대한 바람직한 실시 예가 첨부된 도면들을 참조하여 설명된다. 비록 다른 도면에 표시되어 있더라도 동일 내지 유사한 기능을 수행하는 구성부품들은 동일 내지 유사한 참조부호로서 나타나 있다.

도 2는 본 발명의 실시예에 따른 반도체 메모리 장치의 개략적 회로 블록도이다. 도면을 참조하면, 복수의 셀 어레이 블록으로 이루어진 메모리 셀 어레이(400), 로우/컬럼 디코딩 패스(path)형성부(100,200), 클럭/컨트롤 버퍼(50), 플레인 정의 로직부(60), 블록 선택 패스 형성부(300), 및 리드/라이트 패스 형성부(500)를 포함하는 반도체 메모리 장치의 블록 구성이 보여진다. 도면에서 제1-4 로우디코더(141-144)는 상기 로우 디코딩 패스 형성부(100)에는 구별의 편의상 포함되지 아니한 것으로 도시되었으나, 실질적으로 포함되는 회로블록들이다. 또한, 상기 플레인 정의 로직부(60)와 블록 선택 패스 형성부(300)는 함께 메모리 플레인 설정부로서 기능한다.

도 2의 장치 구조에서는, 칩내에 전체로서 배치된 하나의 메모리 셀 어레이가 8개의 셀 어레이 블록으로 나뉘어져 있는 것은 도 1의 경우와 같으나, 각각의 셀 어레이 블록마다 할당된 I/O의 개수가 도 1의 경우와는 다르다. 즉, 도 1에서는 각기 하나의 셀 어레이 블록이 8개의 서로 다른 I/O단에 연결되는 구조이나, 본 발명의 실시예인 도 2에서는 각기 하나의 셀 어레이 블록이 4개의 서로 다른 I/O단에 연결되는 구조이다. 따라서, 도 2에서는 2개의 셀 어레이 블록이 역세싱될 경우에 8개의 I/O단 모두에서 데이터 입출력 동작이 수행됨을 알 수 있다.

상기 각각의 셀 어레이 블록내에는 행과 열의 매트릭스 형태로 배치된 복수의 메모리 셀이 존재하며, 바람직하기로 메모리 셀은 풀 씨모오스 트랜지스터들로 구성된 6 트랜지스터 타입 SRAM셀일 수 있다.

또한, 도 1의 경우에 8개의 셀 어레이 블록에 하나의 로우 디코더가 배치되어 전체 블록들에 대한 워드라인이 일단 선택되어지고, 블록 셀렉터에 의해 선택된 셀 어레이 블록내의 워드라인만이 최종적으로 선택되어, 선택된 워드라인이 구동되어지는 방식이었으나, 도 2의 경우에는 8개의 셀 어레이 블록에 4개의 로우 디코더가 배치되어 2개의 셀 어레이 블록에 대한 워드라인이 일단 선택되어지고, 2개중 하나의 셀 어레이 블록내의 워드라인만이 블록 셀렉터에 의해 최종적으로 선택되어, 선택된 워드라인에 대한 구동이 이루어지게 된다. 물론, 로우 디코더의 개수를 다르게 설정하여 워드라인 디코딩 방식을 변경할 수 있음은 물론이다.

따라서, 도 2에서는 전체 8개의 셀 어레이 블록을 두 개씩 짝 지워 독립된 4개의 로우 디코더에 대응적으로 연결하고, 각기 하나의 셀 어레이 블록을 총 8개의 I/O단 중 4개의 I/O에 할당 구성한 경우이므로, 동시 선택이 가능한 셀 어레이 블록은 두 개가 된다. 결국, 상기한 경우에 하나의 메모리 셀 어레이 내에서 가상적으로 형성되는 칩의 개수를 가리키는 메모리 플레인은 두 개이고, 분할 가능 경우의 수는 8개 I/O를 모두 사용할 경우라고 가정하면 3가지이다.

물론, 메모리 플레인(plane)의 개수나 분할 가능 경우의 수는 전체 메모리 셀 어레이를 어떠한 방식으로 구성하느냐에 따라 다양하게 변경될 수 있다. 예를 들어, 하나의 셀 어레이 블록에 4개의 I/O를 할당하고, 8개의 셀 어레이 블록에 각기 하나씩 대응되는 로우 디코더를 배치하여 8개의 로우 디코더를 구성하고, 8개의 I/O를 모두 사용할 경우라고 가정하는 경우에는, 메모리 플레인의 수는 2개, 메모리 플레인의 분할 가능 경우의 수는 7이 된다. 결국, 도 2에서, 메모리 플레인의 수를 P, 독립된 로우 디코더에 의해 구별적으로 구동되는 셀 어레이 블록의 수를 B라고 할 경우에, 얻어지는 분할 가능 경우의 수는 공식 $(1) = \{(B-P) + 1\} \times (P-1)!$ 로서 주어진다. 단 여기서, B는 P보다 큰 수로 주어진다.

도 3은 도 2의 반도체 메모리 장치에 따른 리드 동작 관련 타이밍의 예를 보인 것이다. 도 3에서의 타이밍은 다음과 같은 몇가지 사항들이 가정되었다. 즉, 리드 동작을 행하는 반도체 메모리 장치는 클럭에 동기되어 동작을 행하는 동기타입 반도체 메모리 장치이고, 외부 단자로의 출력은 공지의 파이프라인(pipeline)동작을 가진다고 가정한다. 또한, 전체 메모리 셀 어레이를 2개의 메모리 플레인으로 나누어 제1 플레인(PlaneA)은 제1-6 셀 어레이 블록(4a-4f)으로 설정하고, 제2 플레인(PlaneB)은 제7 및 제8 셀 어레이 블록(4g,4h)으로 설정하였다고 가정한다. 그리고, 상기 제1 플레인은 I/O[0:3]을 통하여 버스트(burst)동작 모드 하에서 데이터를 입출력하며, 제 2 플레인은 I/O[4:7]을 통하여 랜덤 액세스(random access) 동작 모드 하에서 데이터를 입출력 한다고 가정한다. 단, 여기서, 버스트 길이(burst length)는 n 사이클이며, 임의 변경 가능함은 물론이다.

상기한 바와 같이 가정된 경우에, 사이클(cycle0)에 선택된 셀 데이터는 도 3에서 보여지는 바와 같이 사이클(cycle1)의 클럭에 동기되어 데이터 출력(Q0)으로서 출력되고, 사이클(cycle1)의 셀 데이터는 사이클(cycle2)의 클럭에 동기되어 데이터 출력(Q1)으로서 출력됨을 알 수 있다. 셀 어레이 블록들로 구성되는 상기 메모리 플레인들의 설정과 I/O 구성 및 동작 방식 등의 정의가 외부 입력(PDI) 등을 통해 지정되면 플레인 정의 로직부(60)에 의해 구현된다. 이에 대한 보다 상세한 설명은 후술될 것이다.

도 2에서는 하나의 칩에 형성된 메모리 셀 어레이(400)가 8개의 셀 어레이 블록(4a-4h)으로 나뉘어져 있다. 또한, 2개의 셀 어레이 블록마다 각기 1개씩의 로우 디코더가 대응적으로 설치되는 구조이다. 따라서, 전체 메모리 셀 어레이(400)에서는 서로 독립된 4개의 로우 디코더가 배치되는 셈이다. 여기서, 각각의 셀 어레이 블록은 8개 I/O 중 4개 I/O와 연결되는 구조로 되어 있다. 따라서, 도 2의 경우에 제공될 수 있는 메모리 플레인의 최대 개수는 2개이며 메모리 플레인에 대한 분할가능 경우의 수는 3이다. 한편, 독립된 로우 디코더에 구동되는 셀 어레이 블록의 수 및 셀 어레이 블록에 대한 I/O 할당수에 따라, 메모리 플레인의 최대 개수와 분할 가능 경우의 수는 얼마든지 변경 가능하다. 이는 전술한 공식 및 설명에 의해서도 명백하다.

상기 클럭/컨트롤 버퍼(50)는 통상의 동기타입 반도체 메모리 장치에 채용되어 있는 회로블록으로서, 클럭들 및 각종 제어 신호를 버퍼링(buffering)하고 신호 처리하는 역할을 수행한다. 상기 클럭/컨트롤 버퍼(50)로부터 출력된 클럭들 및 각종 제어신호는 칩내의 버퍼들 및 제어신호 입력을 필요로 하는 내부 회로블록에 각기 인가된다.

상기 플레인 정의 로직부(plane definition logic part:60)는, 인가되는 플레인 정의 명령(PDI)에 응답하여 복수의 셀 어레이 블록(4a-4h)으로 이루어진 상기 메모리 셀 어레이(400)가 하나 이상의 메모리 플레인으로 분할되도록 하고 각 메모리 플레인에 대한 데이터 액세스 동작이 동시에 독립적으로 수행되어지도록 하는 버스 스위칭 제어신호(eSW0x)를 생성한다.

도 4는 상기 플레인 정의 로직부(60)의 일 구현예를 보여준다. 도면을 참조하면, 3비트(bit)의 플레인 정의 명령(PDI)을 처리하기 위하여 서로의 출력단(Q)과 입력단(D)이 종속적으로 연결된 3개의 플립플롭(flip-flop:61,62,63)과, 상기 플립플롭들(61,62,63)의 각 출력단(Q)으로부터 출력되는 래치 데이터를 디코딩하는 디코더(65)와, 상기 디코더(65)의 출력에 응답하여 상기 스위칭 제어신호(eSW0x)를 생성하는 신호발생기(67)는 상기 플레인 정의 로직부(60)에 포함된다.

도 4의 회로에서는 상기 디코더(65)의 디코딩 출력 데이터 중에서 4종류의 디코딩 출력 데이터 즉, '0xx', '100', '101', '110'만이 상기 신호 발생기(67)에 인가된다. 상기 4종류의 디코딩 출력 데이터는 도 2내의 데이터 버스(DBUS)들에 접속된 3개의 버스 스위치들(SW01, SW02, SW03)을 제어하기 위한 상기 버스 스위칭 제어신호(eSW0x)의 생성에 참여한다.

즉, 플레인 정의 명령(PDI)이 '0xx'로서 인가되면 상기 메모리 셀 어레이(400)는 하나의 메모리 플레인으로 구성되어진다. 이 경우에 도 4의 하단부에 보여지는 상태 테이블에서 보여지는 바와 같이, 상기 버스 스위치(SW02)만 오프(off)되고, 나머지 두 개의 버스 스위치들(SW01, SW03)은 온된다. 이에 따라, 제1-제4 셀 어레이 블록(4a-4d)은 I/O[0:3]에 각기 연결되고, 제5-제8 셀 어레이 블록(4e-4h)은 I/O[4:7]에 각기 연결된다.

플레인 정의 명령(PDI)이 '100'로서 인가된 경우에, 상기 버스 스위치(SW01)만 오프되고, 나머지 버스 스위치들(SW02, SW03)은 온되므로, 두 개의 메모리 플레인이 구성된다. 이 경우에 제1 메모리 플레인은 전체 메모리 셀 어레이(400)의 1/4로 주어지고, 제2 메모리 플레인은 3/4로 주어진다. 즉, 제1 및 제2 셀 어레이 블록(4a, 4b)는 제1 메모리 플레인으로서, 제3 내지 제8 셀 어레이 블록(4c-4h)은 제2 메모리 플레인으로서 설정된다.

플레인 정의 명령(PDI)이 '101'로서 인가된 경우에 버스 스위치(SW03)만 오프되고, 나머지 스위치 소자들은 온 되기 때문에, 상기 '100'의 경우와는 반대로 제1, 2 메모리 플레인이 구성되어진다. 즉, 제1 메모리 플레인이 전체 메모리 셀 어레이(400)의 3/4로 주어지고, 제2 메모리 플레인은 1/4로 설정된다.

플레인 정의 명령(PDI)가 '110'로서 인가되는 경우에는 각기 메모리 셀 어레이의 절반씩 메모리 사이즈를 갖는 제1, 2 메모리 플레인이 얻어진다. 이 경우에는 상기 '0xx'의 경우와 같이 버스 스위치(SW02)만 온된다. 그러나, 실제의 리드/라이트 동작이나 디코딩 패쓰의 동작은 각 메모리 플레인에 대하여 독립적으로 이루어지도록 되어 있다. 이는 관련 회로부에 의해 구현된다.

도 4의 경우는 플레인 정의 명령(PDI)이 3비트로 인가되는 방식이지만, 반도체 메모리 장치의 구성이나 응용에 따라 인가되는 비트 수나 입력 방식은 변경될 수 있다.

상기 도 2에서 사용된 상기 버스 스위치들의 구성 예는 도 5에 도시되어 있다. 도 5를 참조하면, CMOS 패스 게이트(pass gate:PG1)와 인버터(INV1)로 구성된 버스 스위치가 보여진다. 상기 버스 스위치는 상기 버스 스위칭 제어신호(eSW0x)가 논리 레벨 'HIGH'로서 인가되면 스위칭 온된다. 이에 따라 노드 A와 노드 B가 전기적으로 서로 연결되어 데이터나 신호의 전달이 수행된다. 한편, 상기 버스 스위칭 제어신호(eSW0x)가 논리 레벨 'LOW'로서 인가되면 스위칭 오프되어, 노드 A와 노드 B는 전기적으로 절연된다.

도 2에서 보여지는 블록 선택 패스 형성부(300)의 예는 도 6에서 보여진다. 도 6을 참조하면, 블록 선택 패스 형성부(300)는 상기 플레인 정의 로직부(60)로부터 인가되는 디코딩 출력 데이터('0xx', '100', '101', '110'), 컬럼 어드레스내의 블록 선택어드레스(Y0-Y2), 그리고 클럭/콘트롤 버퍼(50)에서 인가되는 버스트 신호(eBurst)를 수신하여, 메모리 셀 어레이(400)내의 셀 어레이 블록들이 설정되는 메모리 플레인에 맞게 동작적으로 분할되도록 하는 셀 블록 선택용 중재기(arbitrator:310)를 포함한다. 또한, 상기 블록 선택 패스 형성부(300)는 제1,2 블록 셀렉터(320,330)와 제1,2 버스트 카운터(340,350)를 포함한다.

상기 중재기(arbitrator:310)는, 상기 디코딩 출력 데이터 중에서 '0xx'가 메모리 플레인 정보로서 인가된 경우에, 상기 제1,2 블록 셀렉터(320,330) 및 제1,2 버스트 카운터(340,350)가 각각 하나의 블록 셀렉터와 버스트 카운터로서 동작적으로 통합되게 한다. 예를 들어, 블록 선택어드레스(Y0-Y2)가 3bit로 주어지면 버스트 동작시 8개의 셀 어레이 블록이 순차적으로 선택되도록 하고, 버스트 동작이든 랜덤 액세스 동작이든지 상관없이 일단 하나의 셀 어레이 블록이 선택되면 다른 셀 어레이 블록은 중첩적으로 선택되지 않도록 한다. 이 경우에, 도 2의 블록 선택 패스 형성부(300)내의 선택 스위치(SW21, SW22)는 상기 중재기(310)와 버스트 명령을 전달하는 클럭/콘트롤 버퍼(50)의 출력에 따라 개폐가 결정되어진다. 예를 들어 상기 '0xx'의 경우, 선택 스위치(SW21, SW22)중 하나는 항상 오프되어, 복수의 블록 셀렉터와 복수의 버스트 카운터는 단수 개로 통합된다. 통합된 이후에 버스트 명령을 수행하는 타이밍에서는 항상 오프된 선택스위치 이외에 나머지 하나의 선택 스위치가 온되어 버스트 카운터의 동작에 의해 셀 어레이 블록이 선택된다. 한편, 랜덤 액세스 타이밍에서는 상기 항상 오프된 선택스위치 이외에 나머지 하나의 스위치마저 오프되어 버스트 카운터는 셀 어레이 블록의 선택에 참여하지 못하게 된다.

한편, 상기 디코딩 출력 데이터가 '100', '101', '110'인 경우에는 각각의 해당 메모리 플레인이 버스트 명령을 수행하는 타이밍에서는 해당 선택 스위치가 온되고 랜덤 액세스 타이밍에서는 오프된다. 즉, 선택스위치(SW21)은 제1 플레인의 동작 모드에 따라, 그리고 선택 스위치(SW22)는 제2 플레인의 동작 모드에 따라 개폐 여부가 결정된다.

상기 중재기(310)는 상기 선택 스위치(SW21과 SW22)의 개폐 즉 스위칭을 제어하는 한편, 도 6내의 내부 회로소자들을 제어하기 위한 제어 데이터도 출력한다. 상기 제어 데이터에 의해, 각 메모리 플레인에 대한 데이터 액세스 동작은 독립적으로 동시에 이루어질 수 있다. 이에 따라, 호스트 시스템의 동시 다중동작의 지원을 위한 메모리 기능이 수행된다.

상기 중재기(310)는 상기 버스트 신호(eBurst)이외에도, 상기 클럭/콘트롤 버퍼(50)로부터 클럭신호(clk)를 수신한다. 도면에서는 간략화를 위해 미도시된 상기 클럭신호(clk)는 신호동기화를 위해 인가되는 것이며, 상기 버스트 신호(eBurst)는 외부 버스트 모드 진입신호(Burst)를 수신하여 버퍼링하는 상기 클럭/콘트롤 버퍼(50)로부터 생성된 신호이다. 상기 중재기(310)로부터 출력되는 제어 데이터(eSWB[1:8] 및 eSWC[1:8])는 도 6의 제1 블록 셀렉터(320)내의 스위치들(SWB[1:8]과 SWC[1:8])을 스위칭하게 위해 사용되는 스위칭 데이터이며, 제어 데이터(eReg[1:4])는 버스트 카운터(340)내의 레지스터들(340a-340h)중에서 사용할 레지스터들의 수를 결정하기 위해 사용되는 레지스터 결정 데이터이다.

상기 디코딩 출력 데이터가 '0xx' 상태로 인가되는 경우에 8개의 셀 어레이 블록이 하나의 메모리 플레인으로 설정된다. 이 경우에는 블록 셀렉터 및 버스트 카운터가 하나로 통합된다. 제1 블록 셀렉터(320)와 제1 버스트 카운터(340)로 통합된 경우라고 하면, 제1 블록 셀렉터(320)내의 스위치 소자(SWB[1:8])와 제1 버스트 카운터(340)내의 스위치 소자(SWC[1:8])은 모두 온이 된다. 한편, 제2 버스트 카운터(350)내의 스위치 소자(SWC[1:8])는 모두 오프된다. 따라서, 하나의 메모리 플레인을 구성하는 8개의 모든 셀 어레이 블록은 각기 대응되는 블록 선택신호(BLK[1:8])에 의해 선택되어진다. 여기서, 제2 버스트 카운터(350)의 출력은, 제2 버스트 카운터(350)내의 스위치 소자(SWC[1:8])가 오프되기 때문에, 상기 블록 선택신호(BLK[1:8])와는 무관하다. 또한 제2 블록 셀렉터(330)내의 스위 소자(SWB[1:8])의 개폐 여부는 상기한 경우에는 아무런 관심 대상이 아니다.

한편, 디코딩 출력 데이터가 '100' 상태로 인가되면, 제1 메모리 플레인은 전체 메모리 셀 어레이의 1/4, 제2 메모리 플레인은 3/4을 차지한다. 이 경우에 상기 제1 블록 셀렉터(320)와 상기 제1 버스트 카운터(340)내의 스위치 소자들(SWB[1:2] 및 SWC[1:2])은 온이되고, 나머지 스위치 소자들(SWB[3:8], SWC[3:8])은 오프가 된다. 한편, 이 경우에 상기 제

2 블록 셀렉터(330)와 상기 제2 버스트 카운터(350)내의 스위치 소자들(SWB[1:2] 및 SWC[1:2])은 오프가 되고, 나머지 스위치 소자들(SWB[3:8], SWC[3:8])은 온이된다. 즉, 제2 블록 셀렉터(330)와 상기 제2 버스트 카운터(350)내의 스위치 소자들은 반대로 동작되는 것이다.

또한, 디코딩 출력 데이터가 '101'인 경우에는, 상기 '100' 경우와 반대로 된다. 즉, 이 경우에 제1 메모리 플레인(320)은 전체 메모리 셀 어레이의 3/4, 제2 메모리 플레인(340)은 1/4로 설정된다. 따라서, 상기 제1 블록 셀렉터(320)와 상기 제1 버스트 카운터(340)내의 스위치 소자들(SWB[1:6] 및 SWC[1:6])은 온이되고, 나머지 스위치 소자들(SWB[7:8], SWC[7:8])은 오프가 된다.

또한, '110' 경우에는 상기 제1 블록 셀렉터(320)와 상기 제1 버스트 카운터(340)내의 스위치 소자들(SWB[1:4] 및 SWC[1:4])은 온이되고, 나머지 스위치 소자들(SWB[5:8], SWC[5:8])은 오프가 된다.

각각의 경우에 마찬가지로 이치이지만, 상기 '101'의 경우를 예를 들면, 이 경우에 제1 버스트 카운터(340)내의 제1-6 레지스터들(340a-340f)만이 사용되기 때문에, 제6 레지스터(340f)의 다음에는 레지스터(Reg7)가 동작되는 것이 아니라 제1 레지스터(Reg1)로 턴어라운드(turnaround)되어져서 동작이 수행된다. 이러한 레지스터의 선택은 상기 중재기(310)의 상기 제어 데이터(eReg[1:4])에 의해 구현된다. 도 6에서는 상기 제어 데이터 중에서 제어 데이터(eReg1)이 선택될 경우, 제1 메모리 플레인에서는 제1 및 제2 레지스터(Reg1, Reg2)만이 턴어라운드되고, 제2 메모리 플레인에서는 제3 레지스터 내지 제8 레지스터(Reg3 내지 Reg8)이 턴어라운드된다. 제어 데이터(eReg2)이 선택될 경우, 제1 메모리 플레인에서는 제1 레지스터 내지 제4 레지스터(Reg1-Reg4)가 턴어라운드되고, 제2 메모리 플레인에서는 제5 레지스터 내지 제8 레지스터(Reg5- Reg8)이 턴어라운드된다. 또한, 제어 데이터(eReg3)이 선택될 경우, 제1 메모리 플레인에서는 제1 레지스터 내지 제6 레지스터(Reg1-Reg6)가 턴어라운드되고, 제2 메모리 플레인에서는 제7 레지스터 및 제8 레지스터(Reg7, Reg8)이 턴어라운드된다. 제어 데이터(eReg4)가 선택될 경우, 제1 메모리 플레인에서는 제1 레지스터 내지 제8 레지스터(Reg1-Reg8)가 턴어라운드되고, 제2 메모리 플레인에서는 레지스터가 사용되지 않는다.

상기 블록 선택 패스 형성부(300)와 상기 플레인 정의 로직부(60)로서 구성된 메모리 플레인 설정부는, 인가되는 명령에 응답하여, 상기 메모리 셀 어레이(400)를, 각기 하나이상의 셀 어레이 블록으로 이루어지고 각기 독립적인 액세스 동작 모드를 갖는 복수의 메모리 플레인으로 동작적으로 분할함을 알 수 있다.

이하에서는 전체적인 회로블록들의 동작 특히, 블록 선택 패스 형성부(300)의 동작을 더욱 철저히 이해하기 위하여, 다시 도 3으로 돌아가서, 동작 타이밍을 참조한다.

외부 입력 신호인 플레인 정의명령(PDI)이 인가되어, 플레인 정의 로직부 (60)가 디코딩 출력 데이터를 '101'로 출력한 경우라고 가정하면, 제1 메모리 플레인(320)은 셀 어레이 블록(4a-4f)으로 설정되어 전체 메모리 셀 어레이의 3/4을 차지한다. 한편, 제2 메모리 플레인(340)은 나머지 셀 어레이 블록(4g, 4h)으로 설정되어 전체 메모리 셀 어레이의 1/4을 차지한다. 또한, 제1 메모리 플레인(320)에 대하여는 n개(n은 2이상의 자연수)의 길이를 갖는 버스트 동작 모드가 설정되고, 제2 메모리 플레인(340)에 대하여는 랜덤 액세스 동작 모드가 설정되는 경우라고 가정하고, 두 개의 동작 모드가 동시에 독립적으로 행해지는 경우가 설명될 것이다.

도 3의 동작 구간 T1 이전에 제1,2 메모리 플레인의 정의에 관련된 모든 회로로직의 초기화가 완료된다. 동작 사이클(cycle0)에서 제1 메모리 플레인(320)에 속하는 셀 어레이 블록(4a)을 선택하는 블록 어드레스 '000'와, 임의의 로우/컬럼 어드레스가 샘플링됨과 동시에 버스트 길이 동작 모드의 시작을 알리는 외부 버스트 신호(Burst)도 논리레벨 'HIGH'로 샘플링된다. 이에 따라, 도 2내의 블록 선택 패스 형성부(300)내의 선택 스위치(SW21)는 온되어, 제1 블록 셀렉터(320)와 제1 버스트 카운터(340)를 동작적으로 연결한다. 이때, 외부 버스트 신호에 의해 발생된 내부 버스트 신호(eBurst)가 상기 동작 사이클(cycle0)의 구간(T1)에서 논리레벨 'HIGH'로 인에이블 된다. 따라서, 도 6내의 제1 블록 셀렉터(320)내의 스위치 소자(SWB[1:6])가 온되어, 클럭에 동기된 블록 어드레스 정보는 노드(BLK'[1-6])에 각기 연결된 래치(L)에 각기 저장됨과 동시에 제1 버스트 카운터(340)내의 제1-제6 레지스터(340a-340f)에 인가된다. 동작 사이클(cycle1)이 시작되기 전에 구간 T1에서 상기 내부 버스트 신호(eBurst)가 논리 레벨 'LOW'로서 디세이블되면, 스위치 소자(SWB[1:6])가 오프된다. 따라서, 또 다른 어드레스 입력에 의해 다음 버스트 동작이 제1 메모리 플레인(320)에 대하여 수행되기 이전까지는 제1 버스트 카운터(340)의 동작에 의해서만 셀 어레이 블록의 선택이 이루어진다.

도 3의 동작을 행하는 도 2의 반도체 메모리 장치는 3-1-1-1 파이프라인(pipeline) 동작을 수행하는 장치, 즉 레이턴시(latency)2를 가지는 장치라고 가정되었으므로, 동작 사이클(cycle1)에서는 직전 사이클(cycle0)에서 액세스된 출력 데이터 Q0[0:3]가 외부 클럭신호(CLK)에 동기되어 I/O[0:3]을 통해 출력된다. 이때, I/O[4:7]의 상태는, 동작 사이클(clock0)이전의 제2 메모리 플레인(340)에 대한 동작 상태가 확인되지 않기 때문에 언노운(unknown)상태를 갖는다. 동작 사이

클(cycle1)에서는 제2 메모리 플레인으로 설정된 셀 어레이 블록 7(4g)을 선택하기 위한 블록 어드레스 '110'와 또 다른 임의의 로우/컬럼 어드레스가 샘플링됨과 동시에 버스트 모드가 아닌 랜덤 액세스 동작임을 가리키는 외부 제어신호 (Burst)가 논리레벨 'LOW'로서 샘플링된다. 따라서, 구간 T2에서는 제1 메모리 플레인에 속하는 셀 어레이 블록은 어느 블록도 선택되지 않으며, 직전의 동작 사이클이 버스트 동작모드이었으므로, 상기 샘플링된 외부의 정보와는 무관하게 제1 메모리 플레인에 대한 리드 동작은 계속된다.

결국, 구간 T2에서 제2 메모리 플레인의 경우에, 도 2내의 블록 선택 패스 형성부(300)내의 선택 스위치(SW22)는 오프되어, 제2 블록 셀렉터(330)와 제2 버스트 카운터(350)는 동작적으로 미연결된다. 그러므로, 셀 어레이 블록 7(4g)의 선택은 제2 블록 셀렉터(330)의 출력(PB22)에 의해 수행된다. 결국, 제2 메모리 플레인에서의 셀 어레이 블록에 대한 선택동작은 상기 내부 신호(eBurst)의 논리상태와는 무관하게 이루어진다.

상기 구간 T2의 다음 구간 T3에서 행해지는 동작 사이클(cycle2)에서는 직전 사이클(cycle1)에서 버스트 모드로 동작된 제1 메모리 플레인의 출력 데이터(Q1[0:3])가 I/O[0:3]을 통해 외부 클럭(CLK)에 동기되어 출력된다. 이와 동시에 본 발명의 일부 목적을 달성하기 위한 매우 중요한 동작이 바로 여기서 일어난다. 즉, 동작 사이클(cycle2)에서 랜덤 액세스 모드로 동작하는 제2 메모리 플레인의 출력 데이터(Q1[4:7])이 I/O[4:7]을 통해 출력됨을 주목하라.

상기 제1 메모리 플레인에 대하여 동작 사이클(cycle1)부터 수행되는 버스트 동작은 새로운 어드레스 입력에 의한 새로운 버스트 모드 동작이 시작되는 동작 사이클(cycle n)까지는 외부 어드레스 입력 없이도 계속적으로 수행될 수 있다. 그러나, 굳이 버스트 길이 n 까지 버스트 동작이 수행되어야 할 필요가 없는 경우에는 버스트 길이 n의 이전이나 이후에 새로운 어드레스에 의한 새로운 버스트 동작이 발생할 수 있다. 그러한 경우에는 그 때까지의 동작 사이클까지만 상기 제1 메모리 플레인에 대한 버스트 모드 동작이 지속된다.

한편, 상기 제2 메모리 플레인에 대한 동작 모드도 랜덤 액세스로 한정되는 것이 아니라, 상기 제2 메모리 플레인에 대한 동작 모드와 동일하게 버스트 동작모드로 설정될 수 있음은 물론이다. 즉, 각각의 메모리 플레인에 대하여 버스트 컨티뉴 동작과 랜덤 액세스 동작이 각기 설정되거나, 버스트 컨티뉴 동작과 버스트 컨티뉴 동작(또는 버스트 시작동작)이 각기 설정될 수 있다.

도 3의 타이밍에서는, 데이터 액세스 동작 중 리드 동작의 경우를 예로 들었으나, 라이트 동작도 역시 같은 방식으로 개개의 메모리 플레인에 대하여 상기의 리드 동작 타이밍과 같이 수행될 수 있다. 또한, 로우/컬럼 디코딩 패스가 플레인 별로 구별되어 있기 때문에 하나의 메모리 플레인에 대하여는 리드 동작이 수행되고 다른 하나의 메모리 플레인에 대하여는 라이트 동작이 수행되도록 할 수 있다. 한편, 메모리 플레인이 세개 이상으로 분할된다고 하더라도 각기 분할된 메모리 플레인을 별개의 메모리 제품처럼 동작시킬 수 있다. 이와 같은 본 발명의 메모리 플레인 분할 방식에 따르면, 메모리 칩 하나만이 시스템에 탑재되더라도 메모리 사용 주체인 호스트는 하나의 메모리 셀 어레이 내에 복수의 메모리 플레인을 임의의 메모리 사이즈만큼 자유롭게 분할하고, 각각의 플레인들에 대한 데이터 액세스가 프로세서 모듈별로 각기 독립적으로 동시에 수행되도록 할 수 있다. 따라서, 다수의 전용 메모리 칩을 프로세서 모듈별로 각기 탑재한 것처럼 다중의 정보처리기가 동시에 수행될 수 있다.

다시 도 3을 참조하면, 사이클(cycle(n))에서 제1 메모리 플레인의 동작 사이클(cycle0)에서 인가된 로우/컬럼 어드레스와는 다른 새로운 로우/컬럼 어드레스가 인가되고, 새로운 버스트 모드 동작이 개시되면, 상기 동작 사이클(cycle0)에서 수행되던 방식과 유사한 일련의 내부 동작을 거쳐 새로운(혹은 같은)블록 어드레스 정보도 6내의 래치(L)에 저장되고, 제1 메모리 플레인의 출력 데이터(Qn[0:3])가 I/O[0:3]을 통해 동작 사이클(cycle(n+1))에 동기되어 출력된다. 하지만, 동작 사이클(cycle(n))에서 제2 메모리 플레인의 셀 어레이 블록에 대하여는 블록 선택이 되지 않았고 버스트 동작도 수행되지 않았으므로, 동작 사이클(cycle(n+1))에 동기되어 출력될 데이터(Qn[4:7])는 존재하지 않는다. 따라서, 이러한 경우, I/O[4:7]은 하이 임피던스(high-Z) 상태로 돌아가든지 아니면 데이터를 출력한 직전 사이클인 동작 사이클(cycle(n))에서의 출력 상태로 유지되도록 제어될 수 있다. 물론, 동작 사이클(cycle(n))에서 제2 메모리 플레인인 버스트 컨티뉴로서 동작되는 상태이면 당연히 동작 사이클(cycle(n+1))에서 I/O[4:7]를 통하여 출력 데이터(Qn[4:7])가 출력된다.

도 7a 및 도 7b는 제1 및 제2 실시예에 따라 각기 구현 가능한 로우/컬럼 디코딩 패스 형성부(100,200)의 구체적 회로도들이다. 로우/컬럼 디코딩 패스 형성부(100,200)는 통상적인 반도체 메모리 장치의 경우와 마찬가지로, 어드레스 버퍼(110,210), 어드레스 레지스터(120,220), 버스트 카운터(130,230)로 구성된다. 여기서, 상기 어드레스 버퍼(110)는 로우 어드레스 버퍼를, 상기 어드레스 버퍼(210)는 컬럼 어드레스 버퍼를 가리킨다.

도 7a를 참조하면, 로우/컬럼용 어드레스 레지스터(120,220)내에 보여지는 스위치 소자들은 버스트 카운터(130,230)의 입력단들과의 스위칭 동작을 담당한다. 도 3의 동작 사이클(cycle0)내에서 어드레스 레지스터(120,220)내의 스위치 소자

(SWXx)는 온이 되어, 제1 메모리 플레인의 버스트 카운터(130,230)의 입력단들에 로우/컬럼 어드레스 레지스터(120,220)의 출력들을 연결한다. 이 경우에 로우/컬럼 어드레스 자체는 메모리 플레인 단위로 나뉘어져 있지 않으므로 도 6내의 중재기(310)의 역할은 필요치 않다. 동작 사이클(cycle1)구간의 동작이 시작되기 전에 상기 스위치 소자(SWXx)는 오프되므로, 새로운 어드레스로의 버스트 동작 수행이 제1 메모리 플레인에서 발생되기 전까지는 버스트 카운터가 로우/컬럼 어드레스에 영향을 받지 않게 된다. 동작 사이클(cycle1)에서는 어드레스 레지스터의 출력은 제2 메모리 플레인을 랜덤 액세스 동작모드로 구동시키기 위해 다음 디코딩 단계 직접적으로 인가된다. 도 7a의 구조는 제1,2 메모리 플레인이 버스트 컨티뉴 모드와 랜덤 액세스 모드로 각기 동시에 동작되는 경우를 나타낸다.

그러나, 도 7b에서는, 제1,2 메모리 플레인이 동일한 버스트 동작 모드로 각기 독립적으로 동시에 동작되는 경우를 위한 구조가 보여진다. 결국, 이는 제1,2 어드레스 레지스터와 제1,2 버스트 카운터를 두어, 레지스터와 버스트 카운터를 각기 복수개로 구성한 스킴이다.

도 8은 본 발명의 또 다른 실시예에 따라 도 2의 리드/라이트 패스 형성부(500)의 변경 구조를 보여준다. 이는 도 2의 경우와 같이 데이터 버스를 두 개의 버스(DB[0:3], DB[4:7])로 나누어 I/O별로 메모리 플레인을 할당하는 것이 아니라, 분할되지 않은 전체 8개의 I/O를 각각의 메모리 플레인이 공통으로 사용하는 방식에 따라 구현된 것이다. 이 경우에도 물론, 블록 선택 패스 형성부(300)와, 로우/컬럼 디코딩 패스 형성부(100,200)와, 그리고 플레인 정의 로직부(60)의 구성은 전술한 경우와 동일하다.

도 9는 도 8에 따른 동작 타이밍의 예시적 도면이다. 도 9의 타이밍 역시, 도 3의 경우와 유사하게, 두 개의 메모리 플레인으로 전체 메모리 셀 어레이가 분할되었고, 제1 메모리 플레인에 대하여는 n개의 버스트 길이를 갖는 버스트 동작 모드가 수행되고, 제2 메모리 플레인에 대하여는 랜덤 액세스 동작 모드가 수행되는 경우라고 가정한다. 메모리 플레인들의 구성을 위한 셀 어레이 블록들의 선택과 배분, 그리고 로우/컬럼 디코딩 방식은 도 3의 설명에서와 마찬가지로 여기서는 생략되고, 이하에서는 도 8에 따른 리드/라이트 패스에 관련된 동작이 주로 설명될 것이다.

도 8내의 리드/라이트 회로들 또는 데이터 입출력 버퍼(525)에 저장된 2개의 메모리 플레인에 대한 데이터는 동일한 I/O 단을 통해 한 사이클 내에서 번갈아 출력될 수 있다. 예를 들어, 도 9에서 제1 메모리 플레인의 데이터는 QAi 타이밍에서 I/O[0:7]단을 통하여 외부 클럭신호(CLK)의 라이징 에지(rising edge)에 동기되어 출력되는 한편, 제2 메모리 플레인의 데이터는 QBi의 타이밍에서 동일한 I/O[0:7]단을 통하여 상기 외부 클럭신호(CLK)의 폴링 에지(falling edge)에 동기되어 출력된다. 도 8과 같은 구조를 통해서도 구간적 동시 다중동작을 지원하는 메모리가 제공된다.

한편, 타임 구간 T14에서 보여지는 동작 사이클(cycle(n))에서 제2 메모리 플레인의 셀 어레이 블록에 대하여는 블록 선택이 되지도 않았고 버스트 동작도 수행되지 않았으므로, 동작 사이클(cycle(n+1))에 동기되어 출력될 데이터(QBn[4:7])는 존재하지 않는다. 따라서, 이러한 경우, I/O[0:7]은 하이 임피던스(high-Z) 상태로 돌아가든지 아니면 데이터를 출력한 직전 사이클인 동작 사이클(cycle(n))에서의 출력 상태로 유지되도록 제어될 수 있다. 물론, 동작 사이클(cycle(n))에서 제2 메모리 플레인이 버스트 컨티뉴로서 동작되는 상태이면 당연히 동작 사이클(cycle(n+1))에서 I/O[0:7]를 통하여 출력 데이터(QBn[4:7])가 출력된다.

상술한 바와 같은 본 발명의 메모리 플레인 분할 방식에 따르면, 메모리 칩 하나만이 시스템 상에 탑재되더라도 메모리 사용 주체인 호스트는 하나의 메모리 셀 어레이 내에 복수의 메모리 플레인을 임의의 메모리 사이즈만큼 온 보오드 상에서 자유롭게 동작적으로 분할하고, 각각의 분할된 메모리 플레인들에 대한 데이터 액세스가 프로세서 모듈별로 각기 독립적으로 동시에 수행되도록 할 수 있다. 따라서, 다수의 전용 메모리 칩이 호스트 시스템내의 프로세서 모듈별로 각기 탑재된 것처럼 다중의 정보처리가 동시에 수행되어진다.

상기한 설명에서는 본 발명의 실시 예를 위주로 도면을 따라 예를 들어 설명하였지만, 본 발명의 기술적 사상의 범위 내에서 본 발명을 다양하게 변형 또는 변경할 수 있음은 본 발명이 속하는 분야의 당업자에게는 명백한 것이다. 예를 들어, 사안이 다른 경우에 메모리 플레인의 개수 및 분할 방법이나 동작 모드의 제어를 다양하게 변경할 수 있음은 물론이다.

발명의 효과

상기한 바와 같이 본 발명에 따르면, 하나의 메모리 셀 어레이를 그대로 사용함은 물론, 필요한 경우에 하나의 메모리 셀 어레이를 복수의 메모리 플레인으로 동작적으로 분할하여 두고, 각 메모리 플레인에 대한 데이터 액세스 동작이 별개의 메모리 제품처럼 수행되도록 함에 의해, 호스트 시스템의 동시 다중동작을 지원하는 메모리로서 최적화된 메모리를 제공하는 효과가 있다.

따라서, 멀티 프로세서 모듈을 갖는 호스트 시스템에 대하여, 최적화된 단일 또는 소수개의 메모리 제품을 탑재하는 것만으로도, 다수의 메모리가 지원된 것과 같은 기능을 제공하므로, 전자적 시스템이 코스트 다운되는 이점이 있고, 실장면적이 최소화되어 전자적 시스템의 전체 사이즈가 콤팩트해지는 장점이 있다.

(57) 청구의 범위

청구항 1.

반도체 메모리 장치에 있어서:

복수의 메모리 셀로 이루어진 셀 어레이 블록을 복수로 가지는 메모리 셀 어레이와;

인가되는 명령에 응답하여, 상기 메모리 셀 어레이를, 각기 하나이상의 셀 어레이 블록으로 이루어지고 각기 독립적인 데이터 액세스 동작 모드를 갖는 복수의 메모리 플레인으로 동작적으로 분할하기 위한 메모리 플레인 설정부를 구비함을 특징으로 하는 반도체 메모리 장치.

청구항 2.

제1항에 있어서, 상기 메모리 플레인 설정부는:

플레인 정의 명령에 응답하여 상기 메모리 플레인의 분할 정보를 가리키는 설정 데이터를 생성하고 각각의 메모리 플레인에 대한 데이터 액세스 동작이 동시에 독립적으로 수행되어지도록 하기 위한 버스 스위칭 제어신호를 생성하는 플레인 정의 로직부와;

상기 플레인 정의 로직부에 연결되며, 상기 설정 데이터를 수신하여 상기 각 메모리 플레인에 속한 셀 어레이 블록들이 설정된 데이터 액세스 동작에 따라 선택적으로 구동되도록 하기 위한 블록 선택 패스 형성부를 구비함을 특징으로 하는 반도체 메모리 장치.

청구항 3.

제1항에 있어서, 상기 분할된 메모리 플레인에 각기 속해 있는 셀 어레이 블록의 I/O는 메모리 플레인 별로 구분되어 있음을 특징으로 하는 반도체 메모리 장치.

청구항 4.

제1항에 있어서, 상기 분할된 메모리 플레인에 각기 속해 있는 셀 어레이 블록의 I/O는 공통으로 되어 있으나, 각 메모리 플레인 별로 데이터의 입출력이 서로 다른 클럭신호에 동기되어 수행되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 5.

제1항에 있어서, 상기 분할된 메모리 플레인에 각기 속해 있는 셀 어레이 블록의 I/O는 공통으로 되어 있으나, 각 메모리 플레인 별로 데이터의 입출력이 동일한 클럭신호의 라이징 에지와 폴링에지에 동기되어 수행되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 6.

복수의 메모리 셀로 이루어진 셀 어레이 블록을 복수로 가지는 메모리 셀 어레이;

플레인 정의 명령에 응답하여, 상기 메모리 셀 어레이를, 각기 하나이상의 셀 어레이 블록으로 이루어진 복수의 메모리 플레인으로 동작적으로 분할되도록 하기 위한 정보를 가리키는 설정 데이터를 생성하고 각각의 메모리 플레인에 대한 데이터 액세스 동작이 동시에 독립적으로 수행되어지도록 하기 위한 버스 스위칭 제어신호를 생성하는 플레인 정의 로직부;

상기 플레인 정의 로직부에 연결되며, 상기 설정 데이터를 수신하여 상기 각 메모리 플레인에 속한 셀 어레이 블록들이 설정된 데이터 액세스 동작에 따라 선택적으로 구동되도록 하기 위한 블록선택 패스 형성부;

상기 셀 어레이 블록별로 분리된 로우/컬럼 디코딩 패스 형성부; 및

상기 메모리 플레인들에 대한 독립적 데이터 액세스 동작 모드에서 리드 및 라이트 패스를 제공하기 위한 리드/라이트 패스 형성부를 구비함을 특징으로 하는 반도체 메모리 장치.

청구항 7.

제6항에 있어서, 상기 리드/라이트 패스 형성부는 상기 메모리 플레인별로 분리되어 있는 것을 특징으로 하는 반도체 메모리 장치.

청구항 8.

제6항에 있어서, 상기 분할된 메모리 플레인에 각기 속해 있는 셀 어레이 블록의 I/O는 공통으로 되어 있으나, 각 메모리 플레인 별로 데이터의 입출력이 서로 다른 클럭신호에 동기되어 수행되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 9.

제6항에 있어서, 상기 분할된 메모리 플레인에 각기 속해 있는 셀 어레이 블록의 I/O는 공통으로 되어 있으나, 각 메모리 플레인 별로 데이터의 입출력이 동일한 클럭신호의 라이징 에지와 폴링 에지에 동기되어 수행되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 10.

제6항에 있어서, 상기 블록 선택 패스 형성부는,

상기 플레인 정의 로직부로부터 인가되는 출력 데이터에 응답하여 셀 어레이 블록의 선택을 중재하기 위한 스위칭 신호 및 제어신호를 생성하는 중재기와;

상기 중재기의 출력신호에 응답하여 셀 어레이 블록의 선택을 위한 선택신호를 생성하는 제1,2 블록 선택터와;

상기 제1,2 블록 선택터와는 선택 스위치를 통해 연결되며, 버스트 동작 모드에서 버스트 동작을 카운팅하기 위한 제1,2 블록 버스트 카운터를 구비함을 특징으로 하는 반도체 메모리 장치.

청구항 11.

복수의 메모리 셀로 이루어진 셀 어레이 블록을 복수로 가지는 메모리 셀 어레이를 구비한 반도체 메모리 장치의 구동방법에 있어서:

상기 메모리 셀 어레이를, 각기 하나이상의 셀 어레이 블록으로 이루어지고 각기 독립적인 데이터 액세스 동작 모드를 갖는 복수의 메모리 플레인으로 프로그램적으로 분할하여 두고, 상기 분할된 메모리 플레인 들에 대한 데이터 액세스 동작이 별개의 메모리 제품에 대한 데이터 액세스 동작처럼 다중으로 한꺼번에 수행되도록 함을 특징으로 하는 방법.

청구항 12.

제11항에 있어서, 상기 분할된 메모리 플레인들 중 하나의 메모리 플레인에 대하여 제1 액세스 동작이 수행될 때, 나머지 다른 메모리 플레인에 대하여는 상기 제1 액세스 동작과는 독립적인 제2 액세스 동작이 수행되도록 함을 특징으로 하는 방법.

청구항 13.

제11항에 있어서, 상기 제1 액세스 동작이 리드 동작을 가리킬 경우에 상기 제2 액세스 동작은 라이트 동작을 나타냄을 특징으로 하는 방법.

청구항 14.

(삭제)

청구항 15.

(삭제)

청구항 16.

제11항에 있어서, 상기 분할된 메모리 플레인에 각기 속해 있는 셀 어레이 블록의 I/O는 메모리 플레인 별로 구분되어 있음을 특징으로 하는 방법.

청구항 17.

제11항에 있어서, 상기 분할된 메모리 플레인에 각기 속해 있는 셀 어레이 블록의 I/O는 공통으로 되어 있으나, 각 메모리 플레인 별로 데이터의 입출력이 서로 다른 클럭신호에 동기되어 수행되는 것을 특징으로 하는 방법.

청구항 18.

제11항에 있어서, 상기 분할된 메모리 플레인에 각기 속해 있는 셀 어레이 블록의 I/O는 공통으로 되어 있으나, 각 메모리 플레인 별로 데이터의 입출력이 동일한 클럭신호의 라이징 에지와 폴링 에지에 동기되어 수행되는 것을 특징으로 하는 방법.

청구항 19.

제11항에 있어서, 상기 메모리 플레인의 분할은, 인가되는 플레인 정의 명령에 응답하여 플레인 분할 정보를 가리키는 설정 데이터를 생성하고 각각의 메모리 플레인에 대한 데이터 액세스 동작이 동시에 독립적으로 수행되어지도록 하기 위한 버스 스위칭 제어신호를 생성하는 플레인 정의 로직부에 의해 수행됨을 특징으로 하는 방법.

청구항 20.

제19항에 있어서, 상기 메모리 플레인에 속해 있는 셀 어레이 블록의 선택은, 상기 플레인 정의 로직부의 출력 및 동작 모드와 관련된 외부 신호를 버퍼링 출력하는 콘트롤 버퍼의 출력을 수신하여 블록 디코딩함에 의해 행해지는 것을 특징으로 하는 방법.

청구항 21.

제11항에 있어서, 상기 메모리 플레인의 구성에 최소 단위가 되는 셀 어레이 블록의 구분은 독립적인 최종 디코더 회로와 버스의 열을 구비하여 구현됨을 특징으로 하는 방법.

청구항 22.

제20항에 있어서, 상기 블록 디코딩은 각각의 메모리 플레인에 해당하는 개수만큼 준비된 블록 셀렉터에 의해 이루어지며, 블록 선택 회로에 구비된 스위치 소자를 선택적으로 제어하여 블록 선택을 행하고, 새로운 플레인 분할 환경이 설정된 경우에 블록 선택의 재 설정이 가능한 것을 특징으로 하는 방법.

청구항 23.

제20항에 있어서, 상기 각 메모리 플레인에서 버스트 모드 동작이 이루어지도록 하기 위해 버스트 순서를 결정하는 것은 버스트 카운터에 의해 수행되도록 하며, 새로운 플레인 분할 환경이 설정된 경우에 재 설정이 가능한 것을 특징으로 하는 방법.

청구항 24.

제20항에 있어서, 상기 메모리 셀 어레이가 두 개의 메모리 플레인으로 분할되고 각 메모리 플레인에 속해 있는 셀 어레이 블록은 서로 별개의 I/O단을 통해 연결된 경우에, 하나의 메모리 플레인에서 버스트 모드 진입 시작 사이클이 진행될 때 다른 하나의 메모리 플레인에 연결된 I/O단은 하이 임피던스 상태이거나 혹은 그 직전 사이클의 상태를 유지되어 있으며,

상기 하나의 메모리 플레인에서 버스트 컨티뉴 동작이 진행되는 사이클에서는 상기 다른 하나의 메모리 플레인에서는 랜덤 액세스 동작이 수행되어 데이터가 I/O단에 출력됨을 특징으로 하는 방법.

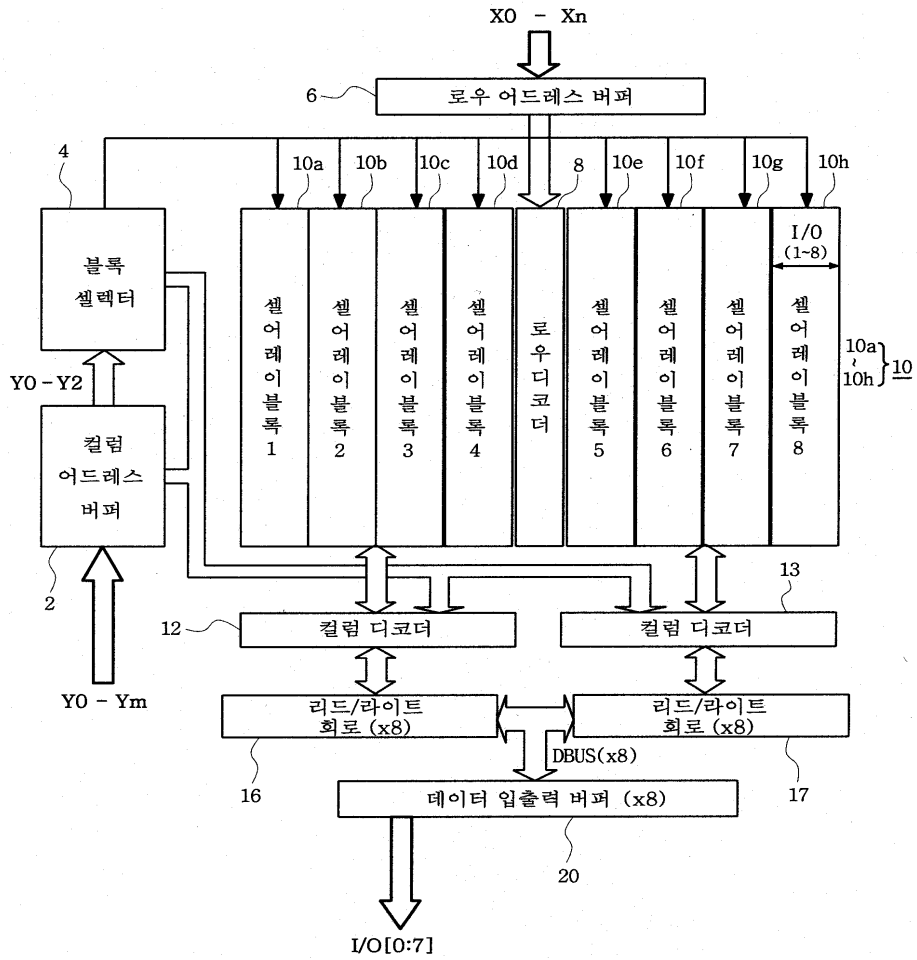
청구항 25.

제20항에 있어서, 상기 메모리 셀 어레이가 두 개의 메모리 플레인으로 분할되고 각 메모리 플레인에 속해 있는 셀 어레이 블록은 서로 같은 공유 I/O단을 통해 연결된 경우에, 하나의 메모리 플레인에서 버스트 모드 진입 시작 사이클이 진행될 때 다른 하나의 메모리 플레인에 연결된 I/O단은 하이 임피던스 상태이거나 혹은 그 직전 사이클의 상태를 유지되어 있으며,

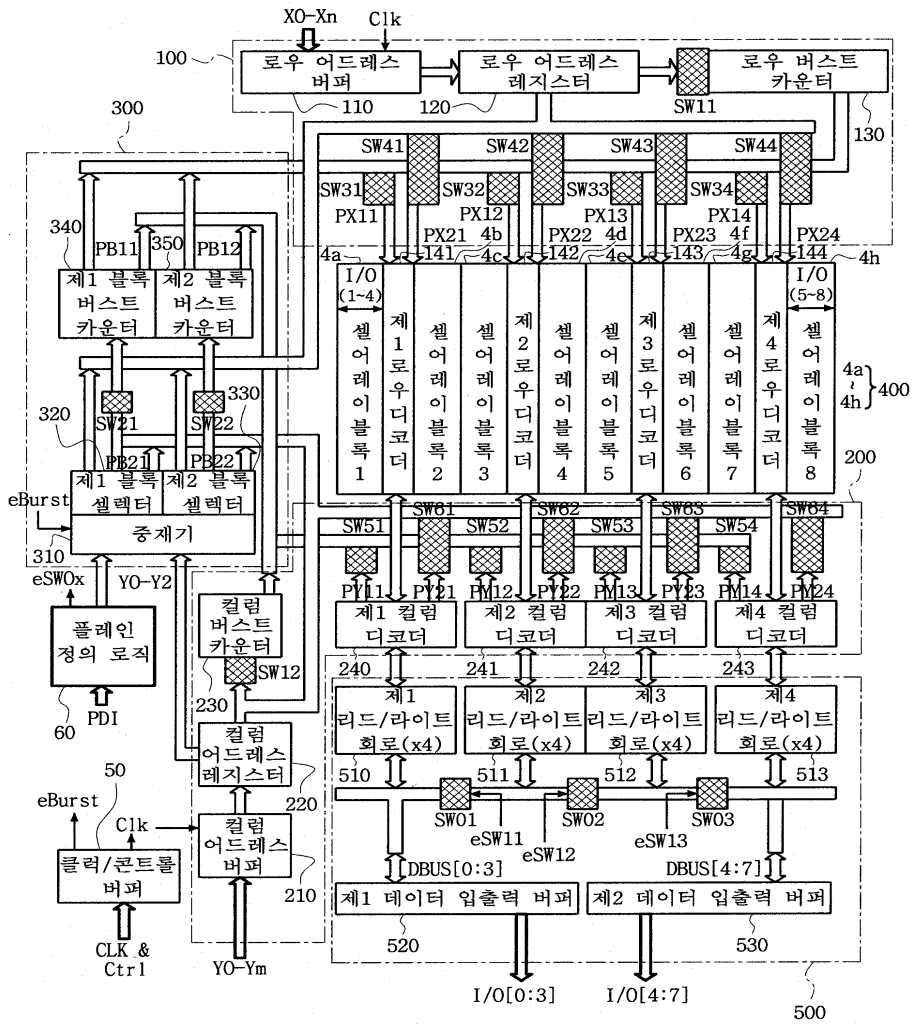
상기 하나의 메모리 플레인에서 버스트 컨티뉴 동작이 진행되는 사이클에서는 상기 다른 하나의 메모리 플레인에서는 랜덤 액세스 동작이 수행되어 데이터가 사이클 내 시차를 갖고서 I/O단을 통해 출력됨을 특징으로 하는 방법.

도면

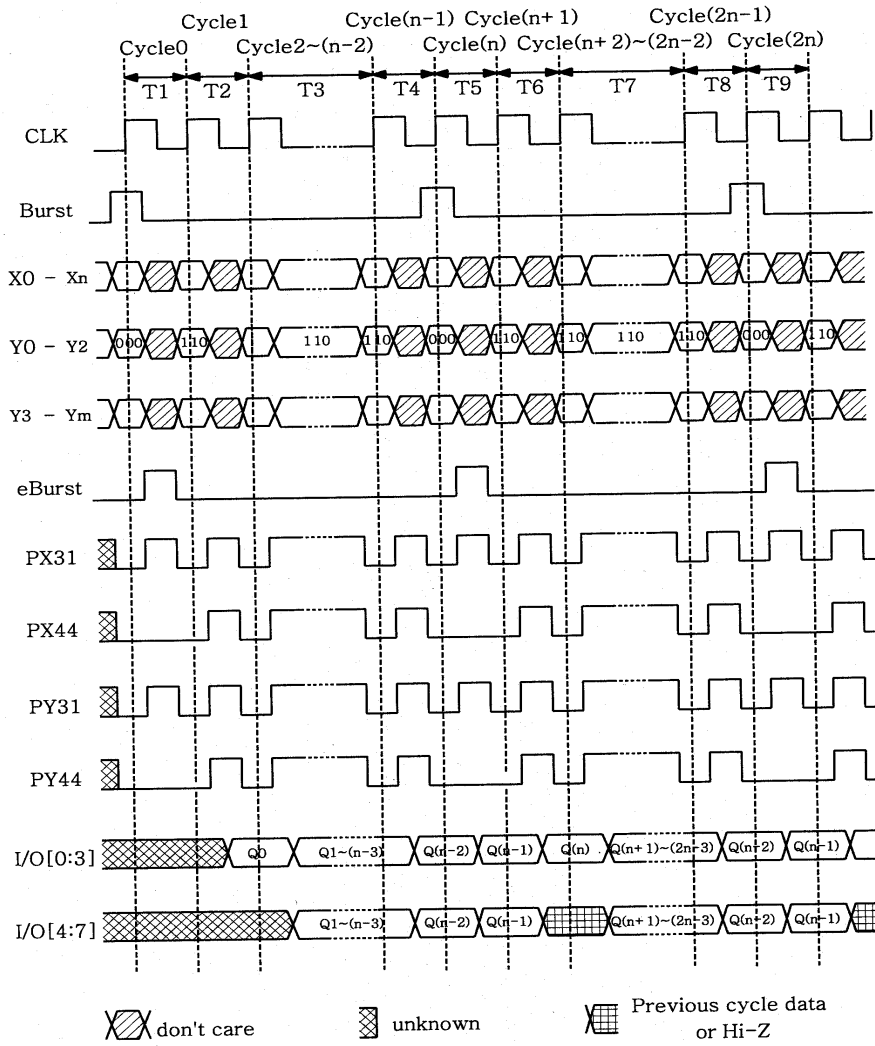
도면1



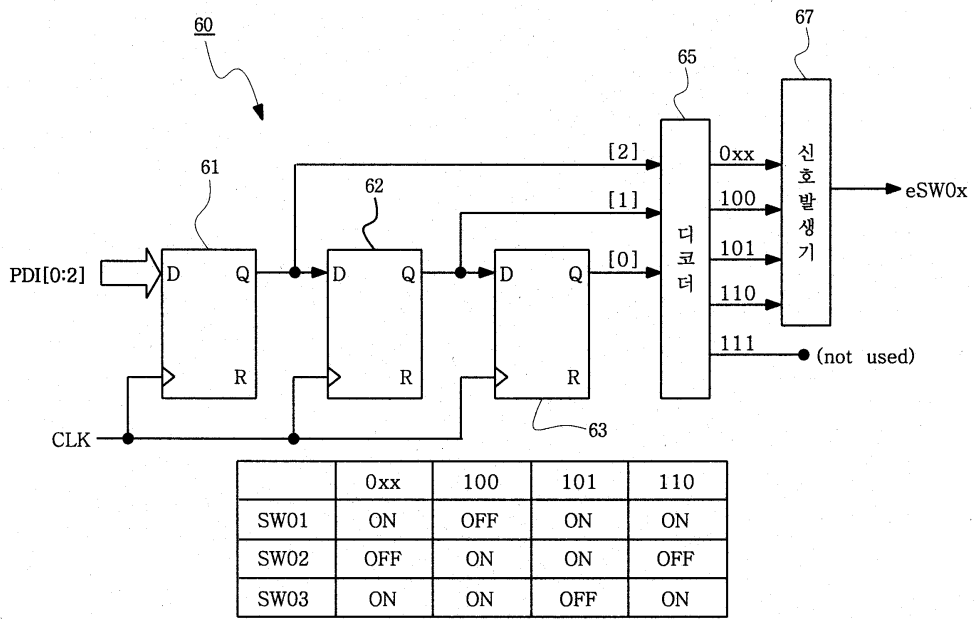
도면2



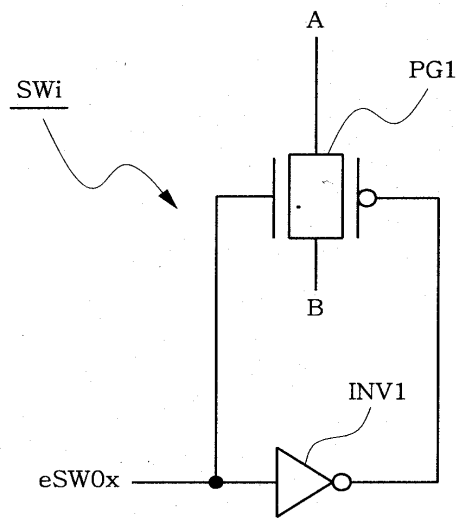
도면3



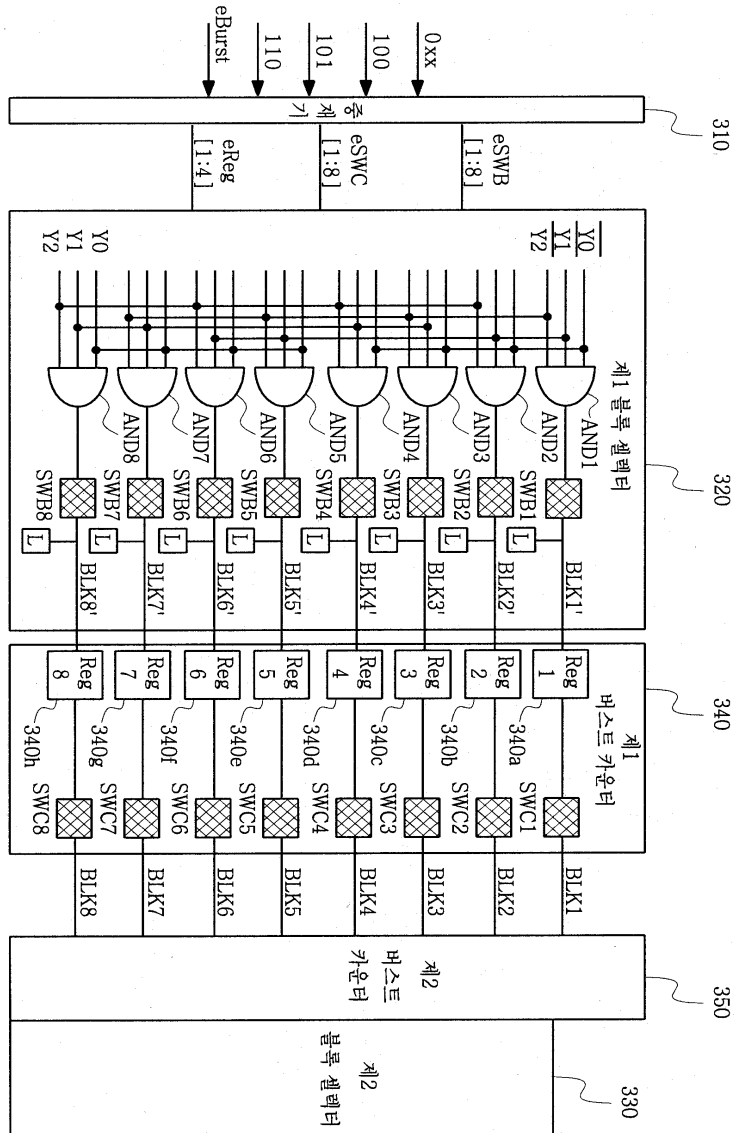
도면4



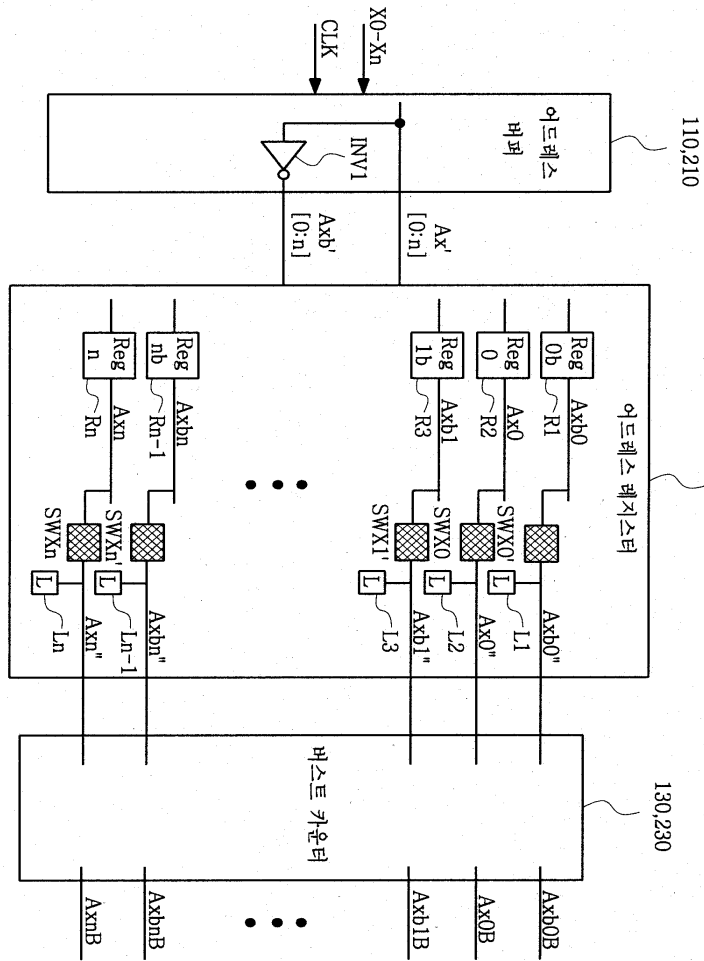
도면5



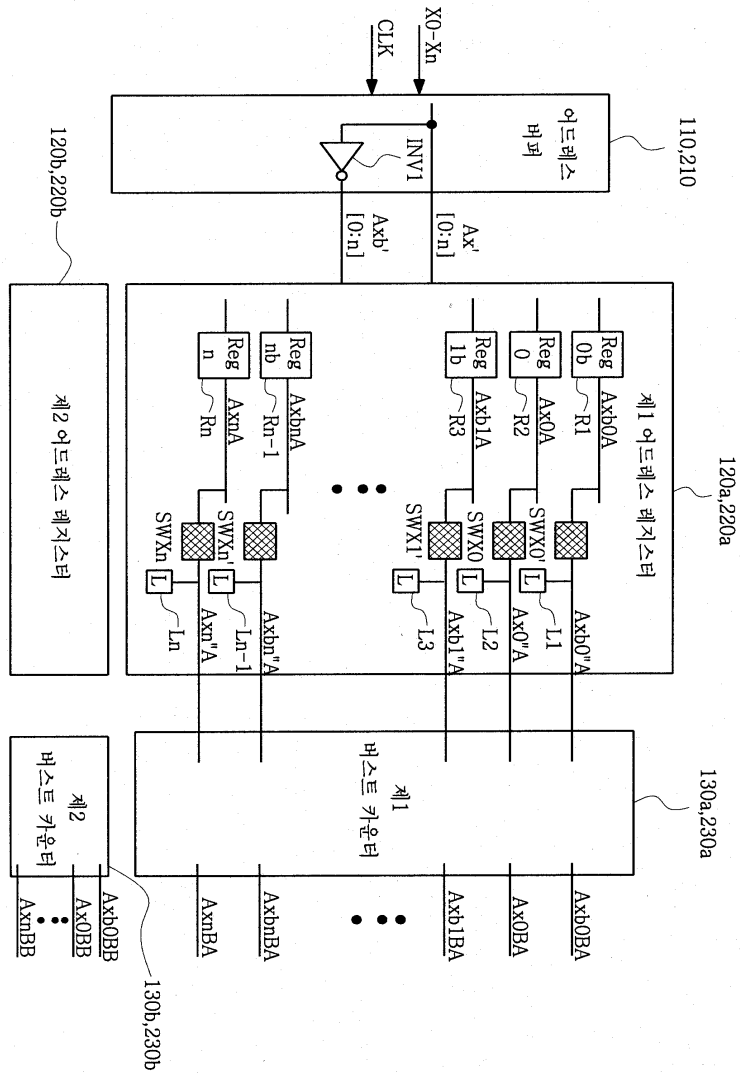
도면9



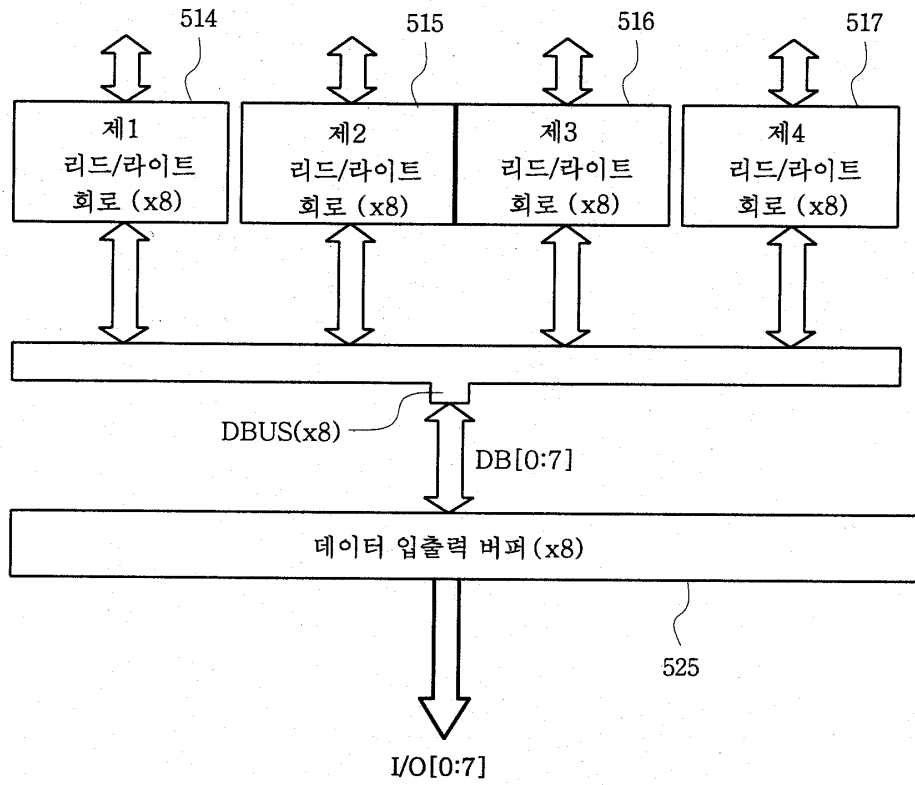
도면7a



도면 7b



도면8



도면9

