



(51) 国際特許分類:
H01L 21/822 (2006.01) H01L 27/04 (2006.01)
H01L 21/82 (2006.01)

(21) 国際出願番号: PCT/JP2006/302496

(22) 国際出願日: 2006年2月14日 (14.02.2006)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2005-037480 2005年2月15日 (15.02.2005) JP

(71) 出願人 (米国を除く全ての指定国について): 新潟精密株式会社 (NIIGATA SEIMITSU CO., LTD.) [JP/JP];
〒9430834 新潟県上越市西城町2丁目5番13号 Niigata (JP).

Hiroshi) [JP/JP]; 〒9430834 新潟県上越市西城町2丁目5番13号 新潟精密株式会社内 Niigata (JP). 池田毅 (IKEDA, Takeshi) [JP/JP]; 〒9430834 新潟県上越市西城町2丁目5番13号 新潟精密株式会社内 Niigata (JP).

(74) 代理人: 雨貝 正彦 (AMAGAI, Masahiko); 〒1690073 東京都新宿区百人町3丁目3番10号 雨貝特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(72) 発明者; および

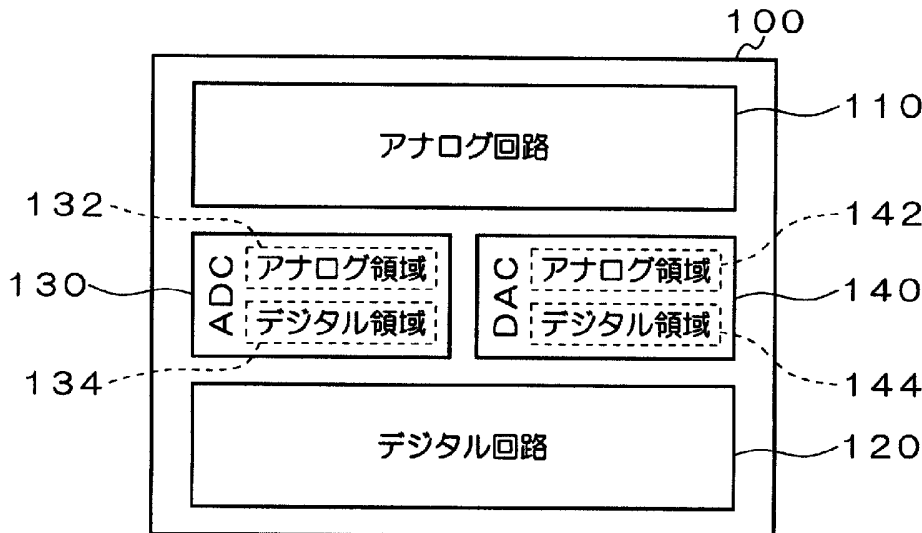
(75) 発明者/出願人 (米国についてのみ): 宮城 弘 (MIYAGI,

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



110 ANALOG CIRCUIT

132 ANALOG AREA

134 DIGITAL AREA

142 ANALOG AREA

144 DIGITAL AREA

120 DIGITAL CIRCUIT

(57) Abstract: A semiconductor device capable of reducing noise present in an analog circuit. There are formed, on a semiconductor substrate (100), an analog-to-digital converter (130), a digital-to-analog converter (140), an analog circuit (110) and a digital circuit (120). The analog circuit (110) is formed in one of two mutually-spaced areas between which the analog-to-digital converter (130) and digital-to-analog converter (140) are located, while the digital circuit (120) is formed in the other area.

[続葉有]



SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: アナログ回路に混入するノイズを低減することができる半導体装置を提供することを目的とする。半導体基板100上に形成されたアナログーデジタル変換器130およびデジタルーアナログ変換器140と、アナログーデジタル変換器130およびデジタルーアナログ変換器140を挟んで互いに離間した一方の領域に形成されたアナログ回路110と他方の領域に形成されたデジタル回路120とが備わっている。

明 細 書

半導体装置

技術分野

- [0001] 本発明は、アナログ回路とデジタル回路が同一の半導体基板上に形成された半導体装置に関する。

背景技術

- [0002] 従来から、同一の基板上にアナログ回路とデジタル回路が混在する半導体装置が知られている(例えば、特許文献1参照。)。一般には、デジタル回路の動作時に入出力されるクロック信号等は、電圧レベルが急峻にローレベルからハイレベルに、あるいはハイレベルからローレベルに変化する。このため、受信機のフロントエンドのように微少な受信電波に対して所定の処理を行うアナログ回路を考えると、デジタルデータの電圧レベルが変化する際に発生するノイズが無視できないものになる。

特許文献1:特開2003-37172号公報(第3-5頁、図1-2)

発明の開示

発明が解決しようとする課題

- [0003] ところで、上述した特許文献1に開示された半導体装置では、スイッチング回路の配置を工夫することでクロックラインを短くしてアナログ信号に混入するノイズを低減している。しかし、電圧レベルが急峻に変化する点では、デジタル回路において入出力されるクロック信号以外の信号(デジタルデータ)についても同様であるため、特許文献1に開示された半導体装置のようにクロックラインを短くするだけでは、ノイズ低減の十分な効果が得られないという問題があった。

- [0004] 本発明は、このような点に鑑みて創作されたものであり、その目的は、アナログ回路に混入するノイズを低減することができる半導体装置を提供することにある。

課題を解決するための手段

- [0005] 上述した課題を解決するために、本発明の半導体装置は、半導体基板上に形成されたアナログーデジタル変換器およびデジタルーアナログ変換器と、アナログーデジタル変換器およびデジタルーアナログ変換器を挟んで互いに離間した一方の領域

に形成されたアナログ回路と他方の領域に形成されたデジタル回路とを備えている。

[0006] また、本発明の半導体装置は、半導体基板上に形成されたアナログ回路と、半導体基板上であってアナログ回路に対して中間領域を介して離れた位置に形成されたデジタル回路と、半導体基板上であって中間領域に形成されたアナログーデジタル変換器およびデジタルーアナログ変換器とを備えている。

[0007] また、本発明の半導体装置は、矩形形状を有する半導体基板上であって対向する2辺の一方に隣接する領域に形成されたアナログ回路と、半導体基板上であって2辺の他方に隣接する領域に形成されたデジタル回路と、半導体基板上であってアナログ回路とデジタル回路の間の領域に形成されたアナログーデジタル変換器およびデジタルーアナログ変換器とを備えている。

[0008] 同一の半導体基板上に形成されたアナログ回路とデジタル回路とがアナログーデジタル変換器およびデジタルーアナログ変換器によって分離されるため、電圧レベル変動の大きいデジタルデータがデジタル回路内で入出力された際にアナログ回路に混入するノイズを低減することができる。

[0009] また、上述したアナログーデジタル変換器は、入力されるアナログ信号に対して処理を行う素子が配置されたアナログ領域と、このアナログ信号に対応するデジタルデータを出力する処理を行う素子が配置されたデジタル領域とを含んでおり、アナログ領域をアナログ回路側に配置し、デジタル領域をデジタル回路側に配置することが望ましい。あるいは、上述したデジタルーアナログ変換器は、入力されるデジタルデータに対して処理を行う素子が配置されたデジタル領域と、このデジタルデータに対応するアナログ信号を出力する処理を行う素子が配置されたアナログ領域とを含んでおり、デジタル領域をデジタル回路側に配置し、アナログ領域をアナログ回路側に配置することが望ましい。これにより、アナログーデジタル変換器内やデジタルーアナログ変換器内でアナログ信号を主に処理するアナログ領域とデジタルデータを主に処理するデジタル領域の配置を工夫することで、さらにアナログ回路に混入するノイズを低減することが可能となる。

[0010] また、上述したアナログーデジタル変換器は、アナログ回路から出力されるアナログ信号をデジタルデータに変換してデジタル回路に入力することが望ましい。あるいは

、上述したデジタルーアナログ変換器は、デジタル回路から出力されるデジタルデータをアナログ信号に変換してアナログ回路に入力することが望ましい。これにより、アナログ回路とアナログーデジタル変換器あるいはデジタルーアナログ変換器とを接続する配線がデジタル回路側に回り込むことを防止することができ、デジタル回路から直接アナログ回路に混入するノイズを低減することが可能になる。

- [0011] また、上述したアナログ回路は受信機のフロントエンドとしての受信処理部であり、デジタル回路は、受信処理部から出力される信号をアナログーデジタル変換器に通して得られたデジタルデータに対して復調処理を行うデジタル信号処理装置であることが望ましい。あるいは、上述したアナログ回路は、受信機のフロントエンドとしての受信処理部と、変調された信号を送信する送信処理部であり、デジタル回路は、受信処理部から出力される信号をアナログーデジタル変換器に通して得られたデジタルデータに対して復調処理を行うとともに、オーディオデータに対して変調処理を行うデジタル信号処理装置であることが望ましい。一般に、受信機のフロントエンドとしての受信処理部は、受信した微弱な電波を抽出して増幅したり中間周波信号に変換するなどの処理を行っているため、ノイズが混入すると出力信号の品質が大きく低下する。このため、受信処理部を有するアナログ回路からデジタル回路を離間してノイズの混入を低減することにより、アナログ回路において入出力される信号品質を大幅に向上させることができる。

図面の簡単な説明

- [0012] [図1]一実施形態の半導体装置のレイアウトを示す図である。
[図2]半導体基板を用いて形成された本実施形態の送受信機の構成図である。
[図3]半導体基板を用いて形成された変形例の受信機の構成図である。
[図4]半導体基板を用いて形成された変形例の送信機の構成図である。
[図5]半導体基板上のレイアウトの変形例を示す図である。
[図6]半導体基板上のレイアウトの変形例を示す図である。

符号の説明

- [0013] 10 受信処理部
20 デジタル信号処理装置(DSP)

52 送信処理部
60 電圧制御型発振器(VCO)
62 周波数シンセサイザ
100 半導体基板
110 アナログ回路
120 デジタル回路
130、12、40 アナログーデジタル変換器(ADC)
132、142 アナログ領域
134、144 デジタル領域
140、30、50 デジタルーアナログ変換器(DAC)
200 アンテナ
300 水晶振動子

発明を実施するための最良の形態

[0014] 以下、本発明を適用した一実施形態の半導体装置について、図面を参照しながら詳細に説明する。図1は、一実施形態の半導体装置のレイアウトを示す図である。図1に示すように、本実施形態の半導体装置は、半導体基板100上に形成されたアナログーデジタル変換器(ADC)130およびデジタルーアナログ変換器(DAC)140と、アナログーデジタル変換器130およびデジタルーアナログ変換器140を挟んで互いに離間した一方の領域に形成されたアナログ回路110と他方の領域に形成されたデジタル回路120とを備えている。上述したアナログ回路110は、矩形形状を有する半導体基板100上であって対向する2辺(図1では上下に配置された2辺)の一方に隣接する領域に形成されており、デジタル回路120は、これら2辺の他方に隣接する領域に形成されている。また、これらのアナログ回路110とデジタル回路120のそれぞれは、半導体基板100上の中間領域を挟んで離れた位置に形成されており、この中間領域にアナログーデジタル変換器130とデジタルーアナログ変換器140が配置されている。

[0015] 特に、上述したアナログーデジタル変換器130には、入力されるアナログ信号に対して処理を行う素子(入力段の素子)が配置されたアナログ領域132と、このアナログ

信号に対応するデジタルデータを出力する処理を行う素子(出力段の素子)が配置されたデジタル領域134とが含まれている。そして、アナログ領域132がアナログ回路110側に、デジタル領域134がデジタル回路120側にそれぞれ配置されている。

[0016] 同様に、上述したデジタルーアナログ変換器140には、入力されるデジタルデータに対して処理を行う素子(入力段の素子)が配置されたデジタル領域144と、このデジタルデータに対応するアナログ信号を出力する処理を行う素子(出力段の素子)が配置されたアナログ領域142とが含まれている。そして、デジタル領域144がデジタル回路120側に、アナログ領域142がアナログ回路110側にそれぞれ配置されている。

[0017] 図2は、半導体基板100を用いて形成された本実施形態の送受信機の構成図である。図2に示すように、本実施形態の送受信機は、受信処理部10、アナログーデジタル変換器(ADC)12、40、デジタル信号処理装置(DSP)20、デジタルーアナログ変換器(DAC)30、50、送信処理部52、電圧制御型発振器(VCO)60、周波数シンセサイザ62、アンテナ200、水晶振動子300を含んで構成されている。この中で、アンテナ200と水晶振動子300以外の各構成が半導体基板100上にCMOSプロセスあるいはMOSプロセスを用いて1チップ部品として形成されている。これらのプロセスを用いることにより、半導体基板100上に形成された1チップ部品の小型化、低消費電力化を図ることができる。

[0018] 受信処理部10は、アンテナ200を介して受信した放送波信号(なお、放送波信号と同じような変調信号であれば送信元が放送局であっても家庭用等の送信機であってもよい)に対して周波数変換を行って中間周波信号を出力する。電圧制御型発振器60、周波数シンセサイザ62、水晶振動子300によって局部発振器が構成されており、電圧制御型発振器60から出力される局部発振信号が受信処理部10に入力される。受信処理部10は、アナログ処理によって周波数変換を行うアナログ回路であって、アンテナ200を介して受信した放送波信号と、電圧制御型発振器60から出力された局部発振信号とを周波数混合してアナログ信号としての中間周波信号を生成する。なお、この受信処理部10には同調回路やRFアンプなどの受信機のフロントエンドとしての各構成が含まれている。受信処理部10から出力されるアナログ信号とし

ての中間周波信号は、アナログーデジタル変換器12によって所定ビット数のデジタルデータに変換される。

[0019] デジタル信号処理装置20は、アナログーデジタル変換器12から出力されるデジタルデータに対して所定の復調動作をデジタル処理によって行う。例えば、FM復調処理やFMステレオ復調処理が行われ、復調後のデジタルデータは、デジタルーアナログ変換器30によって、アナログ信号に変換される。例えば、アナログ信号としてオーディオ信号を考えた場合には、このオーディオ信号は増幅された後スピーカ等から出力される。なお、デジタル信号処理装置20によって行われる復調処理によって生成されるデジタルデータは、オーディオデータに限定されない。例えば、復調処理によって画像データが生成される場合であってもよい。

[0020] また、外部から入力されたアナログ信号としてのオーディオ信号がアナログーデジタル変換器40によってデジタルデータ(オーディオデータ)に変換されて入力されると、デジタル信号処理装置20は、このオーディオ信号に対応する変調信号を送信するために必要な所定のデジタル処理を行う。例えば、オーディオデータとしてLデータとRデータが入力された場合にはこれら2つのデータを合成するステレオ変調処理が行われる。また、I成分とQ成分を生成する処理が行われる。デジタル信号処理装置20から出力されるデジタルデータは、デジタルーアナログ変換器50によってアナログ信号に変換される。

[0021] 送信処理部52は、アナログ処理によって変調動作を行うアナログ回路であって、デジタルーアナログ変換器50から入力されるアナログ信号を変調してアンテナ200から送信する。例えば、簡単な例としてはFM変調処理を行う場合が考えられるが、その他の変調方式に対応する変調処理を行うようにしてもよい。

[0022] 上述した送受信機に含まれるアナログーデジタル変換器12、40が図1に示したアナログーデジタル変換器130に、デジタルーアナログ変換器30、50が図1に示したデジタルーアナログ変換器140に、受信処理部10、送信処理部52、電圧制御型発振器60が図1に示すアナログ回路110に、デジタル信号処理装置20が図1に示すデジタル回路120にそれぞれ対応している。

[0023] なお、周波数シンセサイザ62は、プログラマブルカウンタによって構成される分周

器を含む場合にはデジタル回路とアナログ回路の混合回路となる。ところで、本実施形態における半導体基板100上での各構成の配置は、デジタル回路120によって発生するノイズのアナログ回路110への混入防止を主目的としているため、一部にデジタル回路が用いられている周波数シンセサイザ62は、デジタル回路120に含めて、あるいはデジタル回路120の隣接領域に配置するものとし、アナログ回路110からは隔てられている。

[0024] このように、同一の半導体基板100上に形成されたアナログ回路110とデジタル回路120とがアナログーデジタル変換器130およびデジタルーアナログ変換器140によって分離されるため、電圧レベル変動の大きいデジタルデータがデジタル回路120内で入出力された際にアナログ回路110に混入するノイズを低減することができる。特に、アナログーデジタル変換器130内やデジタルーアナログ変換器140内でアナログ信号を主に処理するアナログ領域132、142とデジタルデータを主に処理するデジタル領域134、144の配置を工夫することで、さらにアナログ回路110に混入するノイズを低減することが可能となる。

[0025] また、アナログーデジタル変換器130は、アナログ回路110から出力されるアナログ信号をデジタルデータに変換してデジタル回路120に入力し、デジタルーアナログ変換器140は、デジタル回路120から出力されるデジタルデータをアナログ信号に変換してアナログ回路110に入力している。これにより、アナログ回路120とアナログーデジタル変換器130あるいはデジタルーアナログ変換器140とを接続する配線がデジタル回路側に回り込むことを防止することができ、デジタル回路120から直接アナログ回路110に混入するノイズを低減することが可能になる。

[0026] また、一般に、受信機のフロントエンドとしての受信処理部10は、受信した微弱な電波を抽出して増幅したり中間周波信号に変換するなどの処理を行っているため、ノイズが混入すると出力信号の品質が大きく低下する。このため、受信処理部10を有するアナログ回路110からデジタル回路120を離間してノイズの混入を低減することにより、アナログ回路110において入出力される信号品質を大幅に向上させることができる。

[0027] なお、本発明は上記実施形態に限定されるものではなく、本発明の要旨の範囲内

において種々の変形実施が可能である。例えば、図1に示す半導体装置の具体例として図2に示す送受信機を考えたが、この送受信機の送受信機能の内の一方、すなわち送信機能のみを有する送信機や受信機能のみを有する受信機について本発明を適用することもできる。

[0028] 図3は、半導体基板100を用いて形成された変形例の受信機の構成図である。図2に示した送受信機と基本的に同じ機能を有する構成については同じ符号が付されている。このような受信機においても図1に示す半導体基板100上のレイアウトを採用することで、アナログ回路110としての受信処理部10に入出力される信号に混入するノイズを低減することができる。

[0029] 図4は、半導体基板100を用いて形成された変形例の送信機の構成図である。図2に示した送受信機と基本的に同じ機能を有する構成については同じ符号が付されている。このような送信機においても図1に示す半導体基板100上のレイアウトを採用することで、アナログ回路110としての送信処理部52に入出力される信号に混入するノイズを低減することができる。

[0030] また、図1に示した半導体基板100上のレイアウトは、送受信機、受信機、送信機以外の装置に適用するようにしてもよい。この場合であっても、デジタル回路120によって発生するノイズがアナログ回路110の入出力信号に混入することを有効に防止することができる。

[0031] また、図1に示したアナログ回路100とデジタル回路120とをアナログーデジタル変換器130やデジタルーアナログ変換器140によって隔てることができればよい。図5や図6に示すような半導体基板100上のレイアウトを採用するようにしてもよい。すなわち、アナログーデジタル変換器130とデジタルーアナログ変換器140とによってアナログ回路110(図5の場合)やデジタル回路120(図6の場合)をL字状に囲むようにしてもよい。このように、アナログーデジタル変換器130やデジタルーアナログ変換器140の配置および形状を変形することは可能であるが、その場合であっても、アナログーデジタル変換器130内のアナログ領域132とデジタルーアナログ変換器140内のアナログ領域142をアナログ回路110側に配置し、アナログーデジタル変換器130内のデジタル領域134とデジタルーアナログ変換器140内のデジタル領域1

44をデジタル回路120側に配置する必要がある。

産業上の利用可能性

- [0032] 本発明によれば、同一の半導体基板上に形成されたアナログ回路とデジタル回路とがアナログーデジタル変換器およびデジタルーアナログ変換器によって分離されるため、電圧レベル変動の大きいデジタルデータがデジタル回路内で入出力された際にアナログ回路に混入するノイズを低減することができる。

請求の範囲

- [1] 半導体基板上に形成されたアナログーデジタル変換器およびデジタルーアナログ変換器と、
前記アナログーデジタル変換器および前記デジタルーアナログ変換器を挟んで互いに離間した一方の領域に形成されたアナログ回路と他方の領域に形成されたデジタル回路と、
を備える半導体装置。
- [2] 請求項1において、
前記アナログーデジタル変換器は、入力されるアナログ信号に対して処理を行う素子が配置されたアナログ領域と、このアナログ信号に対応するデジタルデータを出力する処理を行う素子が配置されたデジタル領域とを含んでおり、
前記アナログ領域を前記アナログ回路側に配置し、前記デジタル領域を前記デジタル回路側に配置する半導体装置。
- [3] 請求項1において、
前記デジタルーアナログ変換器は、入力されるデジタルデータに対して処理を行う素子が配置されたデジタル領域と、このデジタルデータに対応するアナログ信号を出力する処理を行う素子が配置されたアナログ領域とを含んでおり、
前記デジタル領域を前記デジタル回路側に配置し、前記アナログ領域を前記アナログ回路側に配置する半導体装置。
- [4] 請求項1において、
前記アナログーデジタル変換器は、前記アナログ回路から出力されるアナログ信号をデジタルデータに変換して前記デジタル回路に入力する半導体装置。
- [5] 請求項1において、
前記デジタルーアナログ変換器は、前記デジタル回路から出力されるデジタルデータをアナログ信号に変換して前記アナログ回路に入力する半導体装置。
- [6] 請求項1において、
CMOSプロセスあるいはMOSプロセスを用いて、前記アナログーデジタル変換器、前記デジタルーアナログ変換器、前記アナログ回路、前記デジタル回路が前記半

導体基板上に形成された半導体装置。

[7] 請求項1において、

前記アナログ回路は、フロントエンドとしての受信処理部であり、前記デジタル回路は、前記受信処理部から出力される信号を前記アナログーデジタル変換器に通して得られたデジタルデータに対して復調処理を行うデジタル信号処理装置である受信機。

[8] 請求項1において、

前記アナログ回路は、変調された信号を送信する送信処理部であり、前記デジタル回路は、オーディオデータに対して変調処理を行うデジタル信号処理装置である送信機。

[9] 請求項1において、

前記アナログ回路は、フロントエンドとしての受信処理部と、変調された信号を送信する送信処理部であり、

前記デジタル回路は、前記受信処理部から出力される信号を前記アナログーデジタル変換器に通して得られたデジタルデータに対して復調処理を行うとともに、オーディオデータに対して変調処理を行うデジタル信号処理装置である送受信機。

[10] 半導体基板上に形成されたアナログ回路と、

前記半導体基板上であって前記アナログ回路に対して中間領域を介して離れた位置に形成されたデジタル回路と、

前記半導体基板上であって前記中間領域に形成されたアナログーデジタル変換器およびデジタルーアナログ変換器と、

を備える半導体装置。

[11] 請求項10において、

前記アナログーデジタル変換器は、入力されるアナログ信号に対して処理を行う素子が配置されたアナログ領域と、このアナログ信号に対応するデジタルデータを出力する処理を行う素子が配置されたデジタル領域とを含んでおり、

前記アナログ領域を前記アナログ回路側に配置し、前記デジタル領域を前記デジタル回路側に配置する半導体装置。

- [12] 請求項10において、
前記デジタル－アナログ変換器は、入力されるデジタルデータに対して処理を行う素子が配置されたデジタル領域と、このデジタルデータに対応するアナログ信号を出力する処理を行う素子が配置されたアナログ領域とを含んでおり、
前記デジタル領域を前記デジタル回路側に配置し、前記アナログ領域を前記アナログ回路側に配置する半導体装置。
- [13] 請求項10において、
前記アナログ－デジタル変換器は、前記アナログ回路から出力されるアナログ信号をデジタルデータに変換して前記デジタル回路に入力する半導体装置。
- [14] 請求項10において、
前記デジタル－アナログ変換器は、前記デジタル回路から出力されるデジタルデータをアナログ信号に変換して前記アナログ回路に入力する半導体装置。
- [15] 請求項10において、
CMOSプロセスあるいはMOSプロセスを用いて、前記アナログ－デジタル変換器、前記デジタル－アナログ変換器、前記アナログ回路、前記デジタル回路が前記半導体基板上に形成された半導体装置。
- [16] 請求項10において、
前記アナログ回路は、フロントエンドとしての受信処理部であり、前記デジタル回路は、前記受信処理部から出力される信号を前記アナログ－デジタル変換器に通して得られたデジタルデータに対して復調処理を行うデジタル信号処理装置である受信機。
- [17] 請求項10において、
前記アナログ回路は、変調された信号を送信する送信処理部であり、前記デジタル回路は、オーディオデータに対して変調処理を行うデジタル信号処理装置である送信機。
- [18] 請求項10において、
前記アナログ回路は、フロントエンドとしての受信処理部と、変調された信号を送信する送信処理部であり、

前記デジタル回路は、前記受信処理部から出力される信号を前記アナログーデジタル変換器に通して得られたデジタルデータに対して復調処理を行うとともに、オーディオデータに対して変調処理を行うデジタル信号処理装置である送受信機。

[19] 矩形形状を有する半導体基板上であって対向する2辺の一方に隣接する領域に形成されたアナログ回路と、

前記半導体基板上であって前記2辺の他方に隣接する領域に形成されたデジタル回路と、

前記半導体基板上であって前記アナログ回路と前記デジタル回路の間の領域に形成されたアナログーデジタル変換器およびデジタルーアナログ変換器と、

を備える半導体装置。

[20] 請求項19において、

前記アナログーデジタル変換器は、入力されるアナログ信号に対して処理を行う素子が配置されたアナログ領域と、このアナログ信号に対応するデジタルデータを出力する処理を行う素子が配置されたデジタル領域とを含んでおり、

前記アナログ領域を前記アナログ回路側に配置し、前記デジタル領域を前記デジタル回路側に配置する半導体装置。

[21] 請求項19において、

前記デジタルーアナログ変換器は、入力されるデジタルデータに対して処理を行う素子が配置されたデジタル領域と、このデジタルデータに対応するアナログ信号を出力する処理を行う素子が配置されたアナログ領域とを含んでおり、

前記デジタル領域を前記デジタル回路側に配置し、前記アナログ領域を前記アナログ回路側に配置する半導体装置。

[22] 請求項19において、

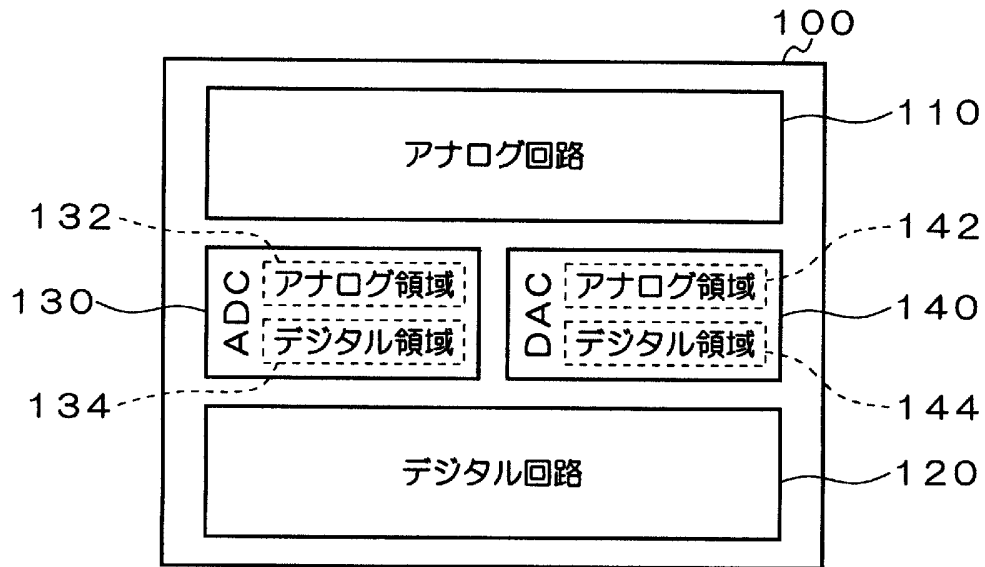
前記アナログーデジタル変換器は、前記アナログ回路から出力されるアナログ信号をデジタルデータに変換して前記デジタル回路に入力する半導体装置。

[23] 請求項19において、

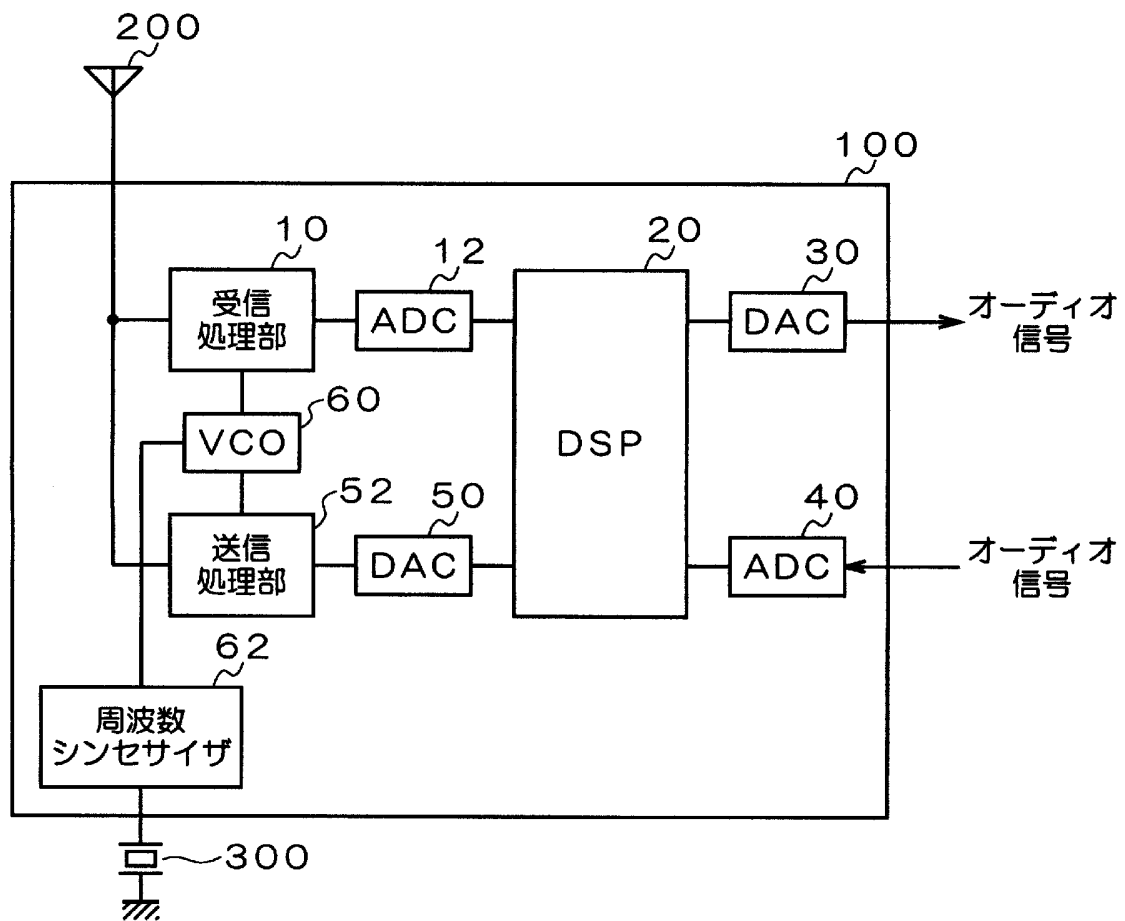
前記デジタルーアナログ変換器は、前記デジタル回路から出力されるデジタルデータをアナログ信号に変換して前記アナログ回路に入力する半導体装置。

- [24] 請求項19において、
CMOSプロセスあるいはMOSプロセスを用いて、前記アナログーデジタル変換器、前記デジタルーアナログ変換器、前記アナログ回路、前記デジタル回路が前記半導体基板上に形成された半導体装置。
- [25] 請求項19において、
前記アナログ回路は、フロントエンドとしての受信処理部であり、前記デジタル回路は、前記受信処理部から出力される信号を前記アナログーデジタル変換器に通して得られたデジタルデータに対して復調処理を行うデジタル信号処理装置である受信機。
- [26] 請求項19において、
前記アナログ回路は、変調された信号を送信する送信処理部であり、前記デジタル回路は、オーディオデータに対して変調処理を行うデジタル信号処理装置である送信機。
- [27] 請求項19において、
前記アナログ回路は、フロントエンドとしての受信処理部と、変調された信号を送信する送信処理部であり、
前記デジタル回路は、前記受信処理部から出力される信号を前記アナログーデジタル変換器に通して得られたデジタルデータに対して復調処理を行うとともに、オーディオデータに対して変調処理を行うデジタル信号処理装置である送受信機。

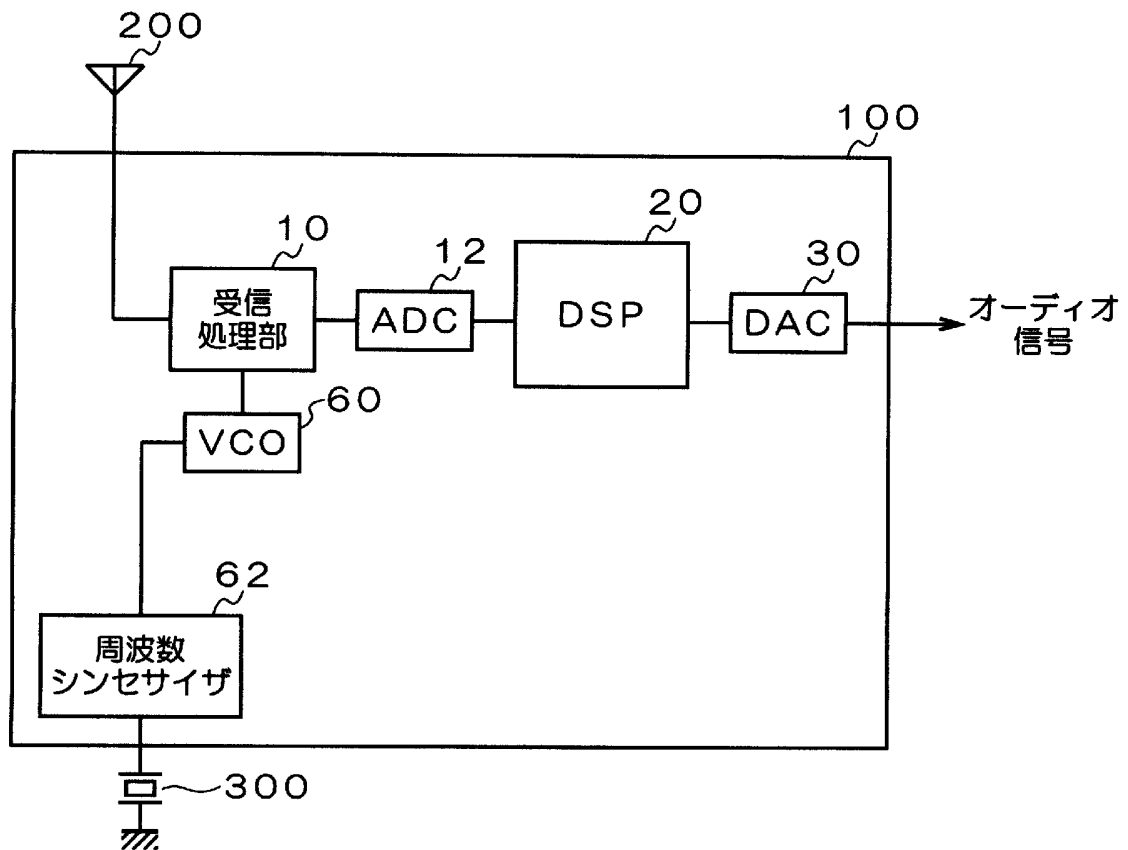
[図1]



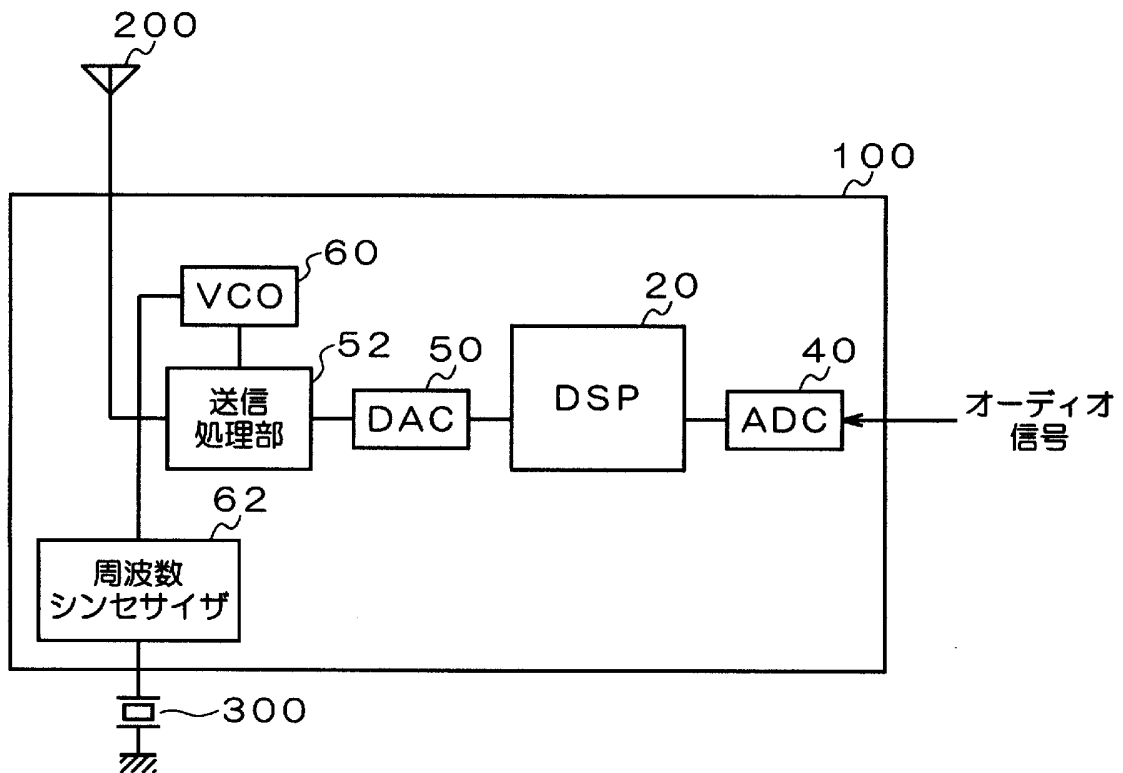
[図2]



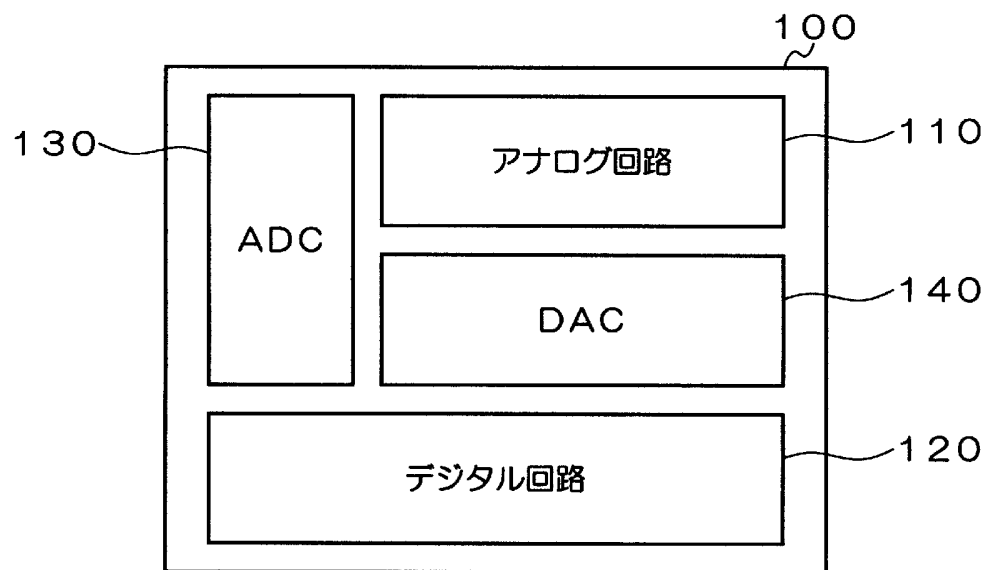
[図3]



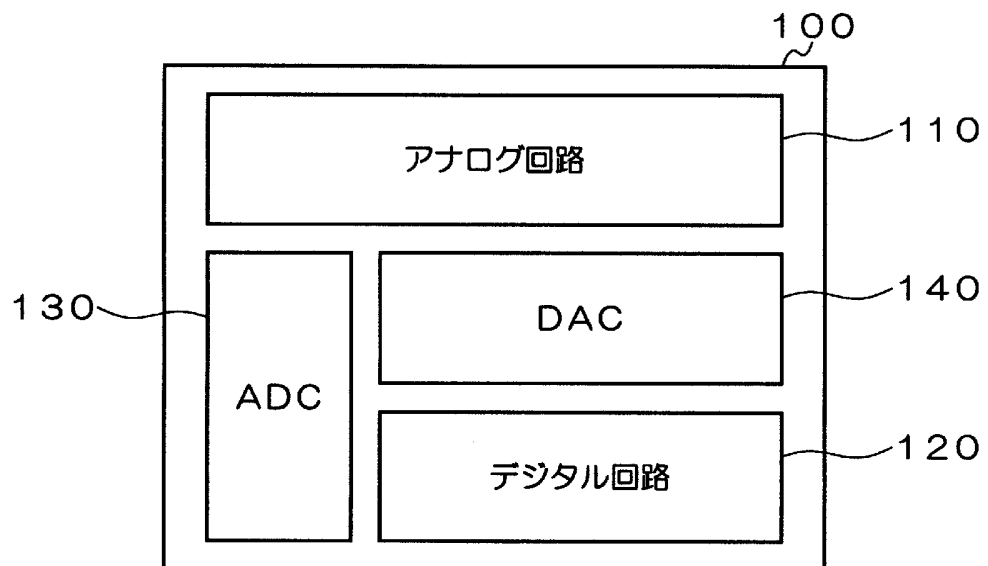
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/302496

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/822 (2006.01), **H01L21/82** (2006.01), **H01L27/04** (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/822 (2006.01), **H01L21/82** (2006.01), **H01L27/04** (2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2003-037173 A (Niigata Seimitsu Co., Ltd.), 07 February, 2003 (07.02.03), Par. Nos. [0022] to [0043]; Figs. 1 to 2 & WO 2003/010820 A1	1, 4-10, 13-19, 22-27 2-3, 11-12, 20-21
X	JP 1-248535 A (NEC Corp.), 04 October, 1989 (04.10.89), Page 2, upper right column, line 2 to page 4, upper left column, line 13; Figs. 1 to 6 (Family: none)	1, 4-6, 10, 13-15, 19, 22-24
Y	JP 6-163823 A (Toshiba Corp.), 10 June, 1994 (10.06.94), Par. Nos. [0016] to [0078]; Figs. 1 to 20 & US 5994741 A Columns 3 to 13; Figs. 1 to 20	2-3, 11-12, 20-21

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 May, 2006 (09.05.06)

Date of mailing of the international search report
16 May, 2006 (16.05.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/302496

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 11-317667 A (Fujitsu Ltd.), 16 November, 1999 (16.11.99), Par. Nos. [0013] to [0060]; Figs. 3 to 10 & EP 940923 A2 Par. Nos. [0016] to [0080]; Figs. 3 to 10 & US 6320527 B1 & GB 2335097 A	2-3, 11-12, 20-21

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/822(2006.01), H01L21/82(2006.01), H01L27/04(2006.01)

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/822(2006.01), H01L21/82(2006.01), H01L27/04(2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2006年
日本国実用新案登録公報	1996-2006年
日本国登録実用新案公報	1994-2006年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2003-037173 A（新潟精密株式会社）2003.02.07, 段落番号[0022]-[0043], 図 1-2	1, 4-10, 13-19, 22-27
Y	& WO 2003/010820 A1	2-3, 11-12, 20-21
X	JP 1-248535 A（日本電気株式会社）1989.10.04, 第2頁右上欄第2行-第4頁左上欄第13行, 第1-6図 （ファミリーなし）	1, 4-6, 10, 13-15, 19, 22-24

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

09.05.2006

国際調査報告の発送日

16.05.2006

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

早川 朋一

4M

9733

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 6-163823 A (株式会社東芝) 1994. 06. 10, 段落番号[0016]-[0078], 図 1-20 & US 5994741 A, 第 3 欄-第 13 欄, 図 1-20	2-3, 11-12, 20-21
Y	JP 11-317667 A (富士通株式会社) 1999. 11. 16, 段落番号[0013]-[0060], 図 3-10 & EP 940923 A2, [0016]-[0080], 図 3-10 & US 6320527 B1 & GB 2335097 A	2-3, 11-12, 20-21