



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0092584  
(43) 공개일자 2019년08월07일

- |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |                                                                                                                                                                                                                                                 |
|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| <p>(51) 국제특허분류(Int. Cl.)<br/>H01L 23/64 (2006.01) H01L 23/36 (2006.01)<br/>H01L 23/485 (2006.01) H01L 25/07 (2006.01)<br/>H01L 49/02 (2006.01)</p> <p>(52) CPC특허분류<br/>H01L 23/642 (2013.01)<br/>H01L 23/36 (2013.01)</p> <p>(21) 출원번호 10-2019-7021450</p> <p>(22) 출원일자(국제) 2017년12월28일<br/>심사청구일자 없음</p> <p>(85) 번역문제출일자 2019년07월22일</p> <p>(86) 국제출원번호 PCT/US2017/068788</p> <p>(87) 국제공개번호 WO 2018/126052<br/>국제공개일자 2018년07월05일</p> <p>(30) 우선권주장<br/>62/440,161 2016년12월29일 미국(US)<br/>62/518,472 2017년06월12일 미국(US)</p> | <p>(71) 출원인<br/>인벤스스 본딩 테크놀로지스 인코포레이티드<br/>미국 95134 캘리포니아주 새너제이 오차드 파크웨이 3025</p> <p>(72) 발명자<br/>하바 벨가셈<br/>미국 95134 캘리포니아주 산 호세 오차드 파크웨이 3025<br/>모하메드 일야스<br/>미국 95134 캘리포니아주 산 호세 오차드 파크웨이 3025<br/>(뒷면에 계속)</p> <p>(74) 대리인<br/>유미특허법인</p> |
|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|

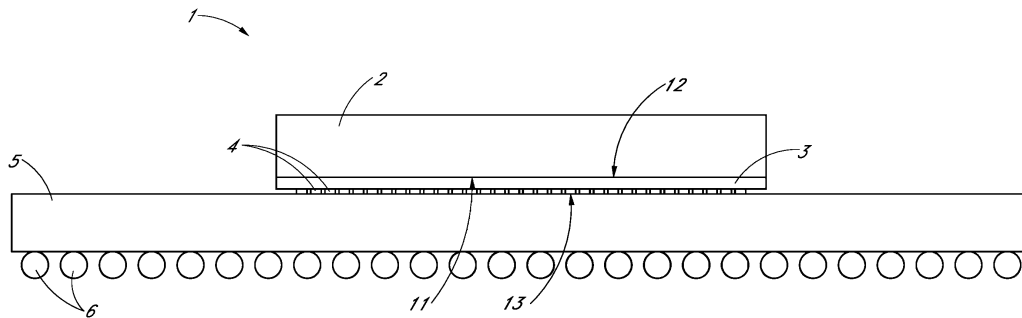
전체 청구항 수 : 총 28 항

(54) 발명의 명칭 집적된 수동 컴포넌트를 구비한 접합된 구조체

(57) 요약

다양한 실시예들에서, 접합된 구조체가 개시된다. 접합된 구조체는 구성요소 및 구성요소에 접합된 제1 표면 및 제1 표면의 반대편에 있는 제2 표면을 갖는 수동 전자 컴포넌트를 포함할 수 있다. 수동 전자 컴포넌트는 구성요소의 대응하는 제2 애노드 단자에 접합된 제1 애노드 단자 및 구성요소의 대응하는 제2 캐소드 단자에 접합된 제1 캐소드 단자를 포함할 수 있다. 제1 애노드 단자 및 제1 캐소드 단자는 수동 전자 컴포넌트의 제1 표면 상에 배치될 수 있다.

대표도 - 도1a



(52) CPC특허분류

*H01L 23/485* (2013.01)

*H01L 25/074* (2013.01)

*H01L 28/40* (2013.01)

(72) 발명자

**카트카르 라예쉬**

미국 95134 캘리포니아주 산 호세 오차드 파크웨이  
3025

**구에바라 가브리엘 지.**

미국 95134 캘리포니아주 산 호세 오차드 파크웨이  
3025

**드라크루즈 하비에르 에이.**

미국 95134 캘리포니아주 산 호세 오차드 파크웨이  
3025

**황 샤오우**

미국 95134 캘리포니아주 산 호세 오차드 파크웨이  
3025

**미르카리미 로라 월스**

미국 95134 캘리포니아주 산 호세 오차드 파크웨이  
3025

## 명세서

### 청구범위

#### 청구항 1

마이크로전자 디바이스로서,

제1 절연 기판;

제1 표면 및 상기 제1 표면에 반대편인 제2 표면을 갖는 커패시터로서, 상기 커패시터의 상기 제1 표면은 상기 제1 절연 기판에 기계적으로 결합되는, 상기 커패시터;

제2 절연 기판으로서, 상기 커패시터의 상기 제2 표면은 상기 커패시터가 상기 제1 절연 기판과 상기 제2 절연 기판 사이에 배치되도록, 상기 제2 절연 기판에 기계적으로 결합되는, 상기 제2 절연 기판;

상기 제1 절연 기판과 상기 제2 절연 기판 사이에 배치되는 절연 구성요소; 및

상기 제1 절연 기판을 통해 연장되어 상기 커패시터의 제1 단자에 전기적으로 연결되는 제1 상호연결부를 포함하는, 마이크로전자 디바이스.

#### 청구항 2

제1항에 있어서, 상기 커패시터의 상기 제1 표면은 제1 접착제에 의해 상기 제1 절연 기판에 기계적으로 결합되는, 마이크로전자 디바이스.

#### 청구항 3

제2항에 있어서, 상기 커패시터의 상기 제2 표면은 제2 접착제에 의해 상기 제2 절연 기판에 기계적으로 결합되고, 상기 절연 구성요소는 상기 제2 접착제를 추가로 포함하는, 마이크로전자 디바이스.

#### 청구항 4

제2항에 있어서, 상기 제1 접착제는 솔더를 포함하는, 마이크로전자 디바이스.

#### 청구항 5

제1항에 있어서, 상기 절연 구성요소는 상기 커패시터의 일부분들을 중심으로 배치된 성형 화합물을 포함하는, 마이크로전자 디바이스.

#### 청구항 6

제1항에 있어서, 상기 절연 구성요소는 상기 커패시터를 중심으로 상기 제1 절연 기판과 상기 제2 절연 기판 사이에 배치된 제3 중간 절연 기판을 포함하는, 마이크로전자 디바이스.

#### 청구항 7

제1항에 있어서, 상기 제1 절연 기판 및 상기 제2 절연 기판 중 하나 이상의 열 팽창 계수(CTE)는 5 ppm/℃ 이하인, 마이크로전자 디바이스.

#### 청구항 8

제1항에 있어서, 상기 마이크로전자 디바이스의 총 유효 열 팽창 계수(CTE)는 7 ppm/℃ 이하인, 마이크로전자 디바이스.

#### 청구항 9

제1항에 있어서, 상기 제1 절연 기판을 통해 연장되는 제2 상호연결부를 추가로 포함하고, 상기 제1 상호연결부는 상기 커패시터의 제1 면에서 상기 커패시터의 제1 단자에 연결되고, 상기 제2 상호연결부는 상기 제1 면에서 제2 단자에 연결되고, 상기 제1 단자는 상기 제2 단자와는 상이한 유형의 것인, 마이크로전자 디바이스.

#### 청구항 10

제9항에 있어서, 상기 커패시터의 제2 면에서의 제3 단자 및 상기 제2 면에서의 제4 단자를 추가로 포함하고, 상기 제3 단자는 상기 제4 단자와는 상이한 유형의 것인, 마이크로전자 디바이스.

#### 청구항 11

제1항의 상기 마이크로전자 디바이스 및 구성요소를 포함하는 집합된 구조체로서, 상기 구성요소는 개재 접착제 없이 상기 마이크로전자 디바이스에 직접 집합된, 집합된 구조체.

#### 청구항 12

마이크로전자 디바이스로서,

제1 표면 및 상기 제1 표면에 반대편인 제2 표면을 갖는 절연 재료;

상기 제1 표면과 상기 제2 표면 사이에서, 상기 절연 재료 내에 적어도 부분적으로 매립된 커패시터; 및

상기 제1 표면 상에 배치되고, 상기 커패시터의 하나 이상의 단자들을, 상기 절연 재료의 상기 제1 표면에 있거나 또는 그것을 통해 연장되는 하나 이상의 상호연결부들에 전기적으로 결합하도록 배열된 상호연결 층을 포함하는, 마이크로전자 디바이스.

#### 청구항 13

제12항에 있어서, 상기 커패시터는 상기 절연 재료 내에 완전히 매립되는, 마이크로전자 디바이스.

#### 청구항 14

제12항에 있어서, 제1 절연 기판을 추가로 포함하고, 상기 커패시터의 제1 표면은 제1 접착제에 의해 상기 제1 절연 기판에 기계적으로 결합되고, 상기 절연 재료는 상기 제1 접착제를 포함하는, 마이크로전자 디바이스.

#### 청구항 15

제14항에 있어서, 제2 절연 기판을 추가로 포함하고, 상기 커패시터의 상기 제2 표면은 제2 접착제에 의해 상기 제2 절연 기판에 기계적으로 결합되고, 상기 절연 재료는 상기 제2 접착제를 추가로 포함하는, 마이크로전자 디바이스.

#### 청구항 16

제12항에 있어서, 상기 커패시터의 일부분들을 중심으로 배치된 성형 화합물을 추가로 포함하고, 상기 절연 재료는 상기 성형 화합물을 추가로 포함하는, 마이크로전자 디바이스.

#### 청구항 17

집합된 구조체로서,

구성요소; 및

상기 구성요소에 집합된 제1 표면 및 상기 제1 표면에 반대편인 제2 표면을 갖는 수동 전자 컴포넌트로서, 상기 수동 전자 컴포넌트는 상기 구성요소의 대응하는 제2 애노드 단자에 집합된 제1 애노드 단자 및 상기 구성요소의 대응하는 제2 캐소드 단자에 집합된 제1 캐소드 단자를 포함하고, 상기 제1 애노드 단자 및 상기 제1 캐소드 단자는 상기 수동 전자 컴포넌트의 상기 제1 표면 상에 배치된, 상기 수동 전자 컴포넌트를 포함하는, 집합된 구조체.

#### 청구항 18

제17항에 있어서, 상기 수동 전자 컴포넌트는 개재 접착제 없이 상기 구성요소에 직접 집합된, 집합된 구조체.

#### 청구항 19

제17항에 있어서, 상기 수동 전자 컴포넌트는 커패시터를 포함하는, 집합된 구조체.

#### 청구항 20

제19항에 있어서, 상기 커패시터의 유전체 재료는 하이 K 유전체(high K dielectric)를 포함하는, 집합된 구조체.

#### 청구항 21

제19항에 있어서, 상기 커패시터는 상기 수동 전자 컴포넌트를 통해 연장되는 사문형 패턴을 포함하는, 집합된 구조체.

#### 청구항 22

제19항에 있어서, 상기 수동 전자 컴포넌트는 상기 수동 전자 컴포넌트를 통해 연장되는 스루-신호 전도체(through-signal conductor)를 포함하는, 집합된 구조체.

#### 청구항 23

집합된 구조체로서,

구성요소; 및

개재 접착제 없이 상기 구성요소에 직접 집합된 수동 전자 컴포넌트를 포함하는, 집합된 구조체.

#### 청구항 24

제23항에 있어서, 상기 수동 전자 컴포넌트는 커패시터를 포함하는, 집합된 구조체.

#### 청구항 25

제24항에 있어서, 상기 커패시터는 복수의 유전체 층들에 의해 이격된 3 개 이상의 금속성 층들을 포함하는, 집합된 구조체.

#### 청구항 26

제23항에 있어서, 상기 수동 전자 컴포넌트는 제1 전극, 제2 전극, 및 상기 제1 전극과 상기 제2 전극 사이의 유전체 재료를 포함하고, 상기 유전체 재료는 하이 K 유전체를 포함하는, 집합된 구조체.

#### 청구항 27

제26항에 있어서, 상기 하이 K 유전체는 티탄산염, ( $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ ,  $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ ,  $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ ), 나이오븀산염( $\text{LiNbO}_3$ ), 및/또는 지르코늄산염( $\text{BaZrO}_3$ ,  $\text{CaZrO}_3$ )을 포함하는, 집합된 구조체.

#### 청구항 28

제23항에 있어서, 상기 수동 전자 컴포넌트는 상기 수동 전자 컴포넌트를 통해 연장되는 스루-신호 전도체를 포함하는, 집합된 구조체.

### 발명의 설명

### 기술 분야

[0001] 관련 출원의 상호 참조

[0002] 본 출원은 각각의 전체 내용이 전체적으로 그리고 모든 목적을 위해 본 명세서에 참고로 포함되는, 2016년 12월 29일자로 출원된 미국 가특허 출원 제62/440,161호 및 2017년 6월 12일자로 출원된 미국 가특허 출원 제62/518,472호에 대해 우선권을 주장한다.

[0003] 본 출원은 또한 전체적으로 그리고 모든 목적을 위해 본 명세서에 참고로 포함된, 2017년 2월 7일자로 출원된 미국 특허 출원 제15/426,942호에 관한 것이다.

### 배경 기술

[0004] 기술분야

[0005] 본 기술분야는 집적된 수동 컴포넌트들을 구비한 접합된 구조체들에 관한 것이다.

[0006] 배경기술

[0007] 수동 전자 컴포넌트들, 예컨대, 커패시터, 저항기, 및 인덕터는 전자 시스템에서 중요한 역할을 한다. 예를 들어, 수동 컴포넌트들은 원활한 신호전달을 돕고 시스템의 능동 디바이스들의 성능을 증가시킨다. 수동 컴포넌트들을 효율적인 방식으로 통합하는 것은 어려울 수 있는데, 그 이유는 수동 컴포넌트들이 집적 디바이스 다이, 패키지, 및/또는 시스템 보드 상의 유효 공간을 차지하기 때문이다. 따라서, 전자 시스템으로의 수동 전자 컴포넌트들의 개선된 통합에 대한 지속적인 필요성이 남아 있다.

### 도면의 간단한 설명

[0008] 도 1a는 다양한 실시예들에 따른 패키지 기판과 같은 캐리어에 실장되는 접합된 구조체의 개략적 측면도이다.

도 1b는 접합된 구조체를 형성하기 이전에 구성요소 및 수동 전자 컴포넌트의 개략적 측면도이다.

도 2는 도 1a에 도시된 접합된 구조체의 부분들의 개략적, 확대된 측단면도이다.

도 3a는 상대적 저속 접속부를 구성하는 수동 전자 컴포넌트의 일부분의 개략적 측단면도이다.

도 3b는 도 3a의 수동 전자 컴포넌트의 개략적 회로도이다.

도 4a는 상대적 고속 접속부를 구성하는 수동 전자 컴포넌트의 일부분의 개략적 측단면도이다.

도 4b는 도 4a의 수동 전자 컴포넌트의 개략적 회로도이다.

도 5a는 용량성 시트를 한정하기 위하여 하이 K(high K) 유전체 재료를 포함하는 수동 전자 컴포넌트의 개략적 측단면도이다.

도 5b는 패터닝된 전극 위에 접합층이 제공되는 도 5a의 수동 전자 컴포넌트의 개략적 측단면도이다.

도 5c는 접합 전 반도체 소자의 일부분의 개략적 측단면도이다.

도 5d는 접합된 구조체의 개략적 측단면도이며, 여기서 반도체 소자는 하이 K 유전체 재료를 포함하는 수동 컴포넌트에 직접 접합된다.

도 5e는 희생 베이스를 제거한 후의 도 5d의 접합된 구조체의 개략적 측단면도이다.

도 5f는 전력 전극 및 접지 전극이 집적된 수동 전자 컴포넌트의 개략적 측단면도이다.

도 5g는 도 5f의 수동 전자 컴포넌트의 평면도이다.

도 5h는 다른 실시예에 따른 수동 전자 컴포넌트의 개략적 측단면도이다.

도 5i는 도 5h의 수동 전자 컴포넌트의 평면도이다.

도 6은 상이한 수동 전자 컴포넌트들을 갖는 다양한 디바이스들에 대한 주파수의 함수로서 전달 임피던스의 그래프이다.

도 7a는 다른 실시예에 따른, 수동 전자 컴포넌트의 개략적 측단면도이다.

도 7b는 또 다른 실시예에 따른, 수동 전자 컴포넌트의 개략적 측단면도이다.

도 7c는 다른 실시예에 따른, 수동 전자 컴포넌트의 개략적 측단면도이다.

도 7d는 수동 전자 컴포넌트의 개략적 측단면도이고, 여기서 커패시터(들)는 정렬된 섬유들에 의해 한정될 수 있다.

도 8a는 수동 전자 컴포넌트를 형성하기 이전의, 제1 절연층, 복수의 커패시터들, 및 제2 절연층의 개략적 측단면도이다.

도 8b는 수동 전자 컴포넌트를 형성하기 이전의, 제1 절연층, 복수의 커패시터들, 제2 절연층, 및 제1 절연층과 제2 절연층 사이에 배치된 중간 제3 절연층의 개략적 측단면도이다.

도 8c는 수동 전자 컴포넌트를 형성하기 이전의, 절연층 내에 매립된 커패시터들의 개략적 측단면도이다.

도 8d는 도 8a 내지 도 8c에 도시된 임의의 기술들을 이용하여 형성된 수동 전자 컴포넌트의 개략적 단면도이다.

도 8e는 하나 이상의 재배선 층들(RDL)이 수동 전자 컴포넌트에 적용된, 도 8d에 도시된 수동 전자 컴포넌트의 개략적 측단면도이다.

도 9a는 다양한 실시예들에 따른, 수동 전자 컴포넌트의 형성에 사용된 절연층의 개략적 측단면도이다.

도 9b는 하나 이상의 공동들이 도 9a의 절연층 안에 형성된 개략적 측단면도이다.

도 9c는 하나 이상의 커패시터들이 공동들 내에 제공된 개략적 측단면도이다.

도 9d는 제1 RDL이 절연층 상에 제공된 후의 도 9c의 디바이스의 개략적 측단면도이다.

도 9e는 제2 RDL이 절연층의 반대편 상에 제공된 후의 수동 전자 컴포넌트의 개략적 측단면도이다.

도 10a는 다른 실시예에 따른, 수동 전자 컴포넌트를 형성하는 데 사용된 제1 절연 캐리어의 개략적 측단면도이다.

도 10b는 제1 접착제가 그 위에 침착된 제1 절연 캐리어의 개략적 측단면도이다.

도 10c는 복수의 커패시터들이 제1 접착제에 의해 제1 절연 캐리어에 접합된 제1 절연 캐리어의 개략적 측단면도이다.

도 10d는 제2 절연 캐리어 층이 제2 접착 층에 의해 제1 접착 층에 부착된 부분적으로 한정된 컴포넌트의 개략적 측단면도이다.

도 10e는 외부 구성요소들과 전기 통신을 위하여 다양한 상호접속부들 및 트레이스들이 수동 전자 컴포넌트 내에 한정된 수동 전자 컴포넌트의 개략적 측단면도이다.

도 10f는 복수의 접착제들 및 성형 화합물을 포함하는 절연층 내에 매립된 커패시터들을 포함하는 부분적으로-제조된 수동 전자 컴포넌트의 개략적 측단면도이다.

도 10g는 다양한 실시예들에 따른, 수동 전자 컴포넌트의 개략적 측단면도이다.

도 11a는 다른 실시예에 따른, 수동 전자 컴포넌트를 형성하는 데 사용된 제1 절연 캐리어의 개략적 측단면도이다.

도 11b는 제1 접착제가 제1 절연 캐리어 상에 침착된 개략적 측단면도이다.

도 11c는 복수의 커패시터들 및 제3 절연 캐리어가 제1 접착제에 의해 제1 절연 캐리어에 접합된 제1 절연 캐리어의 개략적 측단면도이다.

도 11d는 제2 절연 캐리어 층이 제2 접착 층에 의해 제1 접착 층 및 제3 캐리어에 접착된 부분적으로 한정된 컴포넌트의 개략적 측단면도이다.

도 11e는 외부 구성요소들과 전기 통신을 위하여 다양한 상호접속부들 및 트레이스들이 수동 전자 컴포넌트 내에 한정된 수동 전자 컴포넌트의 개략적 측단면도이다.

도 11f는 복수의 접착제들 및 성형 화합물을 포함하는 절연층 내에 매립된 커패시터들을 포함하는 부분적으로-제조된 수동 전자 컴포넌트의 개략적 측단면도이다.

도 11g는 다양한 실시예들에 따른, 수동 전자 컴포넌트의 개략적 측단면도이다.

도 11h는 추가적인 절연 캐리어 층들을 갖는 수동 전자 컴포넌트의 개략적 측단면도이다.

도 11i는 수동 컴포넌트 위에 추가적인 절연 캐리어 층들 및 성형 화합물을 갖는 수동 전자 컴포넌트의 개략적 측단면도이다.

도 12a는 다른 실시예에 따른, 수동 전자 컴포넌트를 형성하는 데 사용되고, 복수의 컨택 패드들을 그 위에 갖는 제1 절연 캐리어의 개략적 측단면도이다.

도 12b는 커패시터들을 제1 절연 캐리어에 전기적 및 기계적으로 연결시킨 솔더를 포함하는 제1 접착제를 구비

한 제1 절연 캐리어의 개략적 측단면도이다.

도 12c는 복수의 커패시터들 및 성형 화합물이 커패시터들을 중심으로 배치된 제1 절연 캐리어의 개략적 측단면도이다.

도 12d는 제2 절연 캐리어 층이 제2 접착 층에 의해 제1 접착 층 및 성형 화합물에 접착된 부분적으로 한정된 컴포넌트의 개략적 측단면도이다.

도 12e는 외부 구성요소들과 전기 통신을 위하여 다양한 상호접속부들 및 트레이스들이 수동 전자 컴포넌트 내에 한정된 수동 전자 컴포넌트의 개략적 측단면도이다.

도 13a는 다른 실시예에 따른, 수동 전자 컴포넌트를 형성하는 데 사용되고, 복수의 컨택 패드들을 갖는 제1 절연 캐리어의 개략적 측단면도이다.

도 13b는 커패시터들을 제1 절연 캐리어에 전기적 및 기계적으로 연결된 솔더를 포함하는 제1 접착제를 구비한 제1 절연 캐리어의 개략적 측단면도이다.

도 13c는 절연 캐리어가 제1 절연 캐리어에 부착되고 커패시터들을 중심으로 배치된 제1 절연 캐리어의 개략적 측단면도이다.

도 13d는 성형 화합물이 커패시터들을 중심으로 적용된, 도 13c의 부분적으로 한정된 컴포넌트의 개략적 측단면도이다.

도 13e는 제2 절연 캐리어가 커패시터들 위에 제공된 부분적으로 한정된 컴포넌트의 개략적 측단면도이다.

도 13f는 외부 구성요소들과 전기 통신을 위하여 다양한 상호접속부들 및 트레이스들이 수동 전자 컴포넌트 내에 한정된 수동 전자 컴포넌트의 개략적 측단면도이다.

도 14a는 복수의 커패시터들이 접착 층에 의해 캐리어에 실장된 캐리어의 개략적 측단면도이다.

도 14b는 다양한 실시예들에 따른 수동 전자 컴포넌트의 개략적 측단면도이다.

도 15는 다양한 실시예들에 따른, 접합된 구조체를 형성하기 위한 방법을 도시하는 흐름도이다.

도 16은 다양한 실시예들에 따른, 하나 이상의 접합된 구조체들을 포함하는 전자 시스템의 개략적 시스템도이다.

### 발명을 실시하기 위한 구체적인 내용

[0009]

본 명세서에 기재된 다양한 실시예들은 반도체 소자 및 개재 접착제 없이 반도체 소자에 직접 접합된 수동 전자 컴포넌트를 포함하는 접합된 구조체에 관한 것이다. 다양한 실시예들에서, 수동 전자 컴포넌트는 커패시터를 포함한다. 다른 실시예들에서, 수동 전자 컴포넌트는 다른 디바이스들, 예컨대, 인덕터, 저항기, 전압 레귤레이터, 필터, 및/또는 공진기를 포함할 수 있다. 유리하게도, 수동 전자 컴포넌트는 반도체 소자에 직접 접합된 수동 컴포넌트들의 층 안에 집적될 수 있다(예컨대, 집적 디바이스 다이). 도시된 실시예들에서, 예를 들어, 수동 컴포넌트들의 층은 반도체 소자와 인터포저, 시스템 기관 등과 같은 다른 시스템 컴포넌트 사이에 배치될 수 있다. 따라서, 본 명세서에 기재된 수동 전자 컴포넌트는 집적 디바이스, 패키지, 및/또는 시스템 보드에서 수동 컴포넌트들이 차지하는 공간을 줄일 수 있다. 또한, 수동 전자 컴포넌트를 반도체 소자의 능동 컴포넌트들에 더 가까이 위치설정함으로써 유리하게도 총 인덕턴스를 줄일 수 있는데, 이는 수동 디바이스들이 패키지 기관 또는 시스템 보드에 실장된 것에 비해, 반도체 소자의 대역폭 및 신호 무결성을 개선할 수 있다. 또한, 개시된 실시예들에 의해 제공되는 전체 커패시턴스는 개별 수동 컴포넌트들이 다이에 실장된 것과 비교하여 현저하게 더 높은 커패시턴스(및 감소된 인덕턴스)를 가능하게 한다.

[0010]

다양한 실시예들에서, 수동 컴포넌트는 대규모 커패시턴스를 갖는 적층된 커패시터 구조체를 포함할 수 있다. 일부 실시예들에서, 예를 들어, 높은 유전 상수(하이 K) 웨이퍼 또는 시트들로 적층된 커패시터들을 생성할 수 있다. 웨이퍼-투-웨이퍼 접합층이 제1 반도체 소자 또는 웨이퍼(예컨대, 복수의 프로세서들을 포함하는 프로세서 웨이퍼)와 같은 제1 구성요소, 및 제2 반도체 소자 또는 웨이퍼(예컨대, 하나 또는 복수의 커패시터들을 한정하는 커패시터 웨이퍼)와 같은 제2 구성요소 상에 제공될 수 있다. 본 명세서에 기재된 제1 및 제2 구성요소는 반도체 재료로 형성된 반도체 소자들을 포함할 수 있거나, 또는 다양한 유형들의 광학 디바이스들(예컨대, 렌즈, 필터, 도파관 등)과 같은 기타 비-반도체 소자들을 포함할 수 있다. 다양한 실시예들에서, 추가적인 직접 접합층이 커패시터 웨이퍼 및 프로세서 웨이퍼에 직접 접합하기 위하여 추가 및 준비된다. 본 명세서에 기

재된 적층된 커패시터 구조체들은 안정된 고속 시그널링을 위하여 신호의 직류 전류(DC) 성분들을 필터링하는, 신호 경로에 직렬로 연결된 교류 전류(AC) 커플링 커패시터들로서 사용될 수 있다. 적층된 커패시터 구조체는 또한 시스템 전력 전달 네트워크(PDN) 임피던스를 낮추기 위하여 높은 커패시턴스 및 매우 낮은 기생 인덕턴스 및 저항을 갖는 디커플링 커패시터로서 사용될 수 있다. 결과는 커패시터 구조체가 다이 또는 패키지 기판에 실장된 개별 커패시터들의 사용과 비교하여 모든 주파수 범위에 대하여 PDN 임피던스가 1000 배 이상 감소된 동작을 가능하게 함을 보여준다.

[0011] 반도체 소자와 수동 컴포넌트 간의 직접 접합은 개재 접착제 없이 반도체 소자(예컨대, 프로세서 다이 또는 웨이퍼)의 대응하는 전도성 특징부들과 수동 컴포넌트(예컨대, 반도체 소자의 접합 패드와 수동 컴포넌트의 대응하는 컨택 패드) 간의 직접 접합을 포함할 수 있지만, 이에 한정되지 않는다. 일부 실시예들에서, 전도성 특징부들은 비-전도성 필드 영역에 의해 둘러싸일 수 있다. 직접 접합을 달성하기 위하여, 일부 실시예들에서, 전도성 특징부들의 각자의 접합 표면들 및 비-전도성 필드 영역들이 접합을 위해 준비될 수 있다. 제조는, 금속 접합 패드들 또는 컨택들과 같은 노출된 전도성 특징부들을 구비한 이산화규소와 같은 비전도성 층의 제공을 포함할 수 있다. 전도성 특징부들의 접합 표면들 및 비-전도성 필드 영역들은 매우 높은 평활도(예컨대, 20 nm 미만의 표면 조도, 또는 더 구체적으로는, 5 nm 미만의 표면 조도)로 폴리싱될 수 있다. 일부 실시예에서, 접합될 표면은 적합한 화학종(species)으로 종단처리되고(terminated) 접합 전에 활성화될 수 있다. 예를 들어, 일부 실시예들에서, 이산화규소 재료와 같은, 접합될 접합층의 비-전도성 표면들(예컨대, 필드 영역들)은 활성화를 위해 매우 약간 에칭되고 질소-함유 용액에 노출되며 질소-함유 화학종으로 종단처리될 수 있다. 일례로서, 접합될 표면(예컨대, 필드 구역)은 매우 약간의 에칭 후에 암모니아 침지액(ammonia dip)에, 그리고/또는 질소-함유 플라즈마(nitrogen-containing plasma)(별개의 에칭이 있거나 없이)에 노출될 수 있다. 직접 접합 상호접속(DBI) 공정에서, 다이의 비전도성 특징부들과 수동 컴포넌트 층은, 실온에서 외부 압력의 인가 없이도, 서로 직접 접합될 수 있고, 다이의 전도성 특징부들과 수동 컴포넌트 층은 또한 임의의 개재 접착 층들없이 직접 서로 접합될 수 있다. DBI에 의한 접합은 반 데르 발스 결합보다 강한 결합을 형성하며, 관심 표면들 간의 상당한 공유 결합을 포함한다.

[0012] 일부 실시예들에서, 각자의 전도성 특징부들은 반도체 소자 및 수동 컴포넌트의 외부 표면들(예컨대, 필드 영역들)과 동일 평면 상에 있을 수 있다. 다른 실시예들에서, 전도성 특징부들은 외부 표면들 위로 연장될 수 있다. 또 다른 실시예들에서, 반도체 소자 및 수동 컴포넌트 층 중 하나 또는 둘 모두의 전도성 특징부들은 반도체 소자 및 수동 컴포넌트의 외부 표면들(예컨대, 비전도성 필드 영역들)에 대하여 리세스된다. 예를 들어, 전도성 특징부들은 필드 영역들에 대하여 20 nm 미만, 예컨대, 10 nm 미만 리세스될 수 있다.

[0013] 각자의 표면들이 준비되면, 반도체 소자의 비전도성 필드 영역들(예컨대 이산화규소)은 수동 컴포넌트의 대응하는 비전도성 영역들과 접촉하게 될 수 있다. 활성화된 표면들의 상호작용은 반도체 소자의 비전도성 영역들로 하여금 수동 컴포넌트의 대응하는 비전도성 영역들과, 개재 접착제 없이, 외부 압력의 인가 없이, 전압의 인가 없이, 실온에서 직접 접합하게 할 수 있다. 다양한 실시예들에서, 비전도성 영역들의 접합력은 반 데르 발스 결합보다 크고, 전도성 특징부들 사이에 현저한 힘을 가하는 공유 결합을 포함할 수 있다. 임의의 열 처리 이전에, 유전체-유전체 표면의 접합 에너지의 범위는 150 내지 300mJ/m<sup>2</sup>일 수 있고, 이는 열 처리 기간 후에 1500 내지 4000 mJ/m<sup>2</sup>로 증가할 수 있다. 전도성 특징부들이 비전도성 영역들에 동일 평면 상에 있는지 또는 리세스되었는지에 상관 없이, 비전도성 영역들의 직접 접합은 전도성 특징부들 간의 직접 금속-금속 접합을 용이하게 할 수 있다. 다양한 실시예들에서, 적어도 비전도성 영역들을 접합한 후에 반도체 소자 및 수동 컴포넌트는 가열될 수 있다. 위에 언급된 바와 같이, 이러한 열 처리는 비전도성 영역들 사이의 접합, 전도성 특징부들 사이의 접합, 및/또는 반대 전도성 영역과 비-전도성 영역 사이의 접합을 강화할 수 있다. 전도성 특징부들 중 하나 또는 둘 모두가 리세스되는 실시예들에서, 반도체 소자의 전도성 특징부들과 수동 컴포넌트 층 사이의 초기 갭이 있을 수 있고, 비전도성 영역들을 초기에 접합한 후 가열함으로써 전도성 구성요소들을 확장시켜 그 갭을 폐쇄할 수 있다. 초기 갭이 있었는지 여부에 상관 없이, 가열은 반대편 부분들의 전도성 구성요소들 사이의 압력을 생성 또는 증가시키고, 전도성 특징부들의 접합을 돕고 직접 전기 및 기계적 연결을 형성할 수 있다.

[0014] 일부 실시예들에서, 커패시턴스는 구성요소(예컨대, 반도체 소자)의 주 측방향 표면에 평행하지 않은 (예컨대, 일반적으로 수직한) 방향을 따라 일반적으로 배치된 전극 표면들을 갖는 커패시터들을 제공함으로써 개선될 수 있다. 증가된 표면들을 제공하는 파형은 다중 층들 및 마스크들에 비하여, 측방향으로 연장되는 핀들을 생성하기 위하여 상대적으로 단순하게 패터닝될 수 있다. 커패시터는 평행하지 않은 방향을 따라 연장되고 개재 유전체에 의해 떨어져 이격되는 주 표면들을 포함하는 제1 및 제2 전극을 포함할 수 있다. 커패시터의 수직-배치된

파형(예컨대, 트렌치들)은 높은 종횡비를 가질 수 있는데, *예컨대*, 평행하지 않은 방향을 따르는 제1 전극의 제1 높이는 주 측방향 표면을 따르는 커패시터의 너비보다 더 길 수 있다. 제1 높이를 너비로 나눈 것으로 정의될 수 있는 종횡비는 5:1보다 클 수 있다. 그러한 실시예들에서, 커패시터를 반도체 소자에 대하여 주로 수직하게 제공함으로써 유리하게도 전극들의 총 표면적을 증가시켜, 다른 배열들에 비해 커패시턴스를 개선할 수 있다.

[0015] 개시된 실시예들 각각과 함께 사용되는 직접 접합 공정들의 추가적인 상세 사항을 미국 특허 제7,126,212호; 제8,153,505호; 제7,622,324호; 제7,602,070호; 제8,163,373호; 제8,389,378호; 및 제8,735,219호 전반에 걸쳐, 그리고 미국 특허 출원 제14/835,379호; 제62/278,354호; 제62/303,930호; 및 제15/137,930호 전반에 걸쳐 볼 수 있으며, 이들 각각의 내용은 이로써 전체적으로 그리고 모든 목적을 위해 본 명세서에 참고로 포함된다.

[0016] 도 1a는 다양한 실시예들에 따른 패키지 기판(5)과 같은 캐리어에 실장되는 접합된 구조체(1)의 개략적 측면도이다. 도시된 캐리어는 패키지 기판을 포함하지만, 다른 실시예들에서, 캐리어는 집적 디바이스 다이 또는 임의의 다른 적합한 구성요소를 포함할 수 있다. 패키지 기판(5)은 시스템 마더보드에 실장되도록 구성된 임의의 적합한 기판을 포함할 수 있다. 예를 들어, 다양한 실시예들에서, 패키지 기판(5)은 인쇄 회로 보드(PCB), 인터포저, 리드프레임, 세라믹 기판, 중합체 기판, 또는 임의의 다른 적합한 캐리어를 포함할 수 있다. 도 1a에 도시된 바와 같이, 패키지 기판(5)은 시스템 마더보드(미도시)에 전기 연결을 제공하기 위한 복수의 솔더 볼들(6)을 포함할 수 있다. 다른 실시예들에서, 패키지 기판(5)은 다른 방식으로 시스템 마더보드에 전기적으로 연결될 수 있다.

[0017] 도 1a에서, 접합된 구조체(1)는 구성요소(*예컨대*, 반도체 소자(2)) 및 구성요소(2)와 전기적 및 기계적으로 직접 연결된 수동 전자 컴포넌트(3)를 포함한다. 도 1a에 도시된 구성요소(2)는 프로세서 다이와 같은 반도체 소자를 포함하지만, 다른 유형들의 집적 디바이스 다이들 또는 반도체 소자들이 사용될 수 있다. 예를 들어, 다른 실시예들에서, 소자(2)는 메모리 다이, 마이크로전자기계 시스템(MEMS) 다이, 광학 디바이스 또는 다이, 인터포저, 제구성된 다이 또는 웨이퍼, 또는 임의의 다른 적합한 디바이스 또는 구성요소를 포함할 수 있다. 다양한 실시예들에서, 본 명세서에 도시된 구성요소(2)는 대신 비-반도체 소자를 포함하여 수동 전자 컴포넌트(3)가 반도체 재료를 포함하거나 또는 포함하지 않을 수 있는, 광학 구성요소들(*예컨대*, 광학 렌즈, 도파관, 필터 등)과 같은 다른 유형들의 구성요소들에 기계적 및 전기적으로 연결될 수 있도록 할 수 있다.

[0018] 본 명세서에 설명된 바와 같이, 다양한 응용예들(예컨대 고속 통신 또는 전력 다이들)에서, 총 임피던스 및/또는 인덕턴스를 감소시키기 위하여 수동 전자 컴포넌트들(예컨대 커패시터)을 반도체 소자(2)의 능동 회로부 가까이 제공하는 것이 중요할 수 있는데, 이는 그에 따라 신호 무결성을 개선하고 스위칭 노이즈를 감소시킬 수 있다. 따라서, 도 1a에 도시된 바와 같이, 수동 전자 컴포넌트(3)는 반도체 소자(2)의 능동 표면(11)에 접합될 수 있는데, 즉, 능동 전자 회로부는 반도체 소자(2)의 능동 표면(11)에 또는 그 근처에 한정될 수 있다. 도시된 실시예에서, 수동 전자 컴포넌트(3)는 개재 접착제 없이 반도체 소자(2)의 능동 표면(11)에 직접 접합된다. 그러나, 다른 실시예들에서, 수동 전자 컴포넌트(3)는 반도체 소자(2)에, *예컨대*, 리플로우, 전도성 필러들을 구비한 마이크로범프 어레이에 의해, 또는 열압착 접합에 의해 접착될 수 있다. 유리하게도, 수동 전자 컴포넌트(3)를 반도체 소자(2)의 전면 또는 능동 표면(11)에 접합함으로써, 수동 디바이스들을 시스템 보드 또는 패키지 기판에 실장하는 시스템과 비교하여, 신호 라인들의 길이 및 총 임피던스 및/또는 인덕턴스를 감소시킬 수 있다. 수동 컴포넌트(3)는 노이즈발생 컴포넌트들을 조용히 시킴으로써 반도체 소자(2)에 대한 전압 요건들을 감소시킬 수 있다. 또한, 수동 전자 컴포넌트(3)를 반도체 소자(2)에 접합함으로써 패키지의 전체 치수들을 줄일 수 있는데, 그 이유는 수동 전자 컴포넌트들이 반도체 소자(2)에 접합된 얇은 층을 점유하기 때문이다. 그러나, 통상의 기술자는, 예를 들어, 그것의 후면 상의 스루 실리콘 비아(TSV)들에 의한, 캐리어와 반도체 소자 사이의 수동 전자 컴포넌트들의 직접 접합을 이해할 것이다.

[0019] 도 1a에 도시된 바와 같이, 수동 전자 컴포넌트(3)는 반도체 소자(2)에 직접 접합된 제1 표면(12) 및 수동 전자 컴포넌트(3)의 제1 표면(12)의 반대편에 있는 제2 외부 표면(13)을 포함할 수 있다. 복수의 전기 콘택들(4)(*예컨대*, 솔더 볼)은 수동 전자 컴포넌트(3)의 제2 외부 표면(13) 상에 제공될 수 있다. 복수의 전기 콘택들(4)은 외부 반도체 소자, 예컨대, 도 1a에 도시된 패키지 기판(5)(*예컨대*, 인쇄 회로 보드, 인터포저 등)에 전기적으로 연결되도록 구성될 수 있다. 대안적으로, 제2 표면들(13)은 접합된 구조체에 대한 캐리어의 역할을 하는 다른 구성요소, 예컨대 다른 반도체 소자(예컨대, 다이 또는 인터포저)에 직접 접합 연결되도록 구성된 노출된 콘택들 또는 패드들을 가질 수 있다.

[0020] 도 1a에 도시된 바와 같이, 수동 전자 컴포넌트(3)는 반도체 소자(2)의 능동 표면(11)의 대부분, *예컨대*, 프로

세상 또는 기타 활성 태스크들에 사용되는 반도체 소자(2)의 표면의 대부분을 커버(예컨대, 그 위에 배치될 수 있음). 예를 들어, 다양한 실시예들에서, 수동 전자 컴포넌트(3)는 반도체 소자(2)의 능동 표면(11)의 적어도 55%, 적어도 65%, 적어도 75%, 적어도 85%, 적어도 95%, 적어도 99%, 또는 적어도 100%를 커버할 수 있다. 도 1a에서, 단일 일원화된 수동 컴포넌트(3)는 실질적으로 반도체 소자(2)의 전체 능동 표면(11)을 커버하는 것으로 도시되지만; 그러나, 다른 실시예들에서, 수동 컴포넌트(3)는 구성요소(2)의 능동 표면(11)의 대부분을 커버하도록 접합된 복수의 개별 또는 별개의 수동 컴포넌트들을 포함할 수 있다. 또한, 다른 실시예들에서, 수동 전자 컴포넌트(3)는 반도체 소자(2)의 후면, 즉, 능동 표면(11)에 반대편의 표면에 기계적 및 전기적으로 연결될 수 있다. 이러한 구성에서, 구성요소(2) 내의 전도체들의 길이는, 수동 컴포넌트(3)가 구성요소(2)의 후면에 실장되더라도, 패키징 기관 상의 별개 표면 실장 수동 전자 컴포넌트 상에 대한 라우팅에 비하여 임피던스를 충분히 낮출 수 있도록 충분히 짧을 수 있다. 또한, 도 1a에 도시된 바와 같이, 수동 전자 컴포넌트(3)는 반도체 소자(2)에 접합된(예컨대, 개재 접촉재 없이 직접 접합된) 시트를 포함할 수 있는데, 즉, 수동 전자 컴포넌트(3)는 그것의 두께보다 현저하게 큰 측방향 너비를 갖도록 치수설정될 수 있다. 예를 들어, 수동 전자 컴포넌트(3)의 측방향 너비(예컨대, 구성요소(2)의 능동 표면(11)에 평행한 방향을 따라 한정됨)는 컴포넌트(3)의 그것의 두께(예컨대, 구성요소(2)의 능동 표면(11)에 수직인 방향을 따라 한정됨)의 적어도 3 배, 적어도 5 배, 적어도 10 배, 또는 적어도 50 배일 수 있다.

[0021] 수동 전자 컴포넌트(3)는 희생 웨이퍼(예컨대, 규소 또는 유리) 상에 제공될 수 있고, 반도체 소자(2)는 또한 웨이퍼 상에 제공될 수 있다. 2개의 웨이퍼가 웨이퍼 레벨(예컨대, 웨이퍼-투-웨이퍼 또는 W2W)에서 서로 직접 접합되어, 복수의 수동 컴포넌트들(3)이 대응하는 복수의 반도체 소자들(2)에 접합되도록 할 수 있고, 이는 제조 스루풋을 개선할 수 있다. 접합 후, 웨이퍼들의 베이스 재료는 다이싱 전에 또는 후에 박화 또는 제거될 수 있다. 다른 실시예들에서, 수동 전자 컴포넌트(3)는 픽업되어 반도체 소자(2) 상에 배치되거나, 또는 기타 처리 기술들을 이용하여 반도체 소자(2)에 접합될 수 있다.

[0022] 도 1b는 접합된 구조체(1)를 형성하기 전, 벌크 재료 부분(37)(예컨대, 벌크 반도체 재료) 및 능동 표면(11)을 포함하는 반도체 소자(2), 및 수동 전자 컴포넌트(3)의 개략적 측면도이다. 달리 언급되지 않는 한, 도 1b의 특징부들은 도 1a의 같은 동일-도면 부호 특징부들과 동일하거나 또는 일반적으로 유사할 것이다. 위에 설명된 바와 같이, 수동 컴포넌트(3) 및 반도체 소자(2)는 각자의 접합층들(8a, 8b)(또한 도 2 참조)을 포함할 수 있다. 도시된 실시예에서, 수동 전자 컴포넌트(3)의 접합층(8a)은 이산화규소 재료의 형태와 같은, 비-전도성 필드 영역들(도 2 참조)에 의해 둘러싸인, 금속과 같은 하나 또는 복수의 전도성 특징부들(9a, 9a')을 포함할 수 있다. 유사하게, 접합층(8b)은 이산화규소와 같은, 비-전도성 필드 영역들(도 2 참조)에 의해 둘러싸인, 금속과 같은 하나 또는 복수의 전도성 특징부들(9b, 9b')을 포함할 수 있다. 전도성 특징부들(9a, 9a', 9b, 9b')은 반도체 소자(2)와 수동 컴포넌트(3) 간의 전기 통신을 제공하는 전기 상호연결부의 역할을 할 수 있다. 전도성 특징부들(9a, 9a', 9b, 9b')은 구리와 같은 임의의 적합한 금속 또는 전도체를 포함할 수 있다. 위에 설명된 바와 같이, 전도성 특징부들(9a, 9a', 9b, 9b')은 비-전도성 필드 영역들의 외부 표면들 아래로 리세스될 수 있고, 그 위로 돌출될 수 있거나, 또는 그와 동일 평면 상에 있을 수 있다.

[0023] 도 1b의 실시예에서, 전도성 특징부(9a)는 제1 단자(예컨대, 용량성 디바이스의 애노드)를 포함할 수 있고, 다른 전도성 특징부(9a')는 제1 단자와 상이한 유형의 제2 단자(예컨대, 용량성 디바이스의 캐소드)를 포함할 수 있다. 유사하게, 전도성 특징부(9b)는 구성요소(2)의 제1 단자(예컨대, 애노드)를 포함할 수 있고, 다른 전도성 특징부(9a')는 제1 단자와 상이한 유형의 구성요소(2)의 제2 단자(예컨대, 캐소드)를 포함할 수 있다. 유사하게도, 본 명세서에 기재된 다양한 실시예들은 수동 전자 컴포넌트(3)의 동일한 제1 표면(12) 상에 애노드 및 캐소드(예컨대, 전도성 특징부들(9a, 9a')) 둘 모두를 포함할 수 있다. 따라서, 반도체 소자(2)의 각자의 애노드 단자들(9b)은 제1 표면(12) 상에 배치된 수동 전자 컴포넌트(3)의 대응하는 각자의 애노드 단자들(9a)에 접합되고 전기적으로 연결될 수 있다. 반도체 소자(2)의 각자의 캐소드 단자들(9b')은 제1 표면(12) 상에 배치된 수동 전자 컴포넌트(3)의 대응하는 각자의 캐소드 단자들(9a')에 접합되고 전기적으로 연결될 수 있다.

[0024] 유사하게도, 수동 전자 컴포넌트(3)의 동일한 제1 표면(12) 상에 애노드 단자(9a) 및 캐소드 단자(9a')를 제공하는 것은 수동 컴포넌트(3)의 동일한 면을 따라 두 구조체들을 웨이퍼 레벨 접합(예컨대, 반도체 소자(2)와 수동 컴포넌트(3)의 접합) 하는 것을 가능하게 할 수 있다. 따라서, 본 명세서에 기재된 실시예들에서, 수동 컴포넌트(3)의 각각의 반대면은 하나 또는 복수의 애노드들 및 하나 또는 복수의 캐소드들(예컨대, 상이한 유형의 단자들)을 포함할 수 있다. 다양한 실시예들에서, 컴포넌트(3)의 한면 또는 양면은 하나 이상의 더미 단자들을 포함할 수 있다. 구성요소(예컨대, 반도체 소자(2))는 대응하는 애노드 및 캐소드 단자들에 연결된(예컨대, 접합된) 컨택들을 수동 컴포넌트의 한 면(예컨대, 제1 면) 상에 가질 수 있다. 제2 구성요소(예컨대, 다른 반도체

체 소자, 패키지 기판 등)는 대응하는 제2 애노드 및 캐소드 단자에 연결된(예컨대, 접합된) 콘택들을 수동 컴포넌트(3)의 반대편(예컨대, 제2 면) 상에 가질 수 있다. 도 1b의 도시된 실시예에서, 예를 들어, 구성요소(2)는 수동 컴포넌트(3)의 제1 면 상의 상이한 유형의 대응하는 제1 및 제2 단자들(예컨대, 애노드 및 캐소드 단자들)에 연결될 수 있다. 패키지 기판과 같은 다른 구성요소(미도시)가 수동 컴포넌트(3)의 제2 반대편 상의 상이한 유형의 대응하는 제1 및 제2 단자들(예컨대, 애노드 및 캐소드 단자들)에, 예를 들어, 상호연결부들(4)(이들은 솔더 볼들을 포함할 수 있음)에 의해 연결될 수 있다.

[0025] 다양한 실시예들에서, 애노드 단자들(9a, 9b)은 개재 접착제 없이 서로 직접 접합된다. 유사하게, 캐소드 단자들(9a', 9b')은 개재 접착제 없이 서로 또한 직접 접합될 수 있다. 다양한 실시예들에서, 각자의 애노드 단자들(9a, 9b) 및 캐소드 단자들(9a', 9b')은 열압착 접합에 의해 연결될 수 있다. 다른 실시예들에서, 각자의 애노드 단자들(9a, 9b) 및 캐소드 단자들(9a', 9b')은 다른 방식으로, 예컨대, 솔더와 같은 전도성 접착제에 의해, 이방성 전도성 필름 등에 연결될 수 있다. 또한, 도 1b에 도시된 바와 같이, 수동 컴포넌트(3)의 다양한 부분들은 상이한 유형의 상호연결부들 및/또는 수동 컴포넌트들을 가질 수 있다. 예를 들어, 수동 전자 컴포넌트(3)의 일부분은 도 2에 도시된 부분과 유사한 다중-층 용량성 부분을 포함할 수 있고, 수동 전자 컴포넌트(3)의 다른 부분은 도 4a에 도시된 것과 유사한 직렬 용량성 상호연결부를 포함할 수 있다. 수동 전자 컴포넌트의 또 다른 부분들에서, 도 3a에 도시된 것과 같은 낮은 저항 전기 경로(예컨대, 스루 상호연결부)가 제공될 수 있다. 또한, 도 7a 내지 도 7c에 도시된 것들과 같은 수동 전자 컴포넌트들은 또한 컴포넌트의 동일한 면 상에 애노드 및 캐소드 단자들(9a, 9a')을 포함할 수 있다.

[0026] 도 2는 직접 접합 직전의, 도 1a 및 도 1b에 도시된 반도체 소자(2) 및 수동 전자 컴포넌트(3)의 부분들의 개략적, 확대된 측면면도이다. 위에 설명된 바와 같이, 수동 컴포넌트(3)는 접합층(8a)을 포함할 수 있고, 반도체 소자(2)는 접합층(8b)을 포함할 수 있다. 도시된 실시예에서, 접합층(8a)은 이산화규소 재료의 형태와 같은 비-전도성 필드 영역들(7a)에 의해 둘러싸인, 금속과 같은 하나 또는 복수의 전도성 특징부들(9a, 9a')을 포함할 수 있다. 유사하게, 접합층(8b)은 이산화규소와 같은, 비-전도성 필드 영역들(7b)에 의해 둘러싸인, 금속과 같은 하나 또는 복수의 전도성 특징부들(9b, 9b')을 포함할 수 있다. 전도성 특징부들(9a, 9a', 9b, 9b')은 반도체 소자(2)와 수동 컴포넌트(3) 간의 전기 통신을 제공하는 전기 상호연결부의 역할을 할 수 있다. 전도성 특징부들(9a, 9a', 9b, 9b')은 구리와 같은 임의의 적합한 금속 또는 전도체를 포함할 수 있다. 위에 설명된 바와 같이, 전도성 특징부들(9a, 9a', 9b, 9b')은 아래로 리세스될 수 있고, 위로 돌출될 수 있거나, 또는 비-전도성 필드 영역들(7a, 7b)의 외부 표면들과 동일 평면 상에 있을 수 있다. 비-전도성 필드 영역들(7a, 7b)은 직접 접합을 위해 준비될 수 있는 이산화규소, 도핑되지 않거나 또는 매우 약하게 도핑된 규소, 질화 규소 등과 같은 임의의 적합한 비-전도성 재료를 포함할 수 있다.

[0027] 위에 설명된 바와 같이, 접합층들(8a, 8b)은 (예컨대, 화학기계적 폴리싱, 또는 CMP에 의해) 매우 낮은 표면 조도(예컨대, 20 nm 미만, 또는 더 구체적으로는, 5 nm 미만의 RMS 조도)로 폴리싱될 수 있다. 위에 설명된 바와 같이, 접합층들(8a, 8b)(예컨대, 비-전도성 필드 영역들(7a, 7b))은 활성화되고, 예컨대, 질소-함유 플라스마에 대한 노출에 의해(예컨대, 리액티브 이온 에칭에서) 또는 매우 약한 에칭 및 후속적으로 질소-함유(예컨대, 암모니아) 용액에 대한 노출에 의해 질소와 같은 적합한 화학종으로 종단처리될 수 있다. 접합층들(8a, 8b)은 실온에서 함께 일부 실시예들에서 필드 영역들(7a, 7b) 사이에 직접 접합을 형성하게 될 수 있다. 반도체 소자(2) 및 수동 컴포넌트(3)는 가열되어 필드 영역들(7a, 7b) 사이의 접합을 강화, 및/또는 전도성 특징부들(9a, 9b, 9a', 9b')이 확장되어 전기 연결을 형성하게 하도록 할 수 있다. 유리하게도, 직접 접합의 사용은 반도체 소자(2)와 수동 컴포넌트(3) 사이에 낮은 임피던스 및 낮은 인덕턴스 전기 경로를 제공할 수 있고, 이는 전력 또는 신호 무결성을 개선할 수 있다.

[0028] 도 2에 도시된 바와 같이, 반도체 소자(2)는 반도체 소자(2) 내에서 및/또는 반도체 소자(2)와 수동 전자 컴포넌트(3) 사이에서 전기 신호를 라우팅하는 내부 전도성 트레이스들(14) 및 비아들(15)을 포함할 수 있다. 전기 신호는 전도성 특징부들(9a, 9a' 및 9b, 9b')(이들은 각각 서로 직접 접합될 수 있음)을 통해 수동 전자 컴포넌트(3)에 오고갈 수 있다. 전도성 특징부들(9a, 9a')은 수동 전자 컴포넌트(3)의 제1 표면(12)에서 또는 그 근처에서 콘택 패드(21)를 한정하거나, 그 역할을 하거나, 또는 그것에 연결될 수 있다. 도 2에 도시된 바와 같이, 다양한 실시예들에서, 수동 전자 컴포넌트(3)는 하나 또는 복수의 유전체 또는 비전도성 층들(10)에 의해 이격된 복수의(예컨대, 둘 이상의, 또는 셋 이상의) 전도성 층들(16)을 포함할 수 있다. 도 2에 도시된 바와 같이, 접합된 구조체(1)는 콘택 패드들(21) 및 수동 전자 컴포넌트(3)의 제2 표면(13) 상의 반도체 소자(2)와 전기 콘택들(4) 사이의 전기 경로들 또는 상호연결부들(18)을 포함하는 상호연결 구조체(17)를 한정하는 전도성 특징부들(9a, 9a', 9b, 9b')을 포함할 수 있다. 도 2에서, 복수의 전도성 특징부들(9a, 9a', 9b, 9b')은 접합

층들(8a, 8b)의 각각에 도시되어 있고, 이는 디싱(dishing)을 감소시킬 수 있다. 그러나, 다른 실시예들에서, 콘택 패드들(21)은 프로세싱 동안 디싱의 영향을 회피하도록 충분히 작게 한정될 수 있다. 이러한 구성에서, 각각의 콘택 패드(21)는 하나의 전도성 특징부를 포함할 수 있다.

[0029] 도 2는 3개의 콘택 패드들(21) 및 3개의 상호연결부들(4)을 도시하고 있지만, 다양한 실시예들에서, 콘택 패드들(21) 및 상호연결부들(4)의 개수는 상이할 수 있다. 예를 들어, 일부 실시예들에서, 반도체 소자(2) 상의 콘택 패드들(21) 및/또는 수동 컴포넌트(3)의 피치는 상호연결부들(4)의 피치보다 작을 수 있다. 다양한 구현예들에서, 예를 들어, 상호연결부들(4)의 피치는 콘택 패드들(21)의 피치보다 현저하게 클 수 있는데, *예컨대*, 상호연결부들(4)의 피치는 콘택 패드들(21)의 피치의 적어도 10 배, 적어도 20 배, 적어도 30 배일 수 있다. 예를 들어, 상호연결부들(4)의 피치의 범위는 100 마이크로미터 내지 300 마이크로미터, 또는 100 마이크로미터 내지 200 마이크로미터(*예컨대*, 약 150 마이크로미터)일 수 있다. 콘택 패드들(21)의 피치의 범위는 0.5 마이크로미터 내지 50 마이크로미터, 0.5 마이크로미터 내지 20 마이크로미터, 또는 1 마이크로미터 내지 10 마이크로미터(*예컨대*, 약 5 마이크로미터)일 수 있다.

[0030] 일부 실시예들에서, 제1 전도성 상호연결부(18a)는 제1 표면(12)(또는 콘택 패드(21))으로부터 수동 전자 컴포넌트(3)의 제2 표면(13)에 있는 대응하는 전기 콘택(4)까지 연장된다. 제2 및 제3 전도성 상호연결부들(18b, 18c)은 또한 콘택 패드(21)로부터 제2 표면(13)에 있는 대응하는 전기 콘택들(4)까지 연장될 수 있다. 도 2에서, 예를 들어, 전도성 전기 상호연결부(18a 내지 18c)의 각각은 제1 표면(12)에 있는 또는 그것에 가까운 대응하는 콘택 패드(21)로부터 대응하는 전기 콘택(4)까지 연장되는 종방향 전도성 부분(19)을 포함할 수 있다. 도 2에 도시된 바와 같이, 종방향 부분들(19)은 수동 전자 컴포넌트(3)의 두께에 걸쳐 수직으로(*예컨대*, 반도체 소자(2)의 능동 표면(11)에 횡방향으로) 연장될 수 있다. 전도성 상호연결부들(18a 내지 18c)은 종방향 전도성 부분들(19)로부터 밖을 향해 측방향으로 연장되는 하나 이상의 측방향 전도성 부분들(20)을 포함할 수 있다. 종방향 전도성 부분들(19)은 저항성 전기 경로들을 한정할 수 있고, 하나 이상의 측방향 전도성 부분들(20)은 용량성 전기 경로들을 저항성 전기 경로들과 병렬로 한정할 수 있다. 도 2에 도시된 바와 같이, 제1 상호연결부(18a)의 하나 이상의 측방향 전도성 부분들(20)은 제2 상호연결부(18b)의 측방향 부분들(20)에 개재될 수 있고 개재 유전체 층들(10)에 의해 분리될 수 있다. 유사하게, 제2 상호연결부(18b)의 측방향 전도성 부분들(20)은 제3 상호연결부(18c)의 측방향 부분들(20)에 개재될 수 있고 개재 유전체 층들(10)에 의해 분리될 수 있다. 각자의 상호연결부들(18a 내지 18c)의 측방향 부분들(20)의 개재는, 적어도 부분적으로, 각자의 용량성 전기 경로들을 한정하여, 각각의 측방향 부분(20)이 커패시터의 전극의 역할을 하고 개재 유전체 층(10)은 커패시터 유전체의 역할을 하도록 할 수 있다. 다양한 실시예들에서, 유전체 층(10)은 하이 K 유전체 층, *예컨대*, 티탄산염, ( $\text{BaSr}_{1-x}\text{TiO}_3$ ,  $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ ,  $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ ), 나이오븀산염( $\text{LiNbO}_3$ ), 및/또는 지르코늄산염( $\text{BaZrO}_3$ ,  $\text{CaZrO}_3$  등)을 포함할 수 있다. 다른 실시예들에서, 유전체 층(10)은 임의의 적합한 유전체 재료, *예컨대*, 이산화규소, 질화 규소 등을 포함할 수 있다. 일부 실시예들에서, 유전체 층은 1 내지 1000의 범위의 유전 상수를 가질 수 있다. 일부 실시예들에서, 유전체 층은 1 내지 10의 범위의 유전 상수를 가질 수 있다. 도 1b에 관련하여 위에 설명된 바와 같이, 도시된 실시예에서, 수동 컴포넌트(3)의 애노드 및 캐소드 단자들은 컴포넌트(3)의 동일한 면을 따라 배치될 수 있다.

[0031] 다양한 실시예들에서, 제1 및 제3 상호연결 구조체들(18a, 18c)은 전원에 연결되도록 구성될 수 있고, 제2 상호연결 구조체(18b)는 전기 접지에 연결되도록 구성될 수 있거나, 또는 그 반대일 수 있다. 도 2의 수동 전자 컴포넌트(3)는 유리하게도 전력 전달 네트워크(PDN) 임피던스를 감소시켜 전력 무결성을 개선하기 위하여 전원과 접지 사이에 병렬로 연결된 다중-층 디커플링 커패시터들의 역할을 할 수 있다. 또한, 디커플링 커패시터들(*예컨대*, 상호연결 구조체들(18a 내지 18c)에 의해 한정되는 커패시터들)을 반도체 소자(2)의 능동 표면(11) 근처에(*예컨대*, 프로세싱 다이의 스위치들 근처에) 제공함으로써 접합된 구조체(1)의 전력 무결성을 추가로 개선할 수 있다. 다이의 코어 영역의 디커플링 커패시턴스(개시된 실시예들에 의해 제공되는 것과 같음)는 안정적인 전력 공급을 전자 디바이스들 내의 연산 엔진에 제공할 수 있다. 이러한 디커플링 커패시턴스를 증가시키는 것은 전압 스윙의 안정성을 더 제공하여 전압 불확실성을 고려하기 위한 타이밍 분석에 소요되는 추가적인 마진을 감소시킨다. 대조적으로, 디커플링 커패시턴스를 병렬 플레이트 구조체들에 추가하는 것은 상대적으로 작은 커패시턴스 값들을 제공한다. 딥 트랜치 커패시터들은 더 높은 커패시턴스를 제공하지만 유용한 풋프린트를 차지하여 전자 디바이스에 면적 및 비용을 증가시킬 수 있다.

[0032] 도 3a는 상대적 저속 접속부를 구성하는 수동 전자 컴포넌트(3)의 일부분의 개략적 측단면도이다. 도 3b는 도 3a의 수동 전자 컴포넌트(3)의 개략적 회로도이다. 도 3a에 도시된 바와 같이, 수동 컴포넌트(3)는 낮은 저항 및 수동 컴포넌트(3)의 제1 표면과 제2 표면(12, 13) 사이의 낮은 커패시턴스를 갖는 전기 경로(18)를 포함할

수 있다. 예를 들어, 도 3a에서, 경로(18)는 컨택 패드(21) 및 전기 컨택(4)을 직접 연결하는 종방향 전도성 부분(19)을 포함할 수 있다. 종방향 전도성 부분(19)은 컨택 패드(21)와 접촉(4) 사이에서 신호를 단락시키도록 작용한다. 또한, 도 3a에 도시된 바와 같이, 측방향 전도성 부분들(20)은 종방향 전도성 부분(19)으로부터 오프셋되어 배치될 수 있다. 측방향 전도성 부분들(20)은 수동 컴포넌트(3)의 두께를 따라 서로 이격될 수 있고, 개재 유전체 층(들)(10)에 의해 분리될 수 있다. 도 3a 및 도 3b의 수동 컴포넌트(3) 내에 한정된 전기 경로(18)는 상대적인 저속 연결에 적합할 수 있는데, 그 이유는 종방향 전도성 부분(19)이 컨택 패드(21)와 전기 컨택(4) 사이의 연결을 단락시키기 때문이다.

[0033]

도 4a는 고속 직렬 링크 시그널링을 위해 구성된 수동 전자 컴포넌트(3)의 일부분의 개략적 측면면도이다. 도 4b는 도 4a의 수동 전자 컴포넌트(3)의 개략적 회로도이다. 직렬 링크에서, 수동 전자 컴포넌트(3)는 DC-차단 커패시터의 역할을 할 수 있고, 이는 다양한 목적에 기여할 수 있다. 예를 들어, 수동 전자 컴포넌트(3)는 평균 DC-바이어스 레벨을 레귤레이팅할 수 있고(예컨대, DC 성분을 필터링함), 열악한 전력-공급 시퀀스에 의해 야기될 수 있는 파괴적인 과부하 이벤트로부터 송신기/수신기를 보호할 수 있고/있거나 라인들이 연결해제될 때를 검출하는 회로의 일부로서 기능할 수 있다. 이러한 응용예들에서, DC-차단 커패시터는 그것을 통과하는 신호들의 고주파수 성분들을 왜곡하지 않는다. 다양한 실시예들에서, 신호의 DC 성분을 제외한 모든 고주파수 성분들은 어떠한 왜곡도 없이 통과할 수 있다. 따라서, 낮은 연결 기생 저항 및/또는 인덕턴스를 갖는 큰 커패시턴스 값이 제공될 수 있다. 도 4a 및 도 4b의 실시예는 적어도 500 Mhz의 주파수에 유리할 수 있지만, 다른 실시예들에서, 더 낮은 주파수 범위가 개시된 실시예들과 함께 사용될 수 있다. 도 4a에 도시된 바와 같이, 수동 전자 컴포넌트(3)는 컨택 패드(21)와 전기 컨택(4) 사이에 배치되는 다중-층 커패시터를 포함하는 전기 경로를 포함할 수 있다. 실제로, 도 3a의 실시예와 달리, 도 4a에서, 컨택 패드(21)와 접촉(4) 사이의 경로(18)는 수동 전자 컴포넌트(3)의 두께에 걸쳐 개재 유전체 층(들)(10)에 의해 이격되는 복수의 측방향 전도성 부분들(20)에 의해 한정되는 용량성 전기 경로이다. 도 4a에 도시된 다중 층들은 전기적으로 직렬로 연결된 다수의 커패시터들과 같이 전기적으로 기능할 수 있다. 도 4a의 경로(18)에 의해 제공되는 유효 커패시턴스의 범위는 10 nF/mm<sup>2</sup> 내지 1 μF/mm<sup>2</sup>일 수 있다. 유리하게도, 도시된 실시예에서, 전기 경로(18)를 따라 한정되는 커패시터(들)는 신호의 DC 성분들을 필터링하여 안정되고, 빠른 시그널링을 제공할 수 있다(예컨대, 경로(18)는 하이 패스 필터의 역할을 할 수 있음). 또한, 수동 컴포넌트(3)를 반도체 소자(2)의 능동 회로부에 더 가까이 위치시킬 정합으로써 접합된 구조체(1)의 성능을 추가로 개선할 수 있고 반사 노이즈를 감소시킬 수 있다.

[0034]

도 5a 내지 도 5i는 수동 전자 컴포넌트(3)가 반도체 소자(2)에 접합된(예컨대, 직접 접합된) 다른 실시예를 도시한다. 도 1b에 관련하여 위에 설명된 바와 같이, 도 5a 내지 도 5i에서, 수동 전자 컴포넌트(3)의 애노드 및 캐소드 단자들은 컴포넌트(3)의 동일한 면 또는 표면을 따라 배치될 수 있다. 다양한 구성들에서, 수동 컴포넌트(3)는 프로세서와 같은 다른 컴포넌트들과의 직접 접합 및 집적을 위한 상호연결부들이 통합된 높은 유전 상수(하이 K) 박막 커패시터 층을 포함할 수 있다. 예를 들어, 도 5a 내지 도 5i의 실시예들에서, 수동 컴포넌트(3)는 5 초과, 10 초과, 20 초과, 또는 100 초과의 유전 상수를 갖는 유전체 재료를 포함할 수 있다. 이러한 하이 K 재료는 제조하기에 어려울 수 있고, 다른 유형들의 디바이스들(예컨대, 프로세서 또는 기타 반도체 제조)을 노출시키기에 적합하지 않을 수 있는 높은 온도에서 처리될 수 있어서, 이러한 재료들을 종래의 반도체 디바이스에 통합시키기에 어렵다. 따라서, 본 명세서에 기재된 실시예들에서, 반도체 소자(2)는 하나의 설비(예컨대, 상보성 금속 산화물 반도체, 또는 CMOS, 설비)에서 제조될 수 있고, 수동 컴포넌트(3)는 하이 K 재료에 대한 프로세싱 파라미터들을 수용할 수 있는 다른 설비에서 제조될 수 있다. 반도체 소자(2) 및 수동 컴포넌트(3)에 접합층들이 제공될 수 있고 반도체 소자(2) 및 수동 컴포넌트(3)를 연결하도록 직접 접합될 수 있다. 따라서, 본 명세서에 기재된 실시예들은 박막의, 하이 K 유전체 재료를 임의의 적합한 유형의 반도체 또는 광학 구성요소와 제조 분리 및 후속 통합을 가능하게 할 수 있다.

[0035]

도 5a는 용량성 시트를 한정하기 위하여 하이 K 유전체 재료를 포함하는 수동 전자 컴포넌트(3)의 개략적 측면면도이다. 수동 전자 컴포넌트(3)는 용량성 시트가 한정될 수 있는 베이스(122)를 포함할 수 있다. 베이스(122)는 희생될 수 있는데, 수동 컴포넌트(3)를 반도체 소자(2)에 본딩하기 전에 베이스(122)가 제거될 수 있다. 다양한 실시예들에서, 베이스(122)는 규소와 같은 반도체 재료를 포함할 수 있다. 제1 전극(120)이 베이스(122) 상에 임의의 적합한 방식으로 형성될 수 있다. 예를 들어, 제1 전극(120)은 베이스(122) 상에 금속 유기 화학 증착(MOCVD) 공정, 물리 증착(PVD) 또는 스퍼터링 공정, 또는 졸-겔 공정(스핀 온 및 경화)을 이용하여 침착될 수 있다. 제1 전극(120)은 백금(Pt) 또는 루테튬(Ru)과 같은 내화 금속을 포함할 수 있다. 도시된 실시예에서, 제1 전극(120)은 연속 또는 블랭킹 필름으로서 베이스(122) 상에 침착될 수 있고, 다수의 커패시터들에 대하여 공통 전극의 역할을 할 수 있다.

- [0036] 하이 K 유전체 층(110)은 제1 전극(120) 상에 침착되거나 다른 방식으로 형성될 수 있다. 예를 들어, 다양한 실시예들에서, 유전체 층(110)은 CVD, PVD, 분말 소결, 또는 기타 적합한 기술들을 이용하여 침착될 수 있다. 유리하게도, 유전체 층(110)은 5 초과, 10 초과, 20 초과, 100 초과, 또는 200 초과(예컨대, 약 300), 또는 1000 초과의 유전 상수를 가질 수 있다. 다양한 실시예들에서, 예를 들어, 유전체 층은 복합 산화물 하이 K 재료, 예컨대, 3원 산화물 바륨 스트론튬 티탄산염( $\text{BaSrTiO}_3$  또는 BST), 기타 티탄산염( $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ ,  $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ ,  $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ ), 나이오븀산염( $\text{LiNbO}_3$ ), 및/또는 지르코늄산염( $\text{BaZrO}_3$ ,  $\text{CaZrO}_3$  등)을 포함할 수 있다. 따라서, 도 2 내지 도 4b의 실시예와 다르게, (전도체들과 교번하는 다중 층들 보다는) 단일의 얇은 유전체 층이 수동 컴포넌트(3)에 사용될 수 있다. 일부 실시예들에서, 유전체 재료의 다중 층들을 제공하여 유전체 층(110)을 형성할 수 있다.
- [0037] 제2 전극(121)이 유전체 층(110) 상에 침착될 수 있다. 제2 전극(121)은 임의의 적합한 전도성 재료, 예컨대, 내화 금속, 및 특히 불활성 금속(예컨대, Pt 또는 Ru)일 수 있다. 제1 전극(120) 및 제2 전극(121) 중 하나 또는 둘 모두의 내화 또는 불활성 금속들(예컨대, Pt)은 유리하게도 쇼트키 장벽(Schottky barrier)을 형성할 수 있으며(오믹 콘택에 반대됨), 이는 커패시터의 성능을 개선할 수 있다. 따라서, 도시된 실시예에서, 전극들(120, 121)의 내화 또는 불활성 금속들은 최종 접합된 구조체(1)에 남아 개선된 성능을 제공할 수 있다. 일부 실시예들에서, 제1 및/또는 제2 전극들(120, 121)의 불활성 또는 내화 금속은 다른 금속(예컨대, 구리)으로 도금되어 저항을 줄일 수 있다. 그러나, 다른 실시예들에서, 제1 및/또는 제2 전극들(120, 121)은 수동 컴포넌트(3)의 형성 이후에 제거되고, 제1 및 제2 전극(120, 121)의 역할을 할 다른 금속(예컨대, 구리)으로 대체될 수 있다.
- [0038] 제2 전극(121)은 제2 전극(121)의 부분들 사이에 다수의 갭들(123)을 한정하도록 패터닝될 수 있다. 전극을 복수의 부분들로 패터닝함으로써 수동 전자 컴포넌트(3)에 의해 제공되는 총 커패시턴스를 정의할 수 있다. 예를 들어, 제2 전극(121)의 더 큰 부분은 증가된 영역 및 증가된 커패시턴스를 제공할 수 있는 반면, 제2 전극(121)의 더 작은 부분은 감소된 영역 및 감소된 커패시턴스를 제공할 수 있다. 다양한 실시예들에서, 수동 컴포넌트(3)는 용량성 셀들의 어레이를 포함할 수 있으며, 셀은 도 5a에 도시된 것과 유사하다. 일부 실시예들에서, 수동 컴포넌트(3)는 적어도 5 nF/mm<sup>2</sup>, 적어도 10 nF/mm<sup>2</sup>, 적어도 20 nF/mm<sup>2</sup>, 적어도 50 nF/mm<sup>2</sup>, 적어도 100 nF/mm<sup>2</sup>, 또는 적어도 200 nF/mm<sup>2</sup>의 단위면적당 유효 커패시턴스를 갖는 셀들을 포함할 수 있다. 예를 들어, 다양한 실시예들에서, 수동 컴포넌트(3)는 5 nF/mm<sup>2</sup> 내지 400 nF/mm<sup>2</sup>의 범위, 10 nF/mm<sup>2</sup> 내지 300 nF/mm<sup>2</sup>의 범위, 10 nF/mm<sup>2</sup> 내지 250 nF/mm<sup>2</sup>의 범위, 10 nF/mm<sup>2</sup> 내지 150 nF/mm<sup>2</sup>의 범위, 또는 10 nF/mm<sup>2</sup> 내지 100 nF/mm<sup>2</sup>의 범위의 단위면적당 유효 커패시턴스를 갖는 셀들을 포함할 수 있다. 일부 실시예들에서, 예를 들어, 수동 컴포넌트(3)는 1 nF/mm<sup>2</sup> 내지 10 nF/mm<sup>2</sup>의 범위, 10 nF/mm<sup>2</sup> 내지 100 nF/mm<sup>2</sup>의 범위, 100 nF/mm<sup>2</sup> 내지 400 nF/mm<sup>2</sup>의 범위, 또는 400 nF/mm<sup>2</sup> 초과(예컨대, 400 nF/mm<sup>2</sup> 내지 1000 nF/mm<sup>2</sup>의 범위)의 단위면적당 유효 커패시턴스를 갖는 셀들을 포함할 수 있다. 유리하게도, 하이 K 유전체 재료만이 사용될 수 있어서, 하이 K 재료와 직렬인 로우 K 재료는 존재하지 않는다. 하이 K 재료만을 사용함으로써, 수동 컴포넌트(3)의 총 커패시턴스가 개선될 수 있다.
- [0039] 도 5b는 제2 패터닝된 전극(121) 위에 접합층(8a)이 제공되는 도 5a의 수동 전자 컴포넌트(3)의 개략적 측면면도이다. 접합층(8a)은 재배선 층(RDL)과 같은 상호연결 층의 역할을 하여 수동 전자 컴포넌트(3)를 구성요소(2)와 같은 기타 구조체들에 접합시킬 수 있다. 예를 들어, 위에 설명된 바와 같이, 접합층(8a)은 콘택 패드들에 연결되거나 또는 그것들을 한정하는 전도성 특징부들(9a) 및 둘레의 비-전도성 필드 영역들(7a)을 포함할 수 있다. 전도성 특징부들(9a)은 구리와 같은 임의의 적합한 금속을 포함할 수 있다. 필드 영역들(7a)은 이산화 규소와 같은 임의의 적합한 비-전도성 재료를 포함할 수 있다. 일부 실시예들에서, 도 5b에 도시된 바와 같이, 비-전도성 필드 영역들(7a)은 도 5a의 갭들(123) 내에 배치되어 제2 전극(121)의 패터닝된 부분들을 전기적으로 분리하여 별개의 용량성 셀들을 한정하도록 할 수 있다. 유리하게도, (예컨대, 구리와 같은 금속들을 갖는) 접합층(8a)을 수동 전자 컴포넌트(3) 상에 제공함으로써 직접 접합을 개선하고 상이한 열 팽창 계수(CTE)로 인한 재료들의 열적 부정합을 감소 또는 제거하기 위하여 저온 어닐링(예컨대, 150°C 미만)의 사용을 가능하게 할 수 있다. 도 5c는 접합 전 반도체 소자(2)의 일부분의 개략적 측면면도이다. 반도체 소자(2)는 도 2에 도시된 반도체 소자(2)와 동일하거나 또는 일반적으로 유사할 수 있는데, 트레이스들(14) 및 비아들(15)이 전도성 특징부들(9b)과 능동 회로부 사이의 구성요소(2)로 전기 통신을 제공한다.
- [0040] 도 5d는 접합된 구조체(1)의 개략적 측면면도이며, 여기서 반도체 소자(2)는 하이 K 유전체 재료를 포함하는 수동 컴포넌트(3)에 직접 접합된다. 위에 설명된 바와 같이, 수동 컴포넌트(3) 및 반도체 소자(2)의 접합층들(8a, 8b)은 매우 낮은 표면 조도로 폴리싱될 수 있다. 폴리싱된 표면들은 활성화되며 바람직한 화학종(예컨대 질소)으로 종단처리될 수 있다. 접합층들(8a, 8b)은 (예컨대, 실온에서) 직접 접촉하여 산화물 재료들과 같은,

각자의 필드 영역들(7a, 7b) 사이에 강한 결합을 형성할 수 있다. 구조체(1)는 가열되어 결합 강도를 증가시키고 전도성 특징부들(9a, 9b) 사이의 전기 연결을 일어나게 할 수 있다. 따라서, 도 5d에 도시된 바와 같이, 수동 전자 컴포넌트(3)는 개재 접착제 없이 직접 접합 계면(24)을 따라 반도체 소자(2)에 직접 접합될 수 있다. 유리하게도, 직접 접합의 사용은 반도체 소자(2)와 수동 컴포넌트(3) 사이에 낮은 임피던스 및 낮은 인덕티브 전기 경로를 제공할 수 있고, 이는 전력 또는 신호 무결성을 개선할 수 있다. 그러나, 다른 실시예들에서, 전도성 특징부들(9a, 9b)은 전도성 접착제(예컨대, 솔더)를 이용하여 서로 접착될 수 있거나 또는 열압착 접합 기술들을 이용하여 접합될 수 있다.

[0041]

도 5e에 도시된 바와 같이, 베이스(122)는 수동 전자 컴포넌트(3)의 후면으로부터 (예를 들어, 연삭, 폴리싱, 에칭 등에 의해) 제거될 수 있다. 일부 실시예들에서, 제1 전극(120)은 또한 패터닝되어 컴포넌트(3)의 커패시턴스를 추가로 정의할 수 있다. 예를 들어, 수동 전자 컴포넌트(3)를 한정하기 위하여 공정 동안 불활성 또는 내화 금속들이 사용될 수 있다. 일부 구성들에서, 추가적인 금속 전극을 내화 금속 상에 추가 또는 침착시켜서 패드 저항을 감소시키거나 또는 특정 집적 요건을 충족시키는 것이 바람직할 수 있다. 그러나, 다른 실시예들에서, 제1 및 제2 전극(120, 121)의 역할을 하는 불활성 또는 내화 금속들은 제거되지 않을 수 있고, 따라서 생성되는 접합된 구조체(1)에 남아 있을 수 있다. 이러한 불활성 또는 내화 금속들은 패터닝되거나 또는 패터닝되지 않고 추가적인 별개의 전극 영역들을 생성할 수 있다. 다른 실시예들에서, 제1 전극(120) 및/또는 제2 전극(121)은 제거되고 다른 금속들에 의해 대체될 수 있는 희생 재료들을 포함할 수 있다. 도 5e에서, 수동 전자 컴포넌트(3)는 반도체 소자(2)보다 측방향으로 더 넓은 것으로서 도시되어 있다. 그러나, 수동 전자 컴포넌트(3)는 반도체 소자(2)의 일부분만을 커버할 수 있음을 이해해야 한다. 예를 들어, 위에 설명된 바와 같이, 수동 컴포넌트(3)는 반도체 소자(2)의 능동 표면(11)의 적어도 55%, 적어도 65%, 적어도 75%, 적어도 85%, 적어도 95%, 적어도 99%, 또는 적어도 100%를 커버할 수 있다.

[0042]

도 5f는 전력 전극들(126)(또는 신호 전극들) 및 접지 전극들(125)이 집적된 수동 전자 컴포넌트(3)의 개략적 측면도이다. 도 5g는 도 5f의 수동 전자 컴포넌트(3)의 평면도이다. 도 5f에 도시된 바와 같이, 접지 전극들(125)은 제1 표면(12)으로부터, 필드 영역들(7a) 및 유전체 층(110)을 통해 연장될 수 있고, 제1 전극(120)과 접촉할 수 있다. 다양한 실시예들에서, 제1 전극(120)은 전기 접지에 연결될 수 있고, 이는 반도체 소자(2)와 연결될 때 접지 핀 또는 단자를 제공할 수 있다. 도 5a 및 도 5b에 도시된 전력 전극들(126)은 제1 표면(12)과 제1 전극(120) 사이의 용량성 전기 경로들을 포함할 수 있다. 따라서, 반도체 소자(2)에 연결되면, 전력이 제1 표면(12)(전도성 특징부들(9a) 및/또는 컨택 패드들(21)에 의해)과 제1 전극(120)의 부분들 사이에서 전달될 수 있으며, 이는 이어서 패키지 기판(5)과 같은 다른 구조체에 연결될 수 있다. 도시되지 않았지만, 사전정의된 전기 경로들을 따라 전력을 제공하도록 제1 전극(120)은 패터닝될 수 있거나 또는 제거되어 상호연결 층(예컨대, 금속 라인 배선 층의 백-엔드)에 의해 대체될 수 있다.

[0043]

도 5h는 다른 실시예에 따른 수동 전자 컴포넌트(3)의 개략적 측면도이다. 도 5i는 도 5h의 수동 전자 컴포넌트(3)의 평면도이다. 도 5f 및 도 5g의 실시예와 다르게, 도 5h 및 도 5i에서, 수동 전자 컴포넌트(3)는 도 5f 및 도 5g에 도시된 전력 전극들(126) 및 접지 전극들(125)에 더하여, 단락된 전력 전극들(127)을 포함할 수 있다. 도 5h에 도시된 바와 같이, 예를 들어, 일부 전력 전극들(127)은 직접 전도성 상호연결부에 의해 컴포넌트(3)의 제2 표면(13)에 연결될 수 있다. 따라서, 도 5h 및 도 5i에서, 전력 전극들(126)은 전도성 특징부들(9a)(또는 컨택 패드들(21))과 제2 표면(13) 사이의 용량성 전기 경로들을 포함할 수 있는 반면, 단락된 전력 전극들(127)은 전도성 특징부들(9a)(또는 컨택 패드들(21))과 제2 표면(13) 사이의 전도성 또는 저항성 전기 경로들을 포함할 수 있다.

[0044]

따라서, 도 5a 내지 도 5i의 실시예들에서, 하이 K, 박막 유전체 재료들은 수동 전자 컴포넌트(3)를 한정하는데 사용될 수 있다. 일부 실시예들에서, 수동 컴포넌트(3)는 하이 K 재료 및 전극들(이는 하이 K 재료들과의 접촉에 적합한 불활성 또는 내화 금속들을 포함할 수 있음)을 형성하기 위하여 하나의 설비에서 제조될 수 있고, 반도체 소자(2)는 구성요소(2)의 능동 컴포넌트들 및 상호 연결부들을 형성하기 위하여 다른 설비에서 형성될 수 있다. 유리하게도 불활성 또는 내화 금속들은 고온 처리가 가능하도록 제공될 수 있다. 위에 설명된 바와 같이, 일부 실시예들에서, 불활성 또는 내화 금속들은 제거되고 구리와 같은 다른 금속들에 의해, 또는 다른 금속 배선 또는 라우팅 층들에 의해 대체될 수 있다. 다른 실시예들에서, 불활성 또는 내화 금속들은 궁극적인 접합된 구조체(1) 내에 유지될 수 있다. 수동 컴포넌트(3)는 반도체 소자(2)에 접합(예컨대, 직접 접합)될 수 있고, 이는 낮은 임피던스 및 낮은 인덕티브 연결을 제공하여 신호 및/또는 접합된 구조체(1)의 전력 무결성을 개선할 수 있다.

[0045]

도 6은 신호 주파수의 함수로서 다양한 디바이스들, 예컨대, 용량성 소자가 없는 프로세서 다이(플롯 A), 100

nF 개별 커패시터가 실장되어 있는 프로세서 다이(플롯 B), 패키지 기판에 100 nF 커패시터가 실장되어 있는 프로세서 다이(플롯 C), 도 1 내지 도 5i의 실시예들에 개시된 것들과 유사한 100 nF 용량성 시트를 구비한 프로세서 다이(플롯 D), 도 1 내지 도 5i의 실시예들에 개시된 것들과 유사한 10 nF 용량성 시트를 구비한 프로세서 다이(플롯 E), 및 도 1 내지 도 5i의 실시예들에 개시된 것들과 유사한 1 nF 용량성 시트를 구비한 프로세서 다이(플롯 F)의 전달 임피던스의 플롯이다. 도 6에 도시된 바와 같이, 플롯 A, B, 및 C에서 반영된 종래의 디바이스들은 500 M $\Omega$  초과 및/또는 1 G $\Omega$  초과의 주파수에서 상대적으로 높은 전달 임피던스 값들을 갖는다. 500 M $\Omega$  또는 1 G $\Omega$  초과의 이러한 높은 임피던스는 프로세서 다이의 전력 또는 신호 무결성을 감소시킬 수 있다. 대조적으로, 플롯 D, E, 및 F에 반영된 바와 같이, 본 명세서에 기재된 실시예들은 500 M $\Omega$  초과, 예컨대, 또는 1 G $\Omega$  이상의 주파수에서 현저하게 감소된 임피던스를 가능하게 하는데, 이는 이러한 더 높은 주파수에서 개선된 신호 또는 전력 무결성을 제공할 수 있다. 예를 들어, 본 명세서에 기재된 실시예들은 1 G $\Omega$ 에서, 플롯 A 내지 C에 도시된 종래의 디바이스들의 임피던스보다 적어도 10 배, 예컨대, 적어도 100 배 작은 임피던스를 제공할 수 있다. 동일한 커패시턴스 레벨에서, 직접 접합된 커패시턴스 시트들은 프로세서 다이 또는 패키지 기판 상에 장착된 개별 커패시터들보다 개선된 성능을 도출한다. 또한, 도 6에 도시된 바와 같이, 본 명세서에 기재된 실시예들은, 현저하게 더 낮은 유효 커패시턴스에서도 (예컨대, 약 1 nF 또는 10 nF처럼 낮은 커패시턴스에서) 감소된 임피던스를 제공할 수 있다. 따라서, 본 명세서에 기재된 실시예들은 유리하게도 약 0.5 nF 내지 10 mF의 범위, 약 0.5 nF 내지 1  $\mu$ F의 범위, 약 0.5 nF 내지 150 nF의 범위, 약 1 nF 내지 100 nF의 범위, 또는 약 1 nF 내지 10 nF의 범위의 유효 커패시턴스 값들을 갖는 감소된 임피던스를 제공할 수 있다.

[0046] 도 7a는 다른 실시예에 따른, 수동 전자 컴포넌트(3)의 개략적 측면도이다. 달리 언급되지 않는 한, 도 7a의 수동 전자 컴포넌트(3)는 본 명세서에 기재된 구성요소(2)(이는 반도체 소자 또는 비-반도체 소자를 포함할 수 있음)에 접합될 수 있다. 다양한 실시예들에서, 수동 전자 컴포넌트는 개재 접촉재 없이 구성요소(2)(도 7a에 도시되지 않음)에 직접 접합된 제1 표면(12)을 포함할 수 있다. 제2 표면(13)이 패키지 기판(예컨대 기판(5)) 또는 다른 패키징 또는 시스템 구조체에 전기적으로 연결될 수 있다. 도 7a에 도시된 수동 컴포넌트(3)는 유리하게도 전극 표면들의 대부분이 구성요소(2) 및 표면들(12, 13)에 평행하지 않게(예컨대, 일반적으로 수직하게) 배치된 커패시터들을 포함한다. 예를 들어, 도 7a에 도시된 바와 같이, 수동 구성요소(3)의 주 표면(예컨대, x-y 평면), 예컨대, 표면들(12, 13)에 평행하지 않거나 또는 수직할 수 있는, 전극 표면들의 대부분이 일반적으로 z-축에 평행하게 연장되는 하나 이상의 커패시터들(220)이 한정될 수 있다.

[0047] 도 7a에 도시된 실시예에서, 커패시터(220)는 개재 유전체(210)에 의해 서로 이격되는 제1 전극(221a)(이는 애노드 및 캐소드 중 하나를 포함할 수 있음) 및 제2 전극(221b)(이는 애노드 및 캐소드 중 다른 하나를 포함할 수 있음)을 포함할 수 있다. 도 1b에 관련하여 위에 설명된 바와 같이, 도 7a에서, 수동 전자 컴포넌트(3)의 애노드 및 캐소드 단자들은 컴포넌트(3)의 동일한 면 또는 표면을 따라 배치될 수 있다. 커패시터(220)는 절연체 또는 유전체 재료, 예컨대, 규소, 이산화규소 등을 포함할 수 있는 베이스(205) 내에 한정될 수 있다. 전극들(221a, 221b) 및 유전체(210)는, 도 7a의 z-축에 대응하는, 표면들(12, 13)에 평행하지 않은 방향을 따라 주로 연장되는 주 표면들을 포함할 수 있다. 다양한 실시예들에서, 커패시터(220)는 x-축을 따라 연장되는 사문형 프로파일을 가질 수 있다. 예를 들어, 도 7a에 도시된 바와 같이, 전극들(221a, 221b) 및 유전체(210)는 일반적으로 수직인, 예컨대, 제1 및 제2 표면들(12, 13)에 평행하지 않거나 또는 수직인 z-축을 따라 연장되는 각자의 수직 부분들(225)을 가질 수 있다. 수직 부분들(225)은 전극들(221a, 221b) 및 유전체(210)의 대응하는 측방향 부분들(226)에 의해 연결될 수 있어서, 수직 부분들(225) 및 측방향 부분들(226)은 수동 구성요소(3) 내에 일반적으로 사문형 커패시터를 한정한다. 도 7a에 도시된 바와 같이, 사문형 커패시터(220)의 전체를 따라 두 전극들(221a, 221b) 사이에 커패시턴스 C가 제공될 수 있다. 다양한 실시예들에서, 커패시터(220)를 따르는 총 커패시턴스 C는 100 nF/mm<sup>2</sup> 내지 20  $\mu$ F/mm<sup>2</sup>의 범위, 또는 100 nF/mm<sup>2</sup> 내지 10  $\mu$ F/mm<sup>2</sup>의 범위일 수 있다. 유리하게도, 커패시터(220)의 대부분의 표면들이 수직 z-축에 평행한(또는 평행에 가까운) 평면들을 따라 놓여 있는 사문형 커패시터의 사용은 전극들(221a, 221b)의 총 표면적을 현저하게 증가시킬 수 있고, 따라서, 그에 따라 수동 소자(2)에 의해 제공되는 총 커패시턴스를 증가시킬 수 있다. 전극들(221a, 221b)은 임의의 적합한 유형의 전도체, 예컨대 알루미늄, 규소, 도핑된 규소, 니켈, 또는 기타 재료들을 포함할 수 있다. 유전체(210)는 임의의 적합한 유전체 재료, 예컨대 알루미늄 산화물, 이산화규소 등을 포함할 수 있다. 일부 실시예들에서, 높은 유전체 재료들(예컨대, k>10), 예컨대 HfO<sub>2</sub>, ZrO<sub>2</sub>, BST, SBT 등을 이용함으로써 증가된 커패시턴스는 제공될 수 있다.

[0048] 커패시터들(220)은 상부 단자들(231a, 231b)에 의해 구성요소(2)(미도시)에 전기적으로 연결되고 하부 단자들

(232a, 232b)에 의해 패키지 기판(5)(미도시) 또는 다른 구성요소에 전기적으로 연결될 수 있다. 도 7a에 도시된 바와 같이, 제1 단자들(231a)은 제1 전극(221a)에 대한 전기 통신을 제공할 수 있다. 제2 단자들(231b)은 제1 단자들(231a)과는 상이한 유형의 것일 수 있는 제2 전극(221b)에 전기 통신을 제공할 수 있다. 예를 들어, 도 7a에 도시된 바와 같이, 제1 단자들(231a)은 절연체 베이스(205)를 통해 연장되어 제1 전극(221a)의 상부 부분과 접촉할 수 있고, 수동 컴포넌트(3)의 제1 표면(12)에서 노출될 수 있다. 제2 단자들(231b)은 절연체 베이스(205)를 통해 연장될 수 있고 제2 전극(221b)의 연장 부분(236)과 접촉할 수 있다. 도 7a에 도시된 바와 같이, 예를 들어, 제2 전극(221b)의 연장 부분(236)은 제1 전극(221a)의 재료를 통해 연장될 수 있으며, 유전체(210)는 제1 전극(221a)과 제2 전극(221b)의 연장 부분(236) 사이에 개재된다. 커패시터들(220)에 전기적으로 연결하기 위한 또 다른 방법들이 적합할 수 있다.

[0049] 또한, 도 7a에 도시된 바와 같이, 제1 하부 단자들(232a)은 제1 전극(221a)에 대한 전기 통신을 제공할 수 있다. 제2 하부 단자들(232b)은 제2 전극(221b)에 대한 전기 통신을 제공할 수 있다. 따라서, 다양한 실시예들에서, 제1 표면(12)에서, 상부 단자들(231a)은 제1 전극들(221a)(예컨대, 애노드 또는 캐소드 중 하나)에 전기적으로 연결될 수 있고, 상부 단자들(231b)은 제2 전극들(221b)(예컨대, 애노드 및 캐소드 중 다른 하나)에 전기적으로 연결될 수 있다. 제2 표면(13)에서, 하부 단자들(232a)은 제1 전극들(221a)(예컨대, 애노드 또는 캐소드 중 하나)에 전기적으로 연결될 수 있고, 하부 단자들(232b)은 제2 전극들(221b)(예컨대, 애노드 및 캐소드 중 다른 하나)에 전기적으로 연결될 수 있다. 따라서, 각각의 표면(12, 13)은 애노드 및 캐소드 단자들(예컨대, 상이한 유형의 단자들)을 포함할 수 있다.

[0050] 수동 전자 컴포넌트(3)는 또한 수동 전자 컴포넌트(3)의 두께를 통해 연장되는 스루 신호 커넥터(235)를 가질 수 있다. 스루 신호 커넥터(235)는 제1 표면(12) 상의 제1 스루 신호 단자(234)와 제2 표면(13) 상의 제2 스루 신호 단자(233) 사이에 전도성 경로를 제공하는 전도체를 포함할 수 있다. 상부 단자들(231a, 231b), 하부 단자들(232a, 232b), 및 스루 신호 단자들(234, 233) 중 일부 또는 전부는 구성요소(2) 및/또는 시스템 보드에 대하여 직접 접합되도록 구성될 수 있다. 따라서, 도 7a에 도시된 수동 전자 컴포넌트(3)는 유리하게도 용량성 경로(들) 및 전도성 스루 신호 경로(들)를 제공할 수 있다. 따라서, 시스템에 대하여 별개의 지분을 차지하지 않고, 직접 신호 연결을 방해하지 않으면서, 상대적으로 높은 커패시턴스를 갖는 수동 디바이스들이 집적 회로와 함께 일렬로 제공될 수 있다. 전극 표면들의 대부분이 수직 방향을 따르도록(또는 평행에 가깝도록) 커패시터(220)를 배치하는 것은 전극들(221a, 221b)의 유효 표면적을 현저하게 증가시킴으로써 커패시턴스를 유리하게 개선할 수 있다.

[0051] 도 7a에 도시된 바와 같이, 상부 단자들(231a, 231b) 및 스루 신호 단자들(234)은 하부 단자들(232a, 232b) 및 스루 신호 단자들(233)보다 더 미세한 피치로 측방향으로 이격될 수 있다. 예를 들어, 다양한 실시예들에서, 제1 표면(12) 상의 단자들(예컨대, 단자들(231a, 231b, 및 234))의 상부 피치( $p_1$ )는 50 마이크로미터 미만, 또는 40 마이크로미터 미만의 피치로 이격될 수 있다. 다양한 실시예들에서, 상부 피치( $p_1$ )는 0.5 마이크로미터 내지 50 마이크로미터의 범위, 0.5 마이크로미터 내지 40 마이크로미터의 범위, 0.5 마이크로미터 내지 20 마이크로미터의 범위, 0.5 마이크로미터 내지 10 마이크로미터의 범위, 또는 1 마이크로미터 내지 10 마이크로미터의 범위일 수 있다. 상부 단자들(231a, 231b) 및 단자들(234)의 미세 피치는 구성요소(2)에 연결하기 위한 상대적으로 높은 수의 채널들을 제공할 수 있다. 대조적으로, 하부 단자들(232a, 232b) 및 단자들(233)의 하부 피치( $p_2$ )는 시스템 마더보드에 대한 적합한 연결을 위해 선택될 수 있다. 하부 피치( $p_2$ )는 200 마이크로미터 미만, 또는 150 마이크로미터 미만일 수 있다. 예를 들어, 하부 피치( $p_2$ )는 50 마이크로미터 내지 200 마이크로미터의 범위 또는 50 마이크로미터 내지 150 마이크로미터의 범위일 수 있다. 따라서, 수동 컴포넌트는 둘 모두 높은 커패시턴스 수동 디바이스들을 제공하도록 기여하고, 별개의 지분을 차지하지 않고 인터포저의 역할을 한다.

[0052] 수직 커패시터들(220)은 임의의 적합한 방식으로 한정될 수 있다. 예를 들어, 제2 전극(221b)은 다공성 규소, 다공성 알루미늄 등의 초기에 평면형 시트로 한정될 수 있다. 평면형 시트의 상부 표면은 채널들이 제2 전극(221b) 재료의 시트 안으로 예칭될 수 있도록 마스크되고 예칭될 수 있다. 유전체(210)는 다공성 알루미늄 또는 다공성 규소의 예칭된 표면 위의 채널들 안으로 순응적으로 침착될 수 있다. 예를 들어, 유전체(210)는 물리 증착(PVD), 화학 증착(CVD) 또는 원자층 증착(ALD)에 의해 침착될 수 있다. 추가적인 전도성 재료(예컨대, 알루미늄)가 유전체(210) 위에 침착, 코팅 또는 다른 방식으로 도포되어 제1 전극들(221a)을 한정할 수 있다. 일부 실시예들에서, 제1 및 제2 전극(221a, 221b)은 동일한 재료를 포함할 수 있다. 다른 실시예들에서, 제1 및 제2 전극(221a, 221b)은 상이한 재료들을 포함할 수 있다. 유리하게도, 수직 채널들 또는 핀들을 구비한 도

시된 구조체는 수평 핀들에 비하여 더 적은 마스크 단계들로 용이하게 한정될 수 있다.

[0053] 도 7b는 다른 실시예에 따른, 수동 전자 컴포넌트(3)의 개략적 측면면도이다. 달리 언급되지 않는 한, 도 7b 내의 도면 부호는 도 7a의 동일-도면 부호 컴포넌트와 동일하거나 또는 유사한 특징부를 지칭한다. 예를 들어, 도 7a에서와 같이, 도 7b의 수동 전자 컴포넌트(3)는 전극 표면들의 대부분이 수직으로 위치설정되고  $x$ -축을 따라 사문형 패턴을 한정하는 커패시터(220)를 포함할 수 있다. 제1 및 제2 전극(221a, 221b)의 주 표면들 및 개재 유전체(210)는 주로 제1 및 제2 표면들(12, 13)에 평행하지 않거나 또는 수직하게 연장될 수 있다. 도 7a에서와 같이, 제1 상부 단자들(231a)은 제1 표면(12)에서 또는 그 근처에서 제1 전극(221a)에 전기적으로 연결될 수 있다. 또한, 도 7a에서와 같이, 도 7b에서, 수동 컴포넌트(3)의 각각의 표면(12, 13)은 애노드 및 캐소드 단자들을 포함할 수 있는데, 애노드 및 캐소드 단자들은 컴포넌트(3)의 동일한 면 또는 표면을 따라 배치될 수 있다(예컨대, 표면(12)의 단자들(231, 231b) 및 표면(13)의 단자들(232a, 232b)). 그러나, 제2 전극(221b)의 연장 부분(236)이 도 7b의 대응하는 제2 상부 단자(221b)와 접촉하는 도 7a에서와 다르게, 별개의 수직 커넥터(237)가 아래로 수동 구성요소(3) 안으로 연장되어 제2 상부 단자(231b)를 제2 전극(221b)과 전기적으로 연결시킬 수 있다.

[0054] 도 7c는 수동 전자 컴포넌트(3)의 개략적 측면면도이며, 여기서 하나 이상의 사문형 커패시터들이 제2 전극(221b)의 양면을 따라 한정될 수 있다. 다양한 실시예들에서 다수의, 별개의 커패시터들이 수동 전자 컴포넌트(3) 내에 한정될 수 있다. 달리 언급되지 않는 한, 도 7c 내의 도면 부호는 도 7a 및 도 7b의 동일-도면 부호 컴포넌트와 동일하거나 또는 유사한 특징부를 지칭한다. 도 7a 및 도 7b에서와 같이, 도 7c의 수동 전자 컴포넌트(3)의 전극 표면들의 대부분은 제1 및 제2 표면들(12, 13)에 대하여 일반적으로 수직하는 평행하지 않게 연장될 수 있다. 또한, 도 7a 및 도 7b에서와 같이, 도 7c에서, 수동 컴포넌트(3)의 각각의 표면(12, 13)은 애노드 및 캐소드 단자들을 포함할 수 있는데, 애노드 및 캐소드 단자들은 컴포넌트(3)의 동일한 면 또는 표면을 따라 배치될 수 있다(예컨대, 표면(12)의 단자들(231, 231b) 및 표면(13)의 단자들(232a, 232b)). 그러나, 도 7a 및 도 7b의 실시예와 다르게, 도 7c에서, 상부 커패시터(들)(220a)는 수동 컴포넌트(3)의 상부 부분(240a)에 한정될 수 있고, 하부 커패시터(들)(220b)는 수동 컴포넌트(3)의 하부 부분(240b)에 한정될 수 있다. 도 7c의 실시예에서, 알루미늄 또는 규소의 초기 평면형 시트의 양면은 마스크되고 동시에 에칭되어 제2 전극(221b) 내에 채널들을 한정할 수 있다. 유전체(210)는 상부 및 하부 부분들(240a, 240b) 둘 모두 위에 침착될 수 있다. 유사하게, 상부 및 하부 부분들(240a, 240b) 상의 유전체(210) 위에 전도성 재료가 침착되어 제1 전극(221a)을 한정할 수 있다. 도 7c의 실시예는 전극들(221a, 221b)의 총 표면적을 유리하게 추가로 증가시킬 수 있고 결과적으로 수동 전자 컴포넌트(3)의 총 커패시턴스를 증가시킬 수 있다.

[0055] 도 7d는 수동 전자 컴포넌트(3)의 개략적 측면면도이고, 여기서 커패시터(들)(220)는 평행하지 않은 방향  $z$ 을 따라 연장되는 정렬된 섬유들(예컨대, 탄소 섬유)에 의해 한정될 수 있다. 달리 언급되지 않는 한, 도 7d 내의 도면 부호는 도 7a 내지 도 7c의 동일-도면 부호 컴포넌트와 동일하거나 또는 유사한 특징부를 지칭한다. 도 7a 내지 도 7c에서와 같이, 도 7d의 수동 전자 컴포넌트(3)는 제1 및 제2 표면들(12, 13)에 대하여 일반적으로 수직하는 평행하지 않게 연장될 수 있는 전극 표면들의 대부분을 가질 수 있다. 또한, 도 7a 내지 도 7c에서와 같이, 도 7d에서, 수동 컴포넌트(3)의 각각의 표면(12, 13)은 애노드 및 캐소드 단자들을 포함할 수 있는데, 애노드 및 캐소드 단자들은 컴포넌트(3)의 동일한 면 또는 표면을 따라 배치될 수 있다(예컨대, 표면(12)의 단자들(231a, 231b) 및 표면(13)의 단자들(232a, 232b)). 그러한 실시예들에서, 섬유들(예컨대 긴 탄소 섬유)이 제2 전극(221b)의 역할을 할 수 있다. 섬유들은 비-전도성 재료로 코팅되어 유전체(210)를 한정할 수 있고, 후속적으로 전도성 재료로 코팅되어 제1 전극(221a)을 한정할 수 있다. 수직 커패시터들(220)을 형성하는 또 다른 방법들이 적합할 수 있다.

[0056] 도 7a 내지 도 7d에 도시된 커패시터들(220)은 세장형일 수 있는데, 예컨대, 평행하지 않은 방향  $z$ 를 따르는 커패시터들(220)의 전극 표면들의 높이  $l$  (예컨대, 전극들(221a, 221b)의 길이에 의해 한정될 수 있음)은 주 측방향 표면  $x$ - $y$ 를 따르는 커패시터들(220)의 파형의 대응하는 너비  $w$ 보다 더 길 수 있다. 도 7a 내지 도 7d에 도시된 바와 같이, 너비( $w$ )는 커패시터들(220)의 피치, 예컨대, 커패시터의 단일 파형의 너비에 따라 한정될 수 있다. 커패시터들(220)의 중형비는  $l$ 을  $w$ 로 나눈 것으로 정의될 수 있다. 다양한 구성들에서, 중형비는 5:1보다 클 수 있다. 유리하게도, 도 7a 내지 도 7d에 도시된 세장형 커패시터들(220)은 더 많은 마스크 단계들을 수반하지 않으면서 다른 수동 디바이스들에 비해 증가된 전극 표면적을 제공할 수 있다. 증가된 표면적은, 낮은 유전 상수 재료들이 사용되는 경우에도, 총 커패시턴스를 현저하게 증가시킬 수 있다.

[0057] 본 명세서에 설명된 바와 같이, 다이 또는 웨이퍼와 같은, 다양한 유형들의 구성요소들이 다양한 마이크로전자 패키징 기술의 일부로서 3차원 배열로 적층될 수 있다. 이는 하나 이상의 다이들 또는 웨이퍼들의 층을 더 큰

베이스 다이 또는 웨이퍼 상에 적층하는 것, 다수의 다이들 또는 웨이퍼들을 수직 배열로 적층하는 것, 및 다양한 이들의 조합을 포함할 수 있다. 스택 내의 다이들은 메모리 디바이스들, 로직 디바이스들, 프로세서들, 개별 디바이스들, 등을 포함할 수 있다. 본 명세서에 기재된 다양한 실시예들에서, 매우 작거나 또는 얇은 프로파일 커패시터들이 절연 재료 내에 매립될 수 있고, 예를 들어, 적층된 다이 배열 내에 포함되어, 인접하게 접합된 디바이스들을 디커플링시킬 수 있다.

[0058] 다이들 또는 웨이퍼들은 다양한 접합 기술들, 예컨대 위에 개시된 직접 접합 기술들과 같은 직접 접합, 비-접착제 기술들을 이용하여 적층된 배열로 접합될 수 있다(예를 들어, 전체적으로 본 명세서에 참조로서 포함된 미국 특허 제7,485,968호 참조). 직접 접합 기술을 이용하여 적층된 다이들을 접합할 때, 접합될 다이의 표면들이 극도로 편평하고 평활한 것이 바람직하다. 예를 들어, 위에 설명된 바와 같이, 표면들이 밀접하게 정합되어 지속적인 정합을 형성하도록, 표면들은 표면 토폴로지에 매우 낮은 변동을 가져야 한다. 표면들이 깨끗하고 불순물, 입자, 또는 기타 잔여물이 없도록 하는 것이 또한 바람직하다.

[0059] 본 명세서에 기재된 다양한 실시예들에 따라, 커패시터들(예컨대, 다중-층 커패시터들 또는 기타 수동 컴포넌트들)은 세라믹 또는 중합체와 같은 절연 재료 내에 매립되어 웨이퍼 레벨 적층가능 커패시터 또는 기타 수동 디바이스들을 형성할 수 있다. 다양한 실시예들에서, 세라믹, 중합체 등을 사용함으로써, 디바이스가 일부 다른 종래의 절연 재료들을 이용하여 얻을 수 있는 것보다 더 평활한 접합 표면을 갖도록 평탄화될 수 있다. 예를 들어, 동시 소성(co-fired) 세라믹, 액정 중합체(LCP), 유리, 규소, 또는 기타 반도체 등의 재료들이 다양한 실시예들에서 사용될 수 있다. 일부 구현예들에서, 세라믹은 사전성형(precast)되거나, 또는 페이스트 또는 액상을 사용하여 디바이스들에 대한 자가-레벨링 접합 표면들을 형성할 수 있다. 커패시터 디바이스들의 접합 표면들은 접합을 위한 준비에서 소성 후에 평탄화될 수 있다.

[0060] 매립된 커패시터들은 에지 전도체들이 전기적으로 커패시터들의 단자들에 결합되는 단일 또는 다중-층 컴포넌트들(원하는 커패시턴스를 제공하기 위함)을 포함할 수 있다. 하나 이상의 커패시터들은 절연 재료(예컨대 도면들에 도시된 "그린 시트") 내에 다양한 기술들을 이용하여 매립될 수 있다. 제1 실시예에서, 커패시터들은 절연 재료의 층(예컨대, 예비 동시 소성 세라믹) 상에 침착될 수 있고, 절연 재료의 다른 층이 커패시터들 위에 배치 또는 침착될 수 있다. 절연 재료의 두 층들은, 커패시터들을 가운데 두고, 서로 압착될 수 있고, 그 조합은 소성될 수 있다. 절연 재료 층들은 소성 동안 서로 결합되어, 커패시터들이 안에 매립되어 있는 통합된 디바이스를 형성할 수 있다. 따라서, 다양한 실시예들에서, 커패시터의 유전체 재료는 절연 재료의 층(들)과 모노리식으로 통합될 수 있다.

[0061] 다중-층 커패시터가 더 두꺼운 실시예들에서, 절연 재료의 추가 층이 상부 절연층과 하부 절연층 사이에 그리고 커패시터들 둘레에 배치될 수 있다(커패시터들을 포함하는 중간 층을 형성함). 조합이 소성되면, 모든 절연 재료 층들이 서로 결합되어, 통합된 디바이스를 형성할 수 있다. 다양한 실시예들에서, 임의의 수의 절연층들이 임의의 수의 커패시터들 또는 커패시터들의 층들에 사용되어 디바이스를 형성할 수 있다. 대안적으로, 커패시터들은 절연 재료를 고형화하여 매립된 디바이스를 형성하도록 소성 또는 경화될 수 있는 액체 또는 페이스트 절연 재료로 코팅될 수 있다.

[0062] 다양한 실시예들에서, 절연 재료는 낮거나, 또는 용량성 디바이스에 접합될 다이들(일부 예들에서, 이는 규소로 만들어질 수 있음)의 CTE 값에 가까운 값을 갖는 열 팽창 계수(CTE)를 갖도록 선택될 수 있다. 예를 들어, 용량성 디바이스의 CTE는 용량성 디바이스에 접합될 로직 디바이스, 프로세서 등의 CTE에 유사하게 선택될 수 있어서, 원하는 경우, 디바이스들의 조합이 (예를 들어, 적층된 배열로) 함께 패키징될 수 있다.

[0063] 용량성 디바이스에서, 절연 재료를 통과하여 비아가 형성되어, 용량성 디바이스를 통해 또는 매립된 커패시터들에 대한 신호 또는 전력 전달을 허용한다. 다양한 구현예들에서, 비아는 용량성 디바이스를 소성하기 이전에 또는 이후에 형성될 수 있다. 일부 실시예들에서, 재배선 층들은 용량성 디바이스의 하나의 표면 또는 양 표면 상에 형성될 수 있고, 원하는 경우 이들은 비아에 결합될 수 있다.

[0064] 또한, 전도성 트레이스들은 커패시터들의 에지 커넥터에 결합되어 용량성 디바이스의 하나의 표면 또는 양 표면들 상에 커패시터들을 위한 외부 단자들을 형성할 수 있다. 예를 들어, 커패시터들을 위한 단자들은 용량성 디바이스의 각각의 표면 상에 하나씩(예컨대, 애노드 및 캐소드 단자들은 용량성 디바이스의 반대면 상에 있을 수 있음), 용량성 디바이스의 단일 표면 상에 둘 모두(예컨대, 애노드 및 캐소드 단자들은 용량성 디바이스의 동일한 면 또는 표면 상에 있을 수 있음) 위치할 수 있거나, 또는 에지 커넥터들의 각각에 대한 단자들이 용량성 디바이스의 각 면 상에 있을 수 있다(예컨대, 용량성 디바이스의 각각의 표면은 애노드 및 캐소드 단자들 둘 모두를 포함할 수 있음). 따라서, 예를 들어, 두 단자들은 커패시터의 하나의 에지 커넥터에 연결될 수 있고, 전력

신호를 용량성 디바이스의 한 면으로부터 다른 면으로 전달하도록 구성될 수 있다. 두 다른 단자들이 커패시터의 제2 에지 커넥터에 연결될 수 있고 용량성 디바이스의 한 면으로부터 다른 면으로 접지를 제공하도록 구성될 수 있다. 이러한 구성에서 커패시터의 한 면은 전력 신호에 결합되고 커패시터의 다른 한 면은 접지에 결합된다. 원하는 경우, 단자들은 하나 이상의비아들에 또는 (하나의 표면 또는 양 표면들 상의) 재배선 층(RDL)에 결합될 수 있다. 용량성 디바이스가 직접 접합 기술들을 이용하여 접합되는 경우, 단자들, 비아들, 및/또는 RDL 연결부는 용량성 디바이스의 하나 이상의 표면들 상의 직접 접합 상호연결부로서 형성될 수 있다. 이러한 경우들에서, 상호연결부들의 적어도 일부는 수 마이크로미터의 범위의 피치를 가질 수 있는 반면, 비아들은 10 내지 15 마이크로미터 범위의 크기를 가질 수 있다. 실시예에서, 직접 접합 상호연결부들은 용량성 디바이스의 한 표면 상에만 사용될 수 있는데, 커패시터들을 위한 단자들이 그 한 표면 상에 있다.

[0065] 다른 실시예에서, 하나 이상의 공동들이 예비-소성된 절연 재료 층의 표면 안에 형성될 수 있다. 각각의 공동 내에 커패시터가 침착될 수 있고, 절연층 내에 비아들이 형성될 수 있다(순서 무관). 그 층 및 커패시터들 위에 재배선 층이 형성되어, 커패시터들을 디바이스 내에 매립할 수 있다. 원하는 경우, 반대 표면은 평탄화되어, 다른 RDL이 평탄화된 표면 상에 형성될 수 있다.

[0066] 기재된 기술들은 더 적은 공정 단계, 더 높은 제조 스루풋, 및 개선된 수율을 만들어낼 수 있다. 개시된 기술들의 다른 이점들도 또한 통상의 기술자들에게 명백할 것이다.

[0067] 도 8a 내지 도 8c는 다양한 실시예들에 따른, 커패시터(220)를 절연층 내에 매립하기 위한 다양한 기술들을 도시한다. 도 8d 및 도 8e는 도 8a 내지 도 8c에 도시된 임의의 기술들을 이용하여 형성될 수 있는 수동 전자 컴포넌트(3)의 개략적 측면도들이다. 도 8a는 수동 전자 컴포넌트를 형성하기 이전의, 제1 절연층(260a), 복수의 커패시터들(220), 및 제2 절연층(260b)의 개략적 측면도이다. 도 8a 내지 도 8c에 도시된 실시예들은 복수의 커패시터들(220)을 도시하며, 이들은 웨이퍼-레벨 공정에 사용될 수 있다. 다른 실시예들에서, 하나의 커패시터(220)만이 제공될 수 있다. 커패시터들(220)은, *예컨대*, 2개의 전도성 전극 층들 사이에 단일 유전체 층이 있는 단일-적층된 커패시터들, 또는 복수의 전도성 전극 층들 사이에 복수의 유전체 층들이 있는 다중-층 커패시터들을 포함하는 임의의 적합한 유형의 커패시터를 포함할 수 있다. 커패시터들(220)은 수평- 또는 수직-배향 커패시터들을 포함하는, 본 명세서에 기재된 임의의 용량성 구조체들과 유사하거나 또는 동일할 수 있다. 제1 및 제2 절연층들(260a, 260b)은 세라믹, 유리, 또는 중합체와 같은 임의의 적합한 유형의 절연체 또는 비-전도성 재료를 포함할 수 있다. 다양한 실시예들에서, 제1 및 제2 절연층들(260a, 260b)은 알루미늄 산화물과 같은 세라믹을 포함할 수 있다. 다른 실시예들에서, 제1 및 제2 절연층들(260a, 260b)은 액정 중합체(LCP)와 같은 중합체들을 포함할 수 있다.

[0068] 다양한 실시예들에서, 제1 및 제2 절연층들(260a, 260b)은 연성 또는 가요성 세라믹 그린 시트들, *예컨대*, 적합한 소성 온도 이상에서 가열 또는 소성 시, 경질화되어 더 단단한 세라믹 재료를 형성하는 세라믹 시트들을 포함할 수 있다. 그러한 실시예들에서, 커패시터(220)는 제1 절연층(260a) 상에 제공될 수 있다. 제2 절연층(260b)은 커패시터(220) 상에 제공(*예컨대*, 침착)될 수 있다. 제1 및 제2 층들(260a, 260b)은 서로 압착되어 제1 및 제2 층들(260a, 260b)이 갭들(262) 내에서 그리고 커패시터들(220)의 에지 부분들(261) 둘레에서 서로 접촉하도록 할 수 있다. 다양한 실시예들에서, 제1 및 제2 층들(260a, 260b)은 커패시터들(262) 둘레에 그에 따라 순응할 수 있고 압착 시 서로 접촉할 수 있다. 압착 후, 제1 및 제2 층들(260a, 260b) 및 매립된 커패시터들(220)은 세라믹 소성 온도에서 또는 그 이상의 온도에서 소성 또는 동시 소성되어 제1 및 제2 층들(260a, 260b)이 용융 또는 서로 블렌딩되어 더 단단하거나 또는 더 경질의 구조체를 형성할 수 있도록 할 수 있다.

[0069] 다양한 실시예들에서 제1 및 제2 층들(260a, 260b)은 동일한 재료를 포함할 수 있다. 다른 실시예들에서, 제1 및 제2 층들(260a, 260b)은 상이한 재료들을 포함할 수 있다. 제1 및 제2 층들(260a, 260b)이 상이한 재료들을 포함하는 구성에서, 재료들이 동일한 소성 또는 동시-소성 온도에서 또는 그 근방에서, *예컨대*, 제1 및 제2 층들(260a, 260b)이 충분히 경질화되는 온도 또는 온도 범위에서 경질화되도록 재료들은 선택될 수 있다. 예를 들어, 일부 재료들은 고온 세라믹(*예컨대*, 소성 온도가 1000℃ 이상) 또는 저온 세라믹(*예컨대*, 소성 온도가 500℃ 이상 또는 600℃ 이상, *예컨대*, 500℃ 내지 1200℃, 또는 550℃ 내지 1100℃)을 포함할 수 있다. 생성되는 수동 전자 컴포넌트(3)가 도 8d에 도시되어 있고, 이는 아래 더 상세하게 기재된다.

[0070] 도 8b는 수동 전자 컴포넌트를 형성하기 이전의, 제1 절연층(260a), 복수의 커패시터들(220), 제2 절연층(260b), 및 제1 절연층과 제2 절연층(260a, 260b) 사이에 배치된 중간 제3 절연층(260c)의 개략적 측면도이다. 달리 언급되지 않는 한, 도 8b의 실시예는 일반적으로 도 8a의 실시예와 유사하거나 또는 동일하다. 예를 들어, 도 8a와 같이, 도 8b의 수동 컴포넌트를 형성하기 위한 방법은 또한 도 8d에 도시된 수동 컴

포넌트(3)를 형성할 수 있다. 그러나, 도 8a와 다르게, 도 8b에서, 소성 전에, 중간 제3 절연층(260c)은 커패시터들(220)의 측면 에지들(261) 주위에 침착될 수 있다. 유리하게도, 제3 중간 층(260c)은 제1 및 제2 층들(260a, 260b)이 인가되는 압력이 거의 또는 전혀 없이 중간 층(260c)과 접촉할 수 있도록 선택된 두께를 가질 수 있다. 다른 배열들에서, 압력이 인가되어 제1 층(260a)이 제3 층(260c)과 접촉하게 하고 제3 층(260c)이 제2 층(260b)과 접촉하게 할 수 있다. 제1 및 제2 층들(260a, 260b)을 서로(제3 층(260c)이 그 사이에 개재하도록) 압착한 후에, 제1 층(260a), 제2 층(260b), 제3 층(260c), 및 커패시터들(220)은 층들(260a 내지 260c)이 혼합 또는 다른 방식으로 서로 합쳐져서 일원화된 또는 통합된 디바이스, *예컨대*, 도 8d에 도시된 통합된 수동 컴포넌트(3)를 형성하게 하기에 충분한 온도에서 동시 소성될 수 있다.

[0071] 도 8c는 수동 전자 컴포넌트를 형성하기 이전의, 절연층(260) 내에 매립된 커패시터들(220)의 개략적 측면면도이다. 달리 언급되지 않는 한, 도 8c의 실시예는 일반적으로 도 8a 및 도 8b의 실시예들과 유사하거나 또는 동일하다. 예를 들어, 도 8a 및 도 8b와 같이, 도 8b의 수동 컴포넌트를 형성하기 위한 방법은 또한 도 8d에 도시된 수동 컴포넌트(3)를 형성할 수 있다. 그러나, 도 8a 및 도 8b의 실시예들에서, 제1, 제2, 및 제3 절연층들(260a 내지 260c)은 커패시터들(220)을 침착 또는 연결하기 이전에 형성될 수 있다. 도 8a 및 도 8b의 실시예들과 다르게, 도 8c의 실시예에서, 분말 또는 기타 고형 혼합물이 캐리어(263) 상에 제공될 수 있다. 커패시터들(220)이 파워 또는 혼합물 위에 제공될 수 있고, 분말 또는 혼합물에 용액이 첨가될 수 있다. 용액은 분말 또는 혼합물이 연성, 가요성 절연층(260)(*예컨대*, 연성 세라믹 또는 중합체)으로 증점되게 할 수 있다. 생성되는 연성, 가요성 층(260)은 커패시터들(220) 위에 그리고 주위에 성형 또는 다른 방식으로 형성되어 커패시터들(220)을 절연층(260) 내에 매립할 수 있다. 절연층(260)을 커패시터들(220) 위에 성형 또는 형성한 후, 절연층(260) 및 커패시터들(260)은 층(260)이 혼합, 섞임 또는 다른 방식으로 서로 합쳐져서 일원화된 또는 통합된 디바이스, *예컨대*, 도 8d에 도시된 통합된 수동 컴포넌트(3)를 형성하게 하기에 충분한 온도에서 동시 소성될 수 있다. 캐리어(263)는 동시-소성 후에 제거될 수 있다. 도 8c의 실시예는 유리하게도, 도 8a 및 도 8b에 도시된 것들과 같은, 다수의 침착 공정들을 이용하지 않고, 수동 컴포넌트의 형성을 가능하게 할 수 있다. 오히려, 베이스 절연층(260)이 커패시터들(220)을 중심으로 형성될 수 있고 동시 소성되어 수동 컴포넌트(3)를 상대적으로 적은 공정 단계들로 형성할 수 있다.

[0072] 도 8d는 도 8a 내지 도 8c에 도시된 임의의 기술들을 이용하여 형성된 수동 전자 컴포넌트(3)의 개략적 단면도이다. 수동 전자 컴포넌트(3)는 도 7a 내지 도 7d에 도시된 것들과 유사하거나 또는 동일한 특징부들을 포함할 수 있는데, 도 8d의 도면 부호는, 언급된 경우를 제외하고, 도 7a 내지 도 7d의 동일 도면 부호에 유사한 컴포넌트들을 나타낼 수 있다. 도 8a 내지 도 8c의 구조체들을 동시-소성한 후, 커패시터들(220)은 절연 재료의 층(250) 내에 매립될 수 있다. 도시된 실시예에서, 예를 들어, 커패시터들(220)은 층(250) 내에 완전히 매립되어 절연 재료의 층(250)이 커패시터(220)의 상부 및 하부 표면들(264a, 264b)을 따라 배치될 뿐만 아니라, 커패시터(220)의 측면 에지들(261)을 따라 배치되도록 한다. 도 8d에서, 절연 재료의 층(250)은 도 8a 내지 도 8c에 도시된 조립체들을 소성 또는 동시-소성함으로써 형성된 제1 절연체(210a)를 포함할 수 있다. 따라서, 제1 절연체(210a)는 경화된 세라믹, 중합체, 유리 등을 포함할 수 있다.

[0073] 도 7a 내지 도 7d에서와 같이, 도 8d에 도시된 커패시터들(220)은 적어도 부분적으로 제1 전극(221a), 제2 전극(221b), 및 제1 전극과 제2 전극(221a, 221b) 사이에 개재하는 제2 절연체(210b)에 의해 한정될 수 있다. 제1 및 제2 절연체들(210a, 210b)은 유사한 동시-소성 온도를 갖고/갖거나 수동 전자 컴포넌트(3)가 접합될 컴포넌트들과 정합되는 상대적으로 낮은 CTE를 구비하도록 선택될 수 있다(*예컨대*, 규소를 포함할 수 있는 반도체 소자(2)). 다양한 실시예들에서, 절연체들(210a, 210b)은 동일한 재료를 포함한다. 다른 실시예들에서, 절연체들(210a, 210b)은 각각 층들(210a, 210b) 둘 모두 경질화되고 서로 병합 또는 혼합되는 소성 온도를 갖는 상이한 재료들을 포함한다. 따라서, 도 8a 내지 도 8c 중 임의의 것에 도시된 조립체들을 동시-소성한 후, 제1 및 제2 절연체들(210a, 210b)은 서로 병합 또는 혼합되어 모노리식으로 집적되고 통합되거나 또는 일원화된 구조체를 형성할 수 있다. 예를 들어, 제1 및 제2 절연체들(210a, 210b)을 동시-소성함으로써, 제1 절연체(210a)의 일부분들이 제2 절연체(210b)의 일부분들과, *예컨대*, 두 절연체들(210a, 210b) 사이의 경계에서, 병합 또는 혼합되게 할 수 있다. 도 8d의 실시예에서, 따라서, 층(250)의 모노리식으로 집적된 절연체(210a)는 이음새없이 커패시터(220)의 절연체(210b)와 통합될 수 있다. 위에 설명된 바와 같이, 다양한 실시예들에서, 절연체들(210a, 210b)은 유전체들을 포함할 수 있고, 다양한 실시예들에서, *예컨대*, 세라믹 유전체들을 포함할 수 있다. 다른 실시예들에서, 절연체들(210a 및/또는 210b)은 중합체들, 유리 등을 포함할 수 있다.

[0074] 다양한 실시예들에서, 도 7a 내지 도 7d의 실시예들에서와 같이, 커패시터(220)는 대응하는 제1 전극(들)(221a)에 연결된 제1 단자(들)(232a)를 포함할 수 있다. 제2 단자(들)(232b)는 대응하는 커패시터(220)의 제2 전극

(들)(221b)에 연결될 수 있다. 제1 및 제2 단자들(232a, 232b)의 각각은 적어도 부분적으로 전극들(221a, 221b)(예컨대, 커패시터(220)의 각자의 상부 및 하부 표면들(264a, 264b)에 또는 그 근처에 배치된 전극들(221a, 221b))의 각자의 최외각 층들에 의해, 그리고 각자의 교번하는 전극들(221a, 221b)에 전기적으로 연결되는 에지 커넥터들(251a, 251b)에 의해 한정될 수 있다. 예를 들어, 도 8d에 도시된 바와 같이, 제1 에지 커넥터(251a)는 수직으로, 예컨대, 전극들(221a)에 대하여 평행하지 않게 배치될 수 있고, 전극들(221a)의 각자의 단부들에 전기적으로 연결될 수 있다. 유사하게, 제2 에지 커넥터(251b)는 수직으로, 예컨대, 전극들(221b)에 대하여 평행하지 않게 배치될 수 있고, 전극들(221b)의 각자의 단부들에 전기적으로 연결될 수 있다. 위에 설명된 바와 같이, 전극들(221a, 221b)은 상이한 유형의 것일 수 있는데, 예컨대, 하나의 전극(221a)은 애노드를 포함할 수 있고 다른 전극(221b)은 캐소드를 포함하거나, 또는 그 반대일 수 있다.

[0075] 또한, 도 7a 및 도 7b의 실시예들에서와 같이, 하나 이상의 스루 신호 커넥터들(235)(예컨대, 전도성 비아들)은 수동 전자 컴포넌트(3)의 두께를 통해, 절연층(250)의 제1 표면(265a)으로부터 절연층(250)의 제2 표면(265b)까지 연장될 수 있다. 일부 실시예들에서, 스루 신호 커넥터들(235)은 동시-소성 단계 및 수동 컴포넌트(3)의 형성 단계 후에 형성될 수 있다. 예를 들어, 일부 실시예들에서, 절연층들(260a, 260b, 및/또는 260c), 및 커패시터들(220)은 동시 소성되어 수동 컴포넌트를 형성할 수 있다. 후속적으로, 홀들이 절연층(250)을 통해 제공될 수 있고(예컨대, 드릴, 에칭 등), 스루 신호 커넥터들(235)이 홀 안에 제공 또는 침착될 수 있다. 신호 커넥터들(235)이 소성 후에 형성되는 이러한 구성에서, 커넥터들(235)을 위한 전도성 재료는 소성 또는 동시-소성 공정 동안 사용되는 고온을 견딜 수 없을 수 있다. 그러나, 다른 실시예들에서, 커넥터들(235)은 구조체를 소성하는 데 사용되는 고온을 견디도록 구성된 재료 속성들을 구비한 전도체를 포함할 수 있다. 이러한 구성에서, 커넥터들(235)은 커패시터들(220) 및 절연층들(260a 내지 260c)과 함께 동시 소성될 수 있다.

[0076] 도 8e는 하나 이상의 재배선 층들(RDL)(252a, 252b)(예컨대, 상호연결 층(들))이 수동 전자 컴포넌트(3)에 적용된, 도 8d에 도시된 수동 전자 컴포넌트(3)의 개략적 측면면도이다. RDL들(252a, 252b)은 제1 표면(265a) 및 절연층(250)의 제2 표면(265b) 중 적어도 하나 상에 제공될 수 있다. RDL들(252a, 252b)은 일부 실시예들에서, 컴포넌트(3) 상에 제공하기 이전에 사전-형성될 수 있다. 예를 들어, 일부 실시예들에서, RDL들(252a, 252b)은 사전-형성되고 개재 접착제 없이 컴포넌트(3)에 직접 접합될 수 있다. 다른 배열들에서, RDL들(252a, 252b)은 층상 형태로 절연층(250) 위에 구축될 수 있다. RDL들(252a, 252b)은 커패시터들(220)의 선택된 단자들과 대응하는 단자들 또는 수동 전자 컴포넌트(3)가 연결될 구성요소(들)의 컨택 패드들 사이에 전기 신호를 라우팅하도록 구성될 수 있다. 예를 들어, 도 8e의 실시예에서, 제1 RDL(252a)은 절연층(250)의 제1 표면(265a) 위에 제공될 수 있다. 제2 RDL(252b)은 절연층(250)의 제2 표면(265b) 위에 제공될 수 있다. RDL들(252a, 252b)은 대응하는 RDL 절연층들(266a, 266b) 내에 적어도 부분적으로 매립된 복수의 금속성 트레이스들을 포함할 수 있다. 수동 컴포넌트(3)의 제1 표면(12)는 RDL(252a)의 상부 표면에서 한정될 수 있고, 수동 컴포넌트(3)의 제2 표면(13)은 RDL(252b)의 하부 표면에서 한정될 수 있다.

[0077] 도 8e에 도시된 바와 같이, 제1 전도성 트레이스들(253a) 또는 각자의 RDL들(252a, 252b)의 전도성 비아들은 커패시터의 제1 전극들 또는 단자들(221a)에 제1 단자들(232a)에서 또는 그에 의해 전기적으로 연결될 수 있다. 도시된 바와 같이, 트레이스들(253a) 또는 비아들(또한 상호연결부(들)로 지칭됨)은 절연 재료의 적어도 일부분, 또는 절연체(210b)를 통해 연장되어 커패시터의 각자의 단자들에 연결될 수 있다. 유사하게, 각자의 RDL들(252a, 252b)의 제2 전도성 트레이스들(253b)은 제2 전극들(221b)에 제2 단자들(232b)에서 또는 그에 의해 전기적으로 연결될 수 있다. 도시된 실시예에서, 단자들(232a, 232b)은 에지 커넥터들(251a, 251b)의 각자의 부분들(이는 개재 전극들(221a, 221b)을 연결함)에 의해, 그리고 최외각 전극들(221a, 221b)(예컨대, 커패시터들(220)의 각자의 제1 또는 제2 표면들(265a, 265b)의 또는 그 근처의 전극들(221a, 221b))에 의해 적어도 부분적으로 한정될 수 있다. 따라서, 각자의 전극들(221a, 221b)에 대한 전기 연결은 에지 커넥터들(251a, 251b) 및/또는 표면들(265a, 265b)에서 최외각 전극들(221a, 221b)에 대하여 이루어질 수 있다.

[0078] 트레이스들(253a, 253b)은 절연 재료 층(250)의 제1 또는 제2 표면들(265a, 265b)에서 단자들(232a, 232b)을 각자의 상호연결부들(254a, 254b)에 전기적으로 연결할 수 있다. 도 8e에 도시된 바와 같이, 상호연결부들(254a, 254b)은 RDL 절연체들(266a, 266b)을 통해 연장될 수 있고, 제1 및 제2 표면들(12, 13)에서 노출될 수 있다. 다양한 실시예들에서, 아래 설명된 바와 같이, 절연층들(266a, 266b)은 상호연결부들(또는 그것들의 일부분들)이 연장되어 커패시터에 연결될 수 있는 각자의 층들 또는 기판들의 역할을 할 수 있다. 상호연결부들(254a, 254b)의 노출된 표면들은 구성요소들(2)(예컨대, 집적 디바이스 다이와 같은 반도체 소자들), 패키지 기판들, 인터포저 등과 같은 다른 구성요소들에 전기적으로 연결되도록 구성될 수 있다. 본 명세서에 설명된 바와 같이, 표면들(12, 13)에서 RDL 절연층들(266a, 266b) 및 상호연결부들(254a, 254b)의 노출된 표면들은 다양

한 실시예들에서 폴리싱되고 직접 접합을 위하여 준비될 수 있다. 절연층들(266a, 266b) 및 노출된 상호연결부들(254a, 254b)은 개재 접착제 없이 대응하는 절연체 및/또는 다른 구성요소들의 전도성 특징부들에 직접 접합될 수 있다. 일부 실시예들에서, 구성요소들은 컴포넌트(3)의 양 표면들(12, 13)에 접합될 수 있다. 다른 실시예들에서, 구성요소들은 수동 컴포넌트(3)의 하나의 표면(12 또는 13)에만 접합될 수 있다. 또 다른 실시예들에서, 절연층들(266a, 266b) 및/또는 상호연결부들(254a, 254b)은 다양한 접착제들을 이용하여 다른 구성요소들에 접합될 수 있다.

[0079] 상기 실시예들에서와 같이, 일부 구성들에서, 수동 컴포넌트(3)의 각각의 표면(12, 13)은 커패시터(220)의 각각의 면 상에서 상이한 유형의 단자들(232a, 232b)에 연결되는 제1 및 제2 각각의 상호연결부들(254a, 254b)을 포함할 수 있다. 예를 들어, 절연 재료(250)의 표면들(265a, 265b)의 각각은 애노드 및 캐소드 단자를 포함할 수 있다. 그러나, 다른 실시예들에서, 하나의 표면(265a)은 애노드 단자(들)를 포함할 수 있고 다른 표면(265b)은 캐소드 단자(들)를 포함할 수 있다. *예컨대*, RDL들(252a, 252b)의 구조 및 그것들이 전기 신호를 라우팅하는 방법에 기초하여, 단자들의 또 다른 조합들이 본 명세서에 제공될 수 있다. 예를 들어, 본 명세서에 기재된 실시예들에서, 일부 단자들(232a)은 전력에 연결될 수 있고, 다른 단자들(232b)은 전기 접지에 연결되거나, 또는 그 반대일 수 있다.

[0080] 도 9a 내지 도 9e는 다양한 실시예들에 따른 수동 전자 컴포넌트(3)를 형성하기 위한 공정을 도시한다. 달리 언급되지 않는 한, 도 9a 내지 도 9e의 컴포넌트들은 도 7a 내지 도 8e의 동일 도면 부호 컴포넌트들과 유사하거나 또는 동일할 수 있다. 도 9a는 절연층(250)의 개략적 측면면도이다. 절연층(250)은 세라믹, 중합체, 유리, 반도체(*예컨대*, 규소) 등과 같은 임의의 적합한 유형의 절연체를 포함할 수 있다. 도 9a를 참조하면, 하나 이상의 공동들(267)이 절연층(250) 내에, *예컨대*, 에칭, 드릴링 등에 의해 형성될 수 있다. 스루 신호 상호연결부들(235)(또는 전도성비아들)은 또한 절연층(250)의 두께의 적어도 일부분을 통해 제공될 수 있다. 예를 들어, 일부 실시예들에서, 홀들이 형성될 수 있고(*예컨대*, 드릴, 에칭 등), 전도성 재료가 홀들 내에 제공되어 비아들 또는 상호연결부들(235)을 형성할 수 있다. 도 9c에서, 하나 이상의 커패시터들(220)이 공동들(267) 내에 제공될 수 있다. 일부 실시예들에서, 커패시터들(220)을 지지하고, 안정화시키고/시키거나 응력을 감소시키기 위하여 공동들(267) 내의 커패시터들(220) 위에 및/또는 주위에 낮은 CTE 절연체 충전재(268)가 제공될 수 있다.

[0081] 도 9d에 도시된 바와 같이, 제1 RDL(252a)은 절연층(250)의 제1 표면(265a) 위에 제공될 수 있다. 제1 RDL(252a) 내의 상호연결부들(254a)은 커패시터(220)의 대응하는 단자들(232a)에 연결될 수 있고, 제1 RDL(252a) 내의 다른 상호연결부들(254b)(미도시)은 커패시터(220)의 대응하는 단자들(232b)에 연결될 수 있다. 예를 들어, 상호연결부들(254a, 254b)의 부분들은 RDL들(252a, 252b)의 절연층(266a, 266b)(이들은 절연층 또는 기판의 역할을 할 수 있음)을 통해 연장되어 커패시터에 연결될 수 있다. 도 9e에서, 절연 재료(250)의 후면은 부분적으로 제거(*예컨대*, 폴리싱, 연삭, 에칭 등)되어 커패시터(220)의 표면(264b) 및 비아(235)의 단부들을 노출시킬 수 있다. 제2 RDL(252b)은 절연 재료(250)의 표면(265b) 및 커패시터(220)의 표면(264b) 위에 제공될 수 있다. 위에 설명된 바와 같이, RDL들(252a, 252b)은 절연층(250) 및 커패시터들(220)에 접합(*예컨대*, 일부 구성들에서 직접 접합)될 수 있다. 다른 실시예들에서, RDL들(252a, 252b)은 다른 방식으로, *예컨대*, 접착제를 이용하여 접합될 수 있다. 또 다른 실시예들에서, RDL들(252a, 252b)은 한 층씩 구축될 수 있다.

[0082] 도 8d 및 도 8e의 실시예에서와 같이, 도 9e에서, 커패시터(3)는 절연층(250) 내에 매립될 수 있고, 이는 절연층들(266a, 266b) 사이에서 절연 구성요소의 역할을 할 수 있다. 예를 들어, 도 9e에 도시된 바와 같이, 절연층(250)은 커패시터들(220)의 측면 에지들(261)을 따라 배치될 수 있고, 측면 에지들(261)의 대부분을, *예컨대*, 측면 에지들(261)의 모든 또는 실질적으로 전체를 커버할 수 있다. 도 9e의 실시예에서, RDL들(252a, 252b)은 커패시터들(220)의 상부 및 하부 표면들(264a, 264b) 위에 제공될 수 있다. 그러나, 도 8d 및 도 8e와는 다르게, 도 9e에서, 커패시터(3)는 모노리식으로 절연 재료(250)에 집적되지 않고, 대신 공동들(267) 내에 (충전재(268)와 함께) 삽입된다. 본 명세서에 기재된 다른 실시예들과 같이, 수동 컴포넌트(3)의 각각의 표면(12, 13)은 상이한 유형의 단자들을 포함할 수 있는데, *예컨대*, 각각의 표면(12, 13)은 애노드 단자 또는 상호연결부 및 캐소드 단자 또는 상호연결부를 포함할 수 있다. 다른 실시예들에서, 하나의 표면(12)은 애노드 단자들 또는 상호연결부들만을 포함할 수 있고, 다른 표면(13)은 캐소드 단자들 또는 상호연결부들만을 포함하거나, 또는 그 반대일 수 있다. 다양한 실시예들에서, 컴포넌트의 제1 표면(12) 상의 상호연결부들(254a 및/또는 254b)의 피치는 제2 표면(13) 상의 상호연결부들(254a, 254b)의 피치보다 작은 피치를 가질 수 있다. 예를 들어, 제1 표면(12) 상의 상호연결부들(254a 및/또는 254b)은 다른 구성요소에 대한 직접 접합을 위해 이격되고 구성될 수 있다. 일부 실시예들에서, 제1 표면(12) 상의 상호연결부들(254a 및/또는 254b)의 피치는 50 마이크로미터 이

하, 10 마이크로미터 이하, 또는 1 마이크로미터 이하일 수 있다. 일부 실시예들에서, 커패시터(220)의 단자들은 제1 표면(12)에서 RDL의 대응하는 상호연결부들(254a 및/또는 254b)에 연결될 수 있고, 제2 표면(13)에서 어떠한 상호연결부에도 연결되지 않을 수 있거나, 또는 그 반대일 수 있다.

[0083] 도 10a 내지 도 10g는 수동 컴포넌트가 절연층(250) 내에 매립되는 수동 전자 컴포넌트(3)를 형성하기 위한 다른 방법을 도시한다. 도 10a는 제1 절연 기판(270a)의 개략적 측면도이다. 제1 절연 기판(270a)은 세라믹, 중합체, 유리, 절연 복합재 등과 같은 임의의 적합한 유형의 절연체를 포함할 수 있다. 유리하게도, 기판들(270a, 270b)은 6 ppm/°C 이하, 또는 5 ppm/°C 이하의 열 팽창 계수(CTE)를 갖는 재료를 포함할 수 있다. 다양한 실시예들에서, 기판들(270a, 270b)의 CTE는 2 ppm/°C 내지 6 ppm/°C의 범위, 3 ppm/°C 내지 6 ppm/°C의 범위, 또는 3 ppm/°C 내지 5 ppm/°C의 범위일 수 있다. 다양한 실시예들에서, 기판들(270a, 270b)은 동일한 재료를 포함할 수 있다. 다른 실시예들에서, 기판들(270a, 270b)은 상이한 재료들을 포함할 수 있다. 도 10b를 참조하면, 제1 접착제(250a)가 제1 절연 기판(270a) 상에 적용 또는 침착될 수 있다. 제1 접착제(250a)는 절연체 접착제와 같은 임의의 적합한 유형의 접착제를 포함할 수 있다. 다양한 실시예들에서, 제1 접착제(250a)는 비-전도성 에폭시를 포함할 수 있다.

[0084] 도 10c에서, 커패시터들(220)은 제1 접착 층(250a) 상에 제공(예컨대, 배치, 침착 등)될 수 있다. 일부 실시예들에서, 커패시터들(220)은 제1 접착 층(250a) 내에 부분적으로 매립되어 제1 접착 층(250a)의 적어도 일부가 커패시터(220)의 측면 에지(261)를 따라 배치되고 제1 접착 층(250a)의 적어도 다른 다른 부분은 커패시터(220)의 제2 표면(264b)을 따라 배치되도록 한다. 도 10d에서, 제2 접착 층(250b)은 커패시터들(220) 위에 그리고 그 주위에 제공 또는 적용될 수 있다. 도 10d에 도시된 바와 같이, 제2 접착 층(250b)의 적어도 일부는 커패시터(220)의 측면 에지(261)를 따라 배치될 수 있고, 제2 접착 층(250b)의 적어도 다른 부분은 커패시터(220)의 제1 표면(264a)을 따라 배치될 수 있다. 제2 절연 기판(270b)(제1 기판(270a)과 동일한 절연 재료 또는 상이한 절연 재료를 포함할 수 있음). 따라서, 도 10d에서, 절연층(250)은 제1 및 제2 접착 층들(250a, 250b)을 포함할 수 있고, 커패시터들(220)은 절연층 내에 완전히 매립될 수 있다.

[0085] 도 10e를 참조하면, 전도성 상호연결부들이 수동 컴포넌트(3) 내에 형성될 수 있다. 예를 들어, 스루 전도성비아들(235)이 수동 컴포넌트(3)의 두께를 통해 제공되는 스루 홀들 내에 제공되어, 컴포넌트(3) 내의 스루 전기 통신을 제공하도록 할 수 있다. 추가적으로, 커패시터들(220)의 대응하는 단자들(232a, 232b)과 전기적으로 연결하기 위하여 상호연결부들(254a, 254b)이 절연 기판들(270a, 270b)의 대응하는 홀들 내에 형성될 수 있다. 따라서, 본 명세서에 기재된 실시예들에서, 절연 기판들(270a, 270b)은 다른 구성요소들 또는 디바이스들과의 전기 통신을 제공하기 위한 상호연결 층들의 역할을 할 수 있다. 본 명세서에 기재된 다른 실시예들과 같이, 수동 컴포넌트(3)의 각각의 표면(12, 13)은 상이한 유형의 단자들을 포함할 수 있는데, 예컨대, 각각의 표면(12, 13)은 애노드 단자 또는 상호연결부(254a) 및 캐소드 단자 또는 상호연결부(254b)를 포함할 수 있다. 다른 실시예들에서, 하나의 표면(12)은 애노드 단자들 또는 상호연결부들만을 포함할 수 있고, 다른 표면(13)은 캐소드 단자들 또는 상호연결부들을 포함하거나, 또는 그 반대일 수 있다.

[0086] 도 10e에 도시된 바와 같이, 접착제들(250a, 250b)은 제1 기판과 제2 기판 사이에 배치된 절연 구성요소의 역할을 할 수 있다. 상호연결부들(254a, 254b)은 절연 구성요소의 적어도 일부(예컨대, 제1 및 제2 접착제들(250a, 250b)의 일부분들)을 통해 연장되는 전도성비아들의 역할을 할 수 있다. 또한, 상호연결부들(254a, 254b)은 기판들(270a, 270b)을 통해 연장되어 커패시터들에 연결될 수 있다. 접착제들(250a, 250b)은 커패시터(220)의 측면 에지들에 인접(및/또는 접촉)하게 배치될 수 있다. 도시된 바와 같이, 커패시터들(220)은 제1 기판과 제2 기판(270a, 270b) 사이의 제1 영역에 배치될 수 있고, 절연 구성요소(예컨대, 절연 재료(250)의 접착제들(250a, 250b))는 제1 기판과 제2 기판(270a, 270b) 사이의 상이한 제2 영역에 배치될 수 있다. 유리하게도, 낮은 CTE 기판들(270a, 270b) 및 개재 절연 재료(250)를 사용함으로써, 수동 컴포넌트(3)가 실장되는 컴포넌트(들), 예컨대 반도체 또는 구조 기판의 CTE에 가까운 낮은 총 유효 CTE를 갖는 전체 수동 컴포넌트(3)를 제공할 수 있다. 이러한 구성에서, 유리하게도, 수동 컴포넌트(3)의 총 유효 CTE(예컨대, 도 10e에 도시된 절연성 및 전도성 재료들을 포함)는 8 ppm/°C 이하, 7 ppm/°C 이하, 또는 6 ppm/°C 이하일 수 있다. 다양한 실시예들에서, 수동 컴포넌트(3)(또한 본 명세서에서 마이크로전자 디바이스로 지칭됨)의 총 유효 CTE는 3 ppm/°C 내지 7 ppm/°C의 범위, 4 ppm/°C 내지 8 ppm/°C의 범위, 또는 4 ppm/°C 내지 7 ppm/°C의 범위일 수 있다.

[0087] 도 10f는 도 10c에 도시된 단계 후에 수동 컴포넌트를 형성하기 위한 대안적인 방법을 도시한다. 예를 들어, 도 10c에서 제1 접착 층(250a) 상에 커패시터들(220)을 제공하는 것에 후속하여, 도 10d에 도시된 바와 같이 제2 접착제(250b)를 커패시터들(220) 및 제1 접착 층(250a) 위에 제공하는 대신에, 성형 화합물(269)이 커패시터들(220)의 측면 에지들(261)의 적어도 주위에 제공될 수 있다. 성형 화합물(269)은 절연층(250)의 절연 하위-

층을 포함할 수 있는데, *예컨대*, 성형 화합물(269)은 비-전도성 에폭시, 봉지재 등을 포함할 수 있다. 일부 실시예들에서, 성형 화합물(269)은 오직 측면 에지들(261) 주위에 적용될 수 있다. 다른 실시예들에서, 성형 화합물(269)은 커패시터들의 측면 에지들(261) 및 표면들(264a) 주위에 적용될 수 있다. 표면들(264a) 위의 성형 화합물(269)의 일부분들은 임의의 적합한 방식으로 제거될 수 있다.

[0088] 또한, 도 10f에 도시된 바와 같이, 제2 접착 층(250b)(이는 비-전도성 또는 절연체 접착제를 포함할 수 있음)은 제1 표면(264a) 및 성형 화합물(269)의 상부 표면 위에 적용될 수 있다. 제2 절연 기관(270b)은 제2 접착 층(250b) 위에 제공될 수 있다. 따라서, 도 10f의 실시예에서, 절연층(250)은 제1 및 제2 접착 층들(250a, 250b) 및 성형 화합물(269)을 포함할 수 있다. 커패시터들(220)은 절연층(250) 내에 매립(*예컨대*, 완전히 매립)될 수 있다. 도 10g를 참조하면, 도 10e에서와 같이, 컴포넌트(3)를 통해 커패시터들(220)에 각각 전기 통신을 제공하도록 스루 비아들(235) 및 상호연결부들(254a, 254b)이 제공될 수 있다.

[0089] 접착제들(250a, 250b), 및 성형 화합물(269)은 제1 기관과 제2 기관(270a, 270b) 사이에 배치된 절연 구성요소의 역할을 할 수 있다. 상호연결부들(254a, 254b)은 절연 구성요소의 적어도 일부분(*예컨대*, 제1 및 제2 접착제들(250a, 250b)의 일부분들)을 통해 연장되는 전도성 비아의 역할을 할 수 있다. 또한, 상호연결부들(254a, 254b)은 기관들(270a, 270b)을 통해 연장되어 커패시터들에 연결될 수 있다. 도 10g에서, 접착제들(250a, 250b)은 커패시터(220)의 상부 표면들에 인접(및/또는 접촉)하게 배치될 수 있다. 성형 화합물(269)은 커패시터들(220)의 측면 에지들에 인접(및 또는 접촉)하게 배치될 수 있다. 따라서, 커패시터들(220)은 절연 구성요소 내에 매립(*예컨대*, 접착제들(250a, 250b) 및 성형 화합물(269) 내에 매립)될 수 있다. 도시된 바와 같이, 커패시터들(220)은 제1 기관과 제2 기관(270a, 270b) 사이의 제1 영역에 배치될 수 있고, 절연 구성요소(*예컨대*, 절연 재료(250)의 접착제들(250a, 250b))의 적어도 일부분은 제1 기관과 제2 기관(270a, 270b) 사이의 상이한 제2 영역에 배치될 수 있다. 유리하게도, 낮은 CTE 기관들(270a, 270b) 및 개재 절연 재료(250)를 사용함으로써, 수동 컴포넌트(3)가 실장되는 컴포넌트(들), *예컨대* 반도체 또는 구조 기관의 CTE에 가까운 낮은 총 유효 CTE를 갖는 전체 수동 컴포넌트(3)를 제공할 수 있다. 이러한 구성에서, 유리하게도, 수동 컴포넌트(3)의 총 유효 CTE(*예컨대*, 도 10g에 도시된 절연성 및 전도성 재료들을 포함)는 8 ppm/°C 이하, 7 ppm/°C 이하, 또는 6 ppm/°C 이하일 수 있다. 다양한 실시예들에서, 수동 컴포넌트(3)(또한 본 명세서에서 마이크로전자 디바이스로 지칭됨)의 총 유효 CTE는 3 ppm/°C 내지 7 ppm/°C의 범위, 4 ppm/°C 내지 8 ppm/°C의 범위, 또는 4 ppm/°C 내지 7 ppm/°C의 범위일 수 있다. 도 10a 내지 도 10g의 컴포넌트(3)는 복수의 기관들(*예컨대* 기관들(270a, 270b))이 하나 이상의 커패시터들에, *예컨대*, 하나 이상의 접착제들 및/또는 성형 화합물에 의해 결합될 수 있는 적층 구조체를 포함할 수 있다. 도시된 실시예들에서, 기관들(270a, 270b)은 침착 공정을 사용하여 침착되지 않고 커패시터(220)에 적층 또는 적용되는 재료들 또는 층들을 포함할 수 있다.

[0090] 도 11a 내지 도 11g는 수동 컴포넌트가 절연층(250) 내에 매립되는 수동 전자 컴포넌트(3)를 형성하기 위한 다른 방법을 도시한다. 도 11a 및 도 11b는 일반적으로 각각 도 10a 및 도 10b와 동일하다. 그러나, 도 11c에서, 제3 절연 기관(270c)은 제1 접착 층(250a) 위에 그리고 커패시터들(220) 주위에 제공될 수 있다. 제3 절연 기관(270c)은 기관들(270a, 270b)과 동일한 재료일 수 있다. 다른 실시예들에서, 제3 기관(270c)의 재료는 기관들(270a, 270b)의 재료(들)와 상이할 수 있다. 제1 접착 층(250a)은 제2 표면(264b) 위에 그리고 측면 에지들(261)의 일부분들 위에 제공될 수 있다. 도 11c에 도시된 바와 같이, 유리하게도, 제1 비아 부분들(235a)은 제3 절연 기관(270)을 통해 제공될 수 있다. 제1 비아 부분들(235a)은 스루 신호 비아 또는 상호연결부(235)의 일부분을 한정할 수 있다.

[0091] 도 10d에서와 같이, 도 11d에서, 제2 접착제(250b)는 커패시터들(220) 위에 그리고 그 주위에 제공될 수 있다. 예를 들어, 제2 접착 층(250b)은 커패시터들(220)의 측면 에지들(261)의 일부분들 주위에 그리고 커패시터들(220)의 제1 표면들(264a) 위에 제공될 수 있다. 제2 절연 기관(270b)은 제2 접착 층(250b) 위에 제공 또는 침착될 수 있다. 따라서, 도 11d에서, 커패시터들(220)은 절연층(250)에 매립될 수 있는데, 이는 제1 및 제2 접착 층들(250a, 250b)을 포함할 수 있다. 도시된 실시예에서, 예를 들어, 커패시터들(220)은 절연층(250)에 완전히 또는 전체적으로 매립되어, 절연층의 일부분들이 커패시터들(220)의 표면들의 대부분 또는 모두를 커버하도록 한다.

[0092] 도 11e를 참조하면, 커패시터들(220)의 단자들(232a, 232b)에 연결하도록 상호연결부들(254a, 254b)이 제공될 수 있다. 제2 비아 부분들(235b)은 제1 및 제2 절연 기관들(270a, 270b)의 각각에 제공될 수 있다. 제2 비아 부분들(235b)은 제3 절연 기관(270c)을 통해 형성된 제1 비아 부분들(235a)에 전기적으로 연결될 수 있다. 예를 들어, 일부 실시예들에서, 제1 비아 부분들(235a)은 개재 접착제 없이 대응하는 제2 비아 부분들(235b)에 직접 접합될 수 있다. 다른 실시예들에서, 제1 비아들 부분들(235a)은 전도성 접착제를 이용하여 제2 비아 부분

들(235b)에 접합될 수 있다. 유리하게도, 제3 절연 기판(270c) 내의 제1 비아 부분들(235a)을 사용하는 것은, 절연층(250)을 관통하여 스루 홀들을 제공하지 않고, 생성되는 스루 비아 또는 상호연결부(235)의 층별 구성을 가능하게 할 수 있다. 대신, 제3 절연 기판(270c)은 각각의 비아들이 절연층(250)을 통해 형성될 필요가 없도록 커패시터들(220)의 두께와 대략 동일한 두께를 가질 수 있다.

[0093] 위와 같이, 접착제들(250a, 250b), 및 제3 기판(270c)은 제1 기판과 제2 기판(270a, 270b) 사이에 배치된 절연 구성요소의 역할을 할 수 있다. 상호연결부들(254a, 254b)은 절연 구성요소의 적어도 일부분(예컨대, 제1 및 제2 접착제들(250a, 250b)의 일부분들)을 통해 연장되는 전도성 비아의 역할을 할 수 있다. 또한, 상호연결부들(254a, 254b)은 기판들(270a, 270b)을 통해 연장되어 커패시터들에 연결될 수 있다. 도 11e에서, 절연 재료(250)는 커패시터(220)의 상부 표면들 및 커패시터들(220)의 측면 에지들에 인접(및/또는 접촉)하게 배치될 수 있다. 따라서, 커패시터들(220)은 절연 구성요소 내에 매립될 수 있다. 도시된 바와 같이, 커패시터들(220)은 제1 기판과 제2 기판(270a, 270b) 사이의 제1 영역에 배치될 수 있고, 절연 구성요소(예컨대, 접착제들(250a, 250b) 및 제3 기판(들)(270c)의 일부분들)의 적어도 일부분은 제1 기판과 제2 기판(270a, 270b) 사이의 상이한 제2 영역에 배치될 수 있다. 유리하게도, 낮은 CTE 기판들(270a, 270b), 제3 개재 기판(270c), 및 개재 절연 재료(250)를 사용함으로써, 수동 컴포넌트(3)가 실장되는 컴포넌트(들), 예컨대 반도체 또는 규소 기판의 CTE에 가까운 낮은 총 유효 CTE를 갖는 전체 수동 컴포넌트(3)를 제공할 수 있다. 이러한 구성에서, 유리하게도, 수동 컴포넌트(3)의 총 유효 CTE(예컨대, 도 11e에 도시된 절연성 및 전도성 재료들을 포함)는 8 ppm/°C 이하, 7 ppm/°C 이하, 또는 6 ppm/°C 이하일 수 있다. 다양한 실시예들에서, 수동 컴포넌트(3)(또한 본 명세서에서 마이크로전자 디바이스로 지칭됨)의 총 유효 CTE는 3 ppm/°C 내지 7 ppm/°C의 범위, 4 ppm/°C 내지 8 ppm/°C의 범위, 또는 4 ppm/°C 내지 7 ppm/°C의 범위일 수 있다.

[0094] 도 11f는 도 11c에 도시된 단계 후에 수동 컴포넌트를 형성하기 위한 대안적인 방법을 도시한다. 예를 들어, 도 11c에서 제1 접착 층(250a) 상에 커패시터들(220)을 제공하는 것에 후속하여, 도 11d에 도시된 바와 같이 제2 접착제(250b)를 커패시터들(220), 제3 기판(270c), 및 제1 접착 층(250a) 위에 제공하는 대신에, 성형 화합물(269)이 커패시터들(220)의 측면 에지들(261)의 적어도 주위에 제공될 수 있다. 성형 화합물(269)은 절연층(250)의 절연체 하위-층을 포함할 수 있는데, 예컨대, 성형 화합물(269)은 비-전도성 에폭시, 봉지재 등을 포함할 수 있다. 일부 실시예들에서, 성형 화합물(269)은 오직 측면 에지들(261) 주위에 적용될 수 있다. 다른 실시예들에서, 성형 화합물(269)은 커패시터들의 측면 에지들(261) 및 표면들(264a) 주위에 적용될 수 있다. 표면들(264a) 위의 성형 화합물(269)의 일부분들은 임의의 적합한 방식으로 제거될 수 있다.

[0095] 또한, 도 11f에 도시된 바와 같이, 제2 접착 층(250b)(이는 비-전도성 또는 절연체 접착제를 포함할 수 있음)은 제1 표면(264a) 및 성형 화합물(269)의 상부 표면 위에 적용될 수 있다. 제2 절연 기판(270b)은 제2 접착 층(250b) 위에 제공될 수 있다. 따라서, 도 11f의 실시예에서, 절연층(250)은 제1 및 제2 접착 층들(250a, 250b) 및 성형 화합물(269)을 포함할 수 있다. 커패시터들(220)은 절연층(250) 내에 매립(예컨대, 완전히 매립)될 수 있다. 도 11g를 참조하면, 도 11e에서와 같이, 컴포넌트(3)를 통해 커패시터들(220)에 각각 전기 통신을 제공하도록 스루 비아들(235) 및 상호연결부들(254a, 254b)이 제공될 수 있다.

[0096] 접착제들(250a, 250b), 및 성형 화합물(269)(예컨대, 절연 재료(250))은 제1 기판과 제2 기판(270a, 270b) 사이에 배치된 절연 구성요소의 역할을 할 수 있다. 상호연결부들(254a, 254b)은 절연 구성요소의 적어도 일부분(예컨대, 제1 및 제2 접착제들(250a, 250b)의 일부분들)을 통해 연장되는 전도성 비아의 역할을 할 수 있다. 또한, 상호연결부들(254a, 254b)은 기판들(270a, 270b)을 통해 연장되어 커패시터들에 연결될 수 있다. 도 11g에서, 접착제들(250a, 250b)은 커패시터(220)의 상부 표면들에 인접(및/또는 접촉)하게 배치될 수 있다. 성형 화합물(269)은 커패시터들(220)의 측면 에지들에 인접(및 또는 접촉)하게 배치될 수 있다. 따라서, 커패시터들(220)은 절연 구성요소 내에 매립(예컨대, 접착제들(250a, 250b) 및 성형 화합물(269) 내에 매립)될 수 있다. 도시된 바와 같이, 커패시터들(220)은 제1 기판과 제2 기판(270a, 270b) 사이의 제1 영역에 배치될 수 있고, 절연 구성요소(예컨대, 절연 재료(250)의 접착제들(250a, 250b) 및 성형 화합물(269))의 적어도 일부분은 제1 기판과 제2 기판(270a, 270b) 사이의 상이한 제2 영역에 배치될 수 있다. 유리하게도, 낮은 CTE 기판들(270a, 270b) 및 개재 절연 구성요소를 사용함으로써, 수동 컴포넌트(3)가 실장되는 컴포넌트(들), 예컨대 반도체 또는 규소 기판의 CTE에 가까운 낮은 총 유효 CTE를 갖는 전체 수동 컴포넌트(3)를 제공할 수 있다. 이러한 구성에서, 유리하게도, 수동 컴포넌트(3)의 총 유효 CTE(예컨대, 도 11g에 도시된 절연성 및 전도성 재료들을 포함)는 8 ppm/°C 이하, 7 ppm/°C 이하, 또는 6 ppm/°C 이하일 수 있다. 다양한 실시예들에서, 수동 컴포넌트(3)(또한 본 명세서에서 마이크로전자 디바이스로 지칭됨)의 총 유효 CTE는 3 ppm/°C 내지 7 ppm/°C의 범위, 4 ppm/°C 내지 8 ppm/°C의 범위, 또는 4 ppm/°C 내지 7 ppm/°C의 범위일 수 있다.

- [0097] 도 11h 및 도 11i는 각각 도 11e 및 도 11g에 대한 대안적인 구성을 도시한다. 도 11h에서, 예를 들어, 추가적인 절연 기관들(270d)이 커패시터들(220) 주위에 제공될 수 있다. 기관(270d)은 기관들(270a 내지 270c)와 동일하거나 또는 상이한 재료를 포함할 수 있다. 도 11i에서, 성형 화합물(269)은 절연층(250)의 일부로서 제공될 수 있다. 도 11h 및 도 11i의 특징부들은 그렇지 않으면 도 11a 내지 도 11g에서 위에 설명되는 특징부들과 일반적으로 유사할 수 있다. 도 11a 내지 도 11i의 컴포넌트(3)는 복수의 기관들(예컨대 기관들(270a, 270b))이 하나 이상의 커패시터들에, *예컨대*, 하나 이상의 접착제들, 개재하는 제3 기관(270c), 및/또는 성형 화합물에 의해 결합될 수 있는 적층 구조체를 포함할 수 있다. 도시된 실시예들에서, 기관들(270a, 270b)은 침착 공정을 사용하여 침착되지 않고 커패시터(220)에 적층 또는 적용되는 재료들 또는 층들을 포함할 수 있다.
- [0098] 도 12a 내지 도 12e는 수동 전자 컴포넌트(3)를 형성하기 위한 다른 방법을 도시한다. 도 12a에서, 제1 절연 기관(270a)의 외부 표면 상에 복수의 전도성 콘택 패드들(275)을 가질 수 있다. 도 12b에서, 커패시터들(220)은 제1 접착제, *예컨대*, 도시된 실시예에서 솔더를 포함하는 전도성 접착제(276)에 의해 기관(270a)의 콘택 패드들(275)에 연결될 수 있다. 다른 실시예들에서, 커패시터들(220)은 개재 접착제 없이 직접 접합에 의해 콘택 패드들(275)에 연결될 수 있다. 도 12c를 참조하면, 성형 화합물(269)이 커패시터들(220) 주위에 및/또는 그 위에 그리고 기관 층(270a)의 표면들 위에 제공될 수 있다.
- [0099] 도 12d에서, 접착 층(250b)은 성형 화합물(269)의 상부 표면 위에 그리고 커패시터들(220)의 제1 표면들(264a) 위에 적용될 수 있다. 제2 절연 기관(270b)은 접착 층(250b) 위에 제공될 수 있다. 도 12d의 실시예에서, 따라서, 커패시터들(220)은 절연층(250) 내에 매립될 수 있는데, 이는 성형 화합물(269)(이는 커패시터들(220)의 제2 표면들(264b) 및 측면 에지들(261) 위에 적용됨) 및 접착 층(250b)(이는 커패시터들(220)의 제1 표면들(264a) 위에 적용됨)에 의해 한정될 수 있다. 도시된 실시예에서, 커패시터들(220)은 완전히 또는 전체적으로 절연층(250) 내에 매립될 수 있다. 도 12e에서, 위에 설명된 바와 같이, 다양한 트레이스들 및 상호연결부들(254a, 254b)은 절연층(250)의 일부분을 침투하여 커패시터들(220)의 단자들에 연결될 수 있다.
- [0100] 절연 재료(250)(*예컨대*, 접착제(250b) 및 성형 화합물(269))은 제1 기관과 제2 기관(270a, 270b) 사이에 배치된 절연 구성요소의 역할을 할 수 있다. 상호연결부들(254a, 254b)은 절연 구성요소의 적어도 일부분(*예컨대*, 접착제(250b)의 일부분들)을 통해 연장되는 전도성 비아의 역할을 할 수 있다. 또한, 상호연결부들(254a, 254b)은 기관들(270a, 270b)을 통해 연장되어 커패시터들에 연결될 수 있다. 도 12e에서, 성형 화합물(269)은 커패시터들(220)의 측면 에지들에 인접하게 배치될 수 있다. 따라서, 커패시터들(220)은 절연 구성요소 내에 매립(*예컨대*, 접착제(250b) 및 성형 화합물(269) 내에 매립)될 수 있다. 도시된 바와 같이, 커패시터들(220)은 제1 기관과 제2 기관(270a, 270b) 사이의 제1 영역에 배치될 수 있고, 절연 구성요소의 적어도 일부분은 제1 기관과 제2 기관(270a, 270b) 사이의 상이한 제2 영역에 배치될 수 있다. 유리하게도, 낮은 CTE 기관들(270a, 270b) 및 개재 절연 구성요소를 사용함으로써, 수동 컴포넌트(3)가 실장되는 컴포넌트(들), *예컨대* 반도체 또는 규소 기관의 CTE에 가까운 낮은 총 유효 CTE를 갖는 전체 수동 컴포넌트(3)를 제공할 수 있다. 이러한 구성에서, 유리하게도, 수동 컴포넌트(3)의 총 유효 CTE(*예컨대*, 도 12e에 도시된 절연성 및 전도성 재료들을 포함)는 8 ppm/°C 이하, 7 ppm/°C 이하, 또는 6 ppm/°C 이하일 수 있다. 다양한 실시예들에서, 수동 컴포넌트(3)(또한 본 명세서에서 마이크로전자 디바이스로 지칭됨)의 총 유효 CTE는 3 ppm/°C 내지 7 ppm/°C의 범위, 4 ppm/°C 내지 8 ppm/°C의 범위, 또는 4 ppm/°C 내지 7 ppm/°C의 범위일 수 있다. 도 12a 내지 도 12e의 컴포넌트(3)는 복수의 기관들(예컨대 기관들(270a, 270b))이 하나 이상의 커패시터들에, *예컨대*, 하나 이상의 접착제들 및/또는 성형 화합물에 의해 결합될 수 있는 적층 구조체를 포함할 수 있다. 도시된 실시예들에서, 기관들(270a, 270b)은 침착 공정을 사용하여 침착되지 않고 커패시터(220)에 적층 또는 적용되는 재료들 또는 층들을 포함할 수 있다.
- [0101] 도 13a 내지 도 13e는 수동 전자 컴포넌트(3)를 형성하기 위한 다른 방법을 도시한다. 도 13a에서, 제1 절연 기관(270a)은 그의 외부 표면 상에 복수의 전도성 콘택 패드들(275)을 가질 수 있다. 도 13b에서, 커패시터들(220)은 제1 접착제, *예컨대*, 도시된 실시예에서 솔더를 포함하는 전도성 접착제(276)에 의해 기관(270a)의 콘택 패드들(275)에 연결될 수 있다. 다른 실시예들에서, 커패시터들(220)은 개재 접착제 없이 직접 접합에 의해 콘택 패드들(275)에 연결될 수 있다. 도 13c를 참조하면, 제1 비아 부분들(235a)을 구비한 제3 절연 기관(270c)이 제1 접착 층(250a)에 접착될 수 있는데, 이는 비-전도성 접착제를 포함할 수 있다. 도 13d에서, 성형 화합물(269)은 표면들(264b) 아래에 그리고 커패시터들(220)의 측면 에지들(261) 둘레에 제공될 수 있다. 도 13e에서, 제2 접착 층(250b)은 커패시터들의 제1 표면들(264a) 위에, 성형 화합물(269)의 상부 표면들 및 제3 기관 층(270c) 위에 적용될 수 있다. 제2 기관 층(270b)은 제2 접착 층(250b) 위에 제공될 수 있다. 도 13f에서, 다양한 상호접속부들(254) 및 스루 비아들(235)이 위에 설명된 바와 같이 제공될 수 있다.
- [0102] 접착제들(250a, 250b), 성형 화합물(269), 및 기관(270c)은 제1 기관과 제2 기관(270a, 270b) 사이에 배치된

절연 구성요소의 역할을 할 수 있다. 상호연결부들(254a, 254b)은 절연 구성요소의 적어도 일부분을 통해 연장되는 전도성 비아의 역할을 할 수 있다. 또한, 상호연결부들(254a, 254b)은 기판들(270a, 270b)을 통해 연장되어 커패시터들에 연결될 수 있다. 도 11g에서, 성형 화합물(269)은 커패시터들(220)의 측면 에지들에 인접(및 또는 접촉)하게 배치될 수 있다. 따라서, 커패시터들(220)은 절연 구성요소 내에 매립될 수 있다. 도시된 바와 같이, 커패시터들(220)은 제1 기판과 제2 기판(270a, 270b) 사이의 제1 영역에 배치될 수 있고, 절연 구성요소의 적어도 일부분은 제1 기판과 제2 기판(270a, 270b) 사이의 상이한 제2 영역에 배치될 수 있다. 유리하게도, 낮은 CTE 기판들(270a, 270b) 및 개재 절연 구성요소를 사용함으로써, 수동 컴포넌트(3)가 실장되는 컴포넌트(들), 예컨대 반도체 또는 규소 기판의 CTE에 가까운 낮은 총 유효 CTE를 갖는 전체 수동 컴포넌트(3)를 제공할 수 있다. 이러한 구성에서, 유리하게도, 수동 컴포넌트(3)의 총 유효 CTE(예컨대, 도 13f에 도시된 절연성 및 전도성 재료들을 포함)는 8 ppm/°C 이하, 7 ppm/°C 이하, 또는 6 ppm/°C 이하일 수 있다. 다양한 실시예들에서, 수동 컴포넌트(3)(또한 본 명세서에서 마이크로전자 디바이스로 지칭됨)의 총 유효 CTE는 3 ppm/°C 내지 7 ppm/°C의 범위, 4 ppm/°C 내지 8 ppm/°C의 범위, 또는 4 ppm/°C 내지 7 ppm/°C의 범위일 수 있다. 도 13a 내지 도 13f의 컴포넌트(3)는 복수의 기판들(예컨대 기판들(270a, 270b))이 하나 이상의 커패시터들에, 예컨대, 하나 이상의 접착제들, 개재 기판(270c), 및/또는 성형 화합물에 의해 결합될 수 있는 적층 구조체를 포함할 수 있다. 도시된 실시예들에서, 기판들(270a, 270b)은 침착 공정을 사용하여 침착되지 않고 커패시터(220)에 적층 또는 적용되는 재료들 또는 층들을 포함할 수 있다.

[0103] 도 14a 및 도 14b는 수동 전자 컴포넌트(3)를 형성하기 위한 기술의 다른 실시예를 도시한다. 도 14a에서, 캐리어(277)가 제공될 수 있다. 접착 층(250a)은 캐리어(277) 위에 적용될 수 있다. 기판 층(270)은 접착 층(250a)을 이용하여 캐리어(277)에 접착될 수 있고, 커패시터들(220)은 기판 층(270a)의 공동 내에 적용될 수 있다(또는 기판 층(270)은 이전에 침착된 커패시터들(220) 주위에 적용될 수 있음). 성형 화합물(269)(이는 위에 설명된 바와 같이 낮은 CTE를 가질 수 있음)은 커패시터들(220)을 중심으로, 예컨대, 커패시터들(220)의 측면들(261)을 중심으로 적용될 수 있다. 절연층(250)은 성형 화합물(269) 및 접착 층(250a)에 의해 적어도 부분적으로 한정되어, 커패시터들(220)이 절연층(250) 내에, 예컨대, 절연층(250) 내에 부분적으로 매립되도록 할 수 있다. 다양한 실시예들에서 캐리어(277)는 제거될 수 있고, RDL들(252a, 252b)은 커패시터들(220), 성형 화합물(269), 및 절연 기판(270)의 반대편 상에 제공될 수 있다. 도 14a 및 도 14b에서, 상호연결부들(254a, 254b)은 RDL들(252a, 252b)의 절연체 부분들을 통해 연장되어(위의 층들(266a, 266b) 참조) 커패시터들(220)의 단자들에 연결될 수 있다. 수동 컴포넌트(3)의 총 유효 CTE(예컨대, 도 14b에 도시된 절연성 및 전도성 재료들을 포함)는 8 ppm/°C 이하, 7 ppm/°C 이하, 또는 6 ppm/°C 이하일 수 있다. 다양한 실시예들에서, 수동 컴포넌트(3)(또한 본 명세서에서 마이크로전자 디바이스로 지칭됨)의 총 유효 CTE는 3 ppm/°C 내지 7 ppm/°C의 범위, 4 ppm/°C 내지 8 ppm/°C의 범위, 또는 4 ppm/°C 내지 7 ppm/°C의 범위일 수 있다. 위와 같이, 컴포넌트(3)는 적층 구조체를 포함할 수 있다.

[0104] 본 명세서에 설명된 바와 같이, 도 8a 내지 도 14b의 수동 컴포넌트들(3)의 실시예들(예컨대, 마이크로전자 컴포넌트)은 하나 이상의 다른 구성요소들(예컨대 하나 이상의 반도체 소자들)에 접합(예컨대, 개재 접착제 없이 직접 접합)될 수 있다. 일부 실시예들에서, 도 8a 내지 도 14b의 수동 컴포넌트들(3)은 컴포넌트(3)의 일 면의 구성요소에 직접 접합될 수 있다. 다른 실시예들에서, 수동 컴포넌트(3)는 수동 컴포넌트(3)의 반대편 상의 구성요소들에 직접 접합되어 수동 컴포넌트(3)가 구성요소들 사이에 있도록 할 수 있다. 실제로, 이러한 접합된 구조체들은 본 명세서에 기재된 임의의 및/또는 모든 실시예들에 대하여 실현될 수 있다.

[0105] 도 15는 다양한 실시예들에 따른, 접합된 구조체를 형성하기 위한 방법(70)을 도시하는 흐름도이다. 방법(70)은 하나 이상의 능동 디바이스들을 갖는 구성요소를 제공하는 블록(72)에서 시작할 수 있다. 구성요소는 다양한 실시예들에서 반도체 소자를 포함할 수 있다. 다른 실시예들에서, 구성요소는 반도체 재료를 포함하거나 또는 포함하지 않을 수 있는 재료를 포함할 수 있다. 프로세서 다이와 같은 반도체 소자를 활용하는 실시예들에서, 구성요소는 반도체 공정 기술들(예컨대 상보성 금속 산화물 반도체, 또는 CMOS, 공정)을 이용하여 웨이퍼 상에 능동 디바이스들을 한정하는 반도체 공정 설비에서 제조될 수 있다. 직접 접합을 위한 접합층이 반도체 공정 기술들을 이용하는 반도체 공정 설비에서 구성요소 상에 형성될 수 있다. 예를 들어, 위에 설명된 바와 같이, 전도성 특징부들 및 비-전도성 필드 영역들은 구성요소의 외부 표면에서 또는 그 근처에서 한정될 수 있다. 유리하게도, 접합층은 저온 어닐링의 사용을 가능하게 하여 접합을 개선하고 열적 부정합을 감소시킬 수 있다.

[0106] 블록(74)에서, 수동 전자 컴포넌트는 개재 접착제 없이 구성요소에 직접 접합될 수 있다. 다양한 실시예들에서, 수동 전자 컴포넌트의 애노드 및 캐소드 단자들은 수동 컴포넌트의 동일한 면을 따라 제공될 수

있다. 수동 컴포넌트는 커패시터를 포함하는, 본 명세서에 기재된 임의의 적합한 수동 컴포넌트일 수 있다. 커패시터는 일부 실시예들에서 하이 K 유전체에 의해 한정되는 대규모 커패시턴스를 가질 수 있다. 다른 실시예들에서, 커패시터는 더 낮은 유전 상수를 갖는 유전체, 예컨대 이산화규소 또는 질화 규소를 포함할 수 있다. 일부 실시예들에서, 수동 전자 컴포넌트는 구성요소를 제조하는 데 사용되는 반도체 공정 설비와 상이한 설비에서 제조될 수 있다. 일부 실시예들에서 상이한 설비에서 수동 컴포넌트를 제조함으로써 고온 공정의 이용을 가능하게 하여 하이 K 유전체 층들을 형성할 수 있다. 구성요소에서와 같이, 접합층은 또한 수동 전자 컴포넌트 상에 형성될 수 있다.

[0107] 구성요소를 포함하는 웨이퍼 및 수동 전자 컴포넌트를 포함하는 웨이퍼는 위에 설명된 바와 같이 직접 접합을 위해 준비될 수 있다. 예를 들어, 접합층들은 매우 높은 표면 평활도로 폴리싱될 수 있고, 활성화되고 원하는 화학종으로 종단 처리될 수 있다. 비전도성 필드 영역들은 실온에서 서로 접촉하게 되어 직접 접합을 형성할 수 있다. 구성요소 및 수동 컴포넌트는 가열되어 접합을 강화하고/하거나 전도성 특징부들 사이의 전기 컨택을 야기할 수 있다.

[0108] 일부 실시예들에서, 직접 접합 후, 다음 레벨의 패키지 기판과의 통신을 제공하기 위하여 접합된 구조체 상에 추가적인 상호연결부들이 제공될 수 있다. 예를 들어, 베이스(122)와 같은 임의의 임시적인 캐리어들이 제거될 수 있다. 전도성 라우팅 재료의 하나 이상의 층들(예컨대 라인의 후방 단부, 또는 BEOL, 층)이 다른 컴포넌트들(예컨대, 패키지 기판, 인터포저, 또는 기타 다이)과의 전기 연결의 신뢰성을 개선하도록 제공될 수 있다. 접합된 웨이퍼는, 예컨대, 소잉(sawing)에 의해싱글레이트될 수 있다. 싱글레이트된 접합된 구조체들은 패키지 지로 조립될 수 있는데, 예컨대, 구조체들은 패키지 기판에 부착될 수 있다.

[0109] 도 7a 및 도 7b에 도시된 실시예와 같은 일부 실시예들에서, 수동 전자 컴포넌트는 전극 표면들의 대부분이 수직으로 배치된 하나 또는 복수의 세장형 커패시터들을 포함할 수 있다. 구성요소는 주 측방향 표면을 정의할 수 있다. 커패시터는 컴포넌트의 주 측방향 표면에 평행하지 않은 방향을 따라 연장되는 제1 및 제2 전극의 주 표면들을 포함할 수 있으며, 제1 및 제2 전극은 유전체에 의해 이격된다. 일부 실시예들에서, 커패시터들은 복수의 커패시터들을 한정하는 데 평행하지 않은 방향으로 연장되는 복수의 섬유들을 제공함으로써 한정될 수 있다. 복수의 섬유들은 제1 전극들의 역할을 할 수 있고, 비-전도성 재료로 코팅되어 유전체를 한정하고, 후속적으로 전도성 재료로 코팅되어 제2 전극들을 한정할 수 있다. 커패시터들을 형성하는 또 다른 방법들이 적합할 수 있다.

[0110] 일부 실시예들에서, 도 8a 내지 도 14b에 도시된 것들과 같이, 수동 전자 컴포넌트는 절연층 내에 매립된 커패시터를 포함할 수 있다. 일부 실시예들에서, 위에 설명된 바와 같이, 커패시터는 하나 이상의 그린 시트들 사이에 제공될 수 있고, 커패시터 및 그린 시트들은 동시 소성되어 경질화된 수동 전자 컴포넌트를 형성할 수 있다. 다른 실시예들에서, 커패시터는 절연층의 공동 내에 제공될 수 있다. 또 다른 실시예들에서, 커패시터는 제1 접착 층 상에 제공될 수 있고, 제2 접착 층은 커패시터 위에 제공될 수 있다. 제1 및 제2 절연 캐리어 층들은 각각 제1 및 제2 접착 층들에 결합될 수 있다. 일부 실시예들에서, 성형 화합물은 수동 컴포넌트를 중심으로 제1 및 제2 접착 층들 사이에서 제공될 수 있다.

[0111] 도 16은 다양한 실시예들에 따른, 하나 이상의 접합된 구조체들(1)을 포함하는 전자 시스템(80)의 개략적 시스템도이다. 시스템(80)은 임의의 적합한 유형의 전자 디바이스, 예를 들어 모바일 전자 디바이스(예컨대, 스마트폰, 태블릿 컴퓨팅 디바이스, 랩톱 컴퓨터 등), 데스크톱 컴퓨터, 자동차 또는 그의 구성요소, 스테레오 시스템, 의료 디바이스, 카메라, 또는 임의의 다른 적합한 유형의 시스템을 포함할 수 있다. 일부 실시예에서, 전자 시스템(80)은 마이크로프로세서, 그래픽 프로세서, 전자 기록 디바이스, 또는 디지털 메모리를 포함할 수 있다. 시스템(80)은 예컨대 하나 이상의 마더보드를 거쳐 시스템(80)에 기계적으로 그리고 전기적으로 접속되는 하나 이상의 디바이스 패키지(82)를 포함할 수 있다. 각각의 패키지(82)는 하나 이상의 접합된 구조체(1)를 포함할 수 있다. 도 16에 도시된 시스템(80)은 본 명세서에 도시되고 기재된 임의의 구조체들(1) 및 수동 컴포넌트들(3)을 포함할 수 있다.

[0112] 일 실시예에서, 접합된 구조체가 개시된다. 접합된 구조체, 구성요소 및 수동 전자 컴포넌트는 개재 접착제 없이 직접 접합된다. 일부 실시예들에서, 수동 전자 컴포넌트는 커패시터를 포함한다.

[0113] 다른 실시예에서, 접합된 구조체가 개시된다. 접합된 구조체는 구성요소의 능동 표면에서 또는 그 근처에서 하나 이상의 능동 디바이스들을 갖는 구성요소를 포함할 수 있다. 접합된 구조체는 구성요소에 접합된 수동 전자 컴포넌트를 포함할 수 있다. 수동 전자 컴포넌트는 그것의 두께의 적어도 3 배의 측방향 너비를 갖는 시트를 포함할 수 있고, 시트는 구성요소의 능동 표면의 대부분을 커버한다. 일부 실시예들에서, 수동 전자 컴포넌트

는 커패시터를 포함할 수 있다.

- [0114] 다른 실시예에서, 접합된 구조체를 형성하는 방법이 개시된다. 방법은 하나 이상의 능동 디바이스들을 갖는 구성요소를 제공하는 단계를 포함할 수 있다. 방법은 수동 전자 컴포넌트를 구성요소에 개재 접착제 없이 직접 접합하는 단계를 포함할 수 있다. 일부 실시예들에서, 수동 전자 컴포넌트는 커패시터를 포함할 수 있다.
- [0115] 일 실시예에서, 마이크로전자 디바이스가 개시된다. 마이크로전자 컴포넌트는 제1 표면 및 제2 표면을 갖는 절연 재료의 층을 포함할 수 있다. 다중-층 커패시터가 제1 표면과 제2 표면 사이의, 절연 재료의 층 내에 매립될 수 있다. 제1 표면으로부터 제2 표면까지 절연 재료의 층을 통해 하나 이상의 전도성 비아들이 형성될 수 있다. 재배선 층이 제1 표면 및 제2 표면 중 적어도 하나 상에 배치되고, 배열되어 제1 표면 및 제2 표면 중 적어도 하나에서 커패시터의 하나 이상의 단자들을 하나 이상의 상호연결부들에 전기적으로 결합시킬 수 있다.
- [0116] 일부 실시예들에서, 재배선 층은 제1 표면에서 다중-층 커패시터의 두 단자들을 적어도 두 상호연결부들에 전기적으로 결합시키고, 제2 표면에서 상호연결부들에 결합시키지 않도록 구성될 수 있다. 재배선 층은 실질적으로 편평한 표면을 가질 수 있고 하나 이상의 상호연결부들의 피치는 1 마이크로미터 이하이다. 절연 재료는 세라믹, 유리, 또는 액정 중합체를 포함할 수 있다.
- [0117] 다른 실시예에서, 마이크로전자 디바이스를 형성하기 위한 방법이 개시된다. 방법은 절연 재료의 제1 층 상에 다중-층 커패시터를 침착시키는 단계를 포함할 수 있다. 방법은 다중-층 커패시터 및 절연 재료의 제1 층 위에 절연 재료의 제2 층을 침착시키는 단계를 포함할 수 있다. 방법은 다중-층 커패시터 및 절연 재료의 제1 층 위에 절연 재료의 제2 층을 압착시키는 단계를 포함할 수 있다. 방법은 통합된 디바이스를 형성하기 위하여 절연 재료의 제2 층, 다중-층 커패시터, 및 절연 재료의 제1 층을 동시-소성하는 단계를 포함할 수 있다.
- [0118] 일부 실시예들에서, 방법은 압착 및 동시-소성 이전에 절연 재료의 중간 층을 제1 층과 제2 층 사이, 그리고 커패시터 주위에 침착시키는 단계를 포함할 수 있다. 방법은 동시-소성 후에 절연 재료의 제1 및 제2 층들을 통해 하나 이상의 비아들을 형성하는 단계를 포함할 수 있다. 방법은 동시-소성 전에 절연 재료의 제1 및 제2 층들을 통해 하나 이상의 비아들을 형성하는 단계를 포함할 수 있다. 방법은 절연 재료의 제1 또는 제2 층들의 외부 표면 상에 재배선 층을 형성하는 단계를 포함할 수 있고, 재배선 층은 커패시터의 하나 이상의 단자들에 결합된 하나 이상의 전기 상호연결부를 포함한다. 재배선 층은 커패시터의 단자들의 각각에 결합된 적어도 하나의 상호연결부를 포함할 수 있다. 방법은 접착제 없이 직접 접합 기술에 의해 재배선 층을 준비된 접합 표면에 접합하는 단계를 포함할 수 있다.
- [0119] 다른 실시예에서, 마이크로전자 디바이스를 형성하기 위한 방법이 개시된다. 방법은 절연층의 표면 내에 공동을 형성하는 단계를 포함할 수 있다. 방법은 절연층의 두께의 적어도 일부분을 통해 하나 이상의 비아들을 형성하는 단계를 포함할 수 있다. 방법은 공동 내에 다중-층 커패시터를 침착시키는 단계를 포함할 수 있다. 방법은 커패시터 및 절연층 위에 재배선 층을 형성하는 단계를 포함할 수 있고, 재배선 층은 커패시터의 하나 이상의 단자들에 결합된 하나 이상의 전기 상호연결부를 포함한다.
- [0120] 일부 실시예들에서, 방법은 재배선 층 반대편의 절연층의 표면을 평탄화하는 단계, 및 평탄화된 표면 상에 다른 재배선 층을 형성하는 단계를 포함할 수 있다. 다른 재배선 층은 커패시터의 하나 이상의 단자들에 결합된 하나 이상의 전기 상호연결부를 포함할 수 있다.
- [0121] 다른 실시예에서, 접합된 구조체가 개시된다. 접합된 구조체는 구성요소 및 구성요소에 접합된 제1 표면 및 제1 표면의 반대편에 있는 제2 표면을 갖는 수동 전자 컴포넌트를 포함할 수 있다. 수동 전자 컴포넌트는 제1 표면과 제2 표면 사이에 커패시터를 포함할 수 있다. 커패시터는 커패시터의 제1 표면 상의 제1 및 제2 단자들, 제1 단자에 전기적으로 연결된 제1 전도성 전극, 제2 단자에 전기적으로 연결된 제2 전도성 전극, 및 제1 전도성 전극과 제2 전도성 전극 사이의 하이 K 유전체를 포함할 수 있다.
- [0122] 일부 실시예들에서, 하이 K 유전체는 세라믹을 포함한다. 구성요소는 개재 접착제 없이 수동 전자 컴포넌트에 직접 접합될 수 있다. 세라믹 유전체는 티탄산염, 나이오븀산염, 및 지르코늄산염 중 적어도 하나를 포함할 수 있다.
- [0123] 다른 실시예에서, 마이크로전자 디바이스가 개시된다. 마이크로전자 디바이스는 제1 표면 및 제2 표면을 갖는 절연 재료를 포함할 수 있다. 절연 재료 내의, 제1 표면과 제2 표면 사이에 커패시터가 매립될 수 있고, 커패시터는 모노리식으로 절연 재료에 집적되어 모노리식 구조체를 한정한다. 제1 표면에 또는 그것을 통해 제1 상호연결부가 배치되고, 커패시터의 제1 단자에 전기적으로 연결될 수 있다. 커패시터는 세라믹 유전체를 포함할 수 있다. 세라믹 유전체는 알루미늄 산화물을 포함할 수 있다. 커패시터는 복수의 전도성 층들 사이에 복수의

유전체 층들을 갖는 다중-층 커패시터를 포함할 수 있다. 세라믹 유전체는 모노리식으로 절연 재료에 집적될 수 있다. 재배선 층(RDL)이 제1 표면 및 제2 표면 중 하나에 연결될 수 있고, 제1 상호연결부는 RDL 내에 적어도 부분적으로 배치된다. 제2 상호연결부는 제1 표면에 배치되고 커패시터의 제2 단자에 전기적으로 연결될 수 있고, 제1 단자는 제2 단자와 상이한 유형의 것이다. 스루 전도성 비아는 절연층을 통해 제1 표면으로부터 제2 표면으로 연장될 수 있다. 절연 재료의 층은 커패시터의 상부 표면을 따라, 커패시터의 하부 표면을 따라, 커패시터의 측면 에지들을 따라 배치될 수 있다.

[0124] 다른 실시예에서, 마이크로전자 디바이스가 개시된다. 마이크로전자 디바이스는 제1 표면 및 제1 표면의 반대편에 있는 제2 표면을 갖는 절연 재료를 포함할 수 있다. 절연 재료 내에, 제1 표면과 제2 표면 사이에 커패시터가 적어도 부분적으로 매립될 수 있다. 상호연결 층은 제1 표면 상에 배치될 수 있고, 절연 재료의 제1 표면에 있는 또는 그것을 통해 연장되는 하나 이상의 상호연결부들에 커패시터의 하나 이상의 단자들을 전기적으로 결합하도록 배열될 수 있다.

[0125] 일부 실시예들에서, 커패시터는 절연 재료 내에 완전히 매립될 수 있다. 커패시터는 절연 재료 내에 부분적으로 매립될 수 있고, 절연 재료는 커패시터의 외측 측면 에지들을 따라 배치된다. 마이크로전자 디바이스는 제1 절연 기판을 포함할 수 있고, 커패시터의 제1 표면은 제1 접착제에 의해 제1 절연 기판에 기계적으로 결합되고, 절연 재료는 제1 접착제를 포함한다. 마이크로전자 디바이스는 제2 절연 기판을 포함할 수 있고, 커패시터의 제2 표면은 제2 접착제에 의해 제2 절연 기판에 기계적으로 결합되고, 절연 재료는 제2 접착제를 추가로 포함한다. 성형 화합물이 커패시터의 일부분들 주위에 배치될 수 있고, 절연 재료는 성형 화합물을 추가로 포함한다. 제3 중간 절연 기판이 커패시터를 중심으로 제1 절연 기판과 제2 절연 기판 사이에서 배치될 수 있다. 일부 실시예들에서, 제1 접착제는 솔더를 포함할 수 있다. 제2 상호연결 층이 제2 표면 상에 배치될 수 있고, 절연 재료의 제2 표면에 있는 하나 이상의 상호연결부들에 커패시터의 하나 이상의 단자들을 전기적으로 결합하도록 배열될 수 있다. 마이크로전자 디바이스는 상호연결 층 내의 제1 상호연결부 및 제2 상호연결부를 포함할 수 있고, 제1 상호연결부는 커패시터의 제1 면에서 커패시터의 제1 단자에 연결되고, 제2 상호연결부는 제1 면에서 제2 단자에 연결되지만, 제1 단자는 제2 단자와는 상이한 유형의 것이다. 마이크로전자 디바이스는 커패시터의 제2 면에서 제3 단자, 및 제2 면에서 제4 단자를 포함할 수 있고, 제3 단자는 제4 단자와는 상이한 유형의 것이다. 일부 실시예들에서 절연 재료의 층은 다중 층들을 포함한다. 마이크로전자 디바이스는 절연 재료를 통해 연장되는 전도성 스루 비아를 포함할 수 있다. 일부 실시예들에서, 접합된 구조체는 마이크로전자 디바이스 및 구성요소를 포함할 수 있고, 구성요소는 개재 접착제 없이 마이크로전자 디바이스에 직접 접합된다.

[0126] 다른 실시예에서, 마이크로전자 디바이스가 개시된다. 마이크로전자 컴포넌트는 제1 절연 기판 및 제1 표면 및 제1 표면의 반대편에 있는 제2 표면을 갖는 커패시터를 포함할 수 있고, 커패시터의 제1 표면은 제1 절연 기판에 기계적으로 결합된다. 마이크로전자 디바이스는 제2 절연 기판을 포함할 수 있고, 커패시터의 제2 표면은 제2 절연 기판에 기계적으로 결합되어 커패시터가 제1 절연 기판과 제2 절연 기판 사이에 배치되도록 한다. 절연 구성요소는 제1 절연 기판과 제2 절연 기판 사이에 배치될 수 있다. 제1 상호연결부는 제1 절연 기판을 통해 연장되어 커패시터의 제1 단자에 전기적으로 연결될 수 있다.

[0127] 일부 실시예들에서, 커패시터의 제1 표면은 제1 접착제에 의해 제1 절연 기판에 기계적으로 결합될 수 있고, 절연 구성요소는 제1 접착제를 포함한다. 커패시터의 제2 표면은 제2 접착제에 의해 제2 절연 기판에 기계적으로 결합될 수 있고, 절연 구성요소는 제2 접착제를 추가로 포함한다. 일부 실시예들에서, 제1 접착제는 솔더를 포함할 수 있다. 절연 구성요소는 커패시터의 일부분들의 주위에 배치된 성형 화합물을 포함할 수 있다. 절연 구성요소는 커패시터를 중심으로 제1 절연 기판과 제2 절연 기판 사이에 배치된 제3 중간 절연 기판을 포함할 수 있다. 제1 및 제2 절연 기판들 중 하나 이상의 열 팽창 계수(CTE)는 5 ppm/°C 이하일 수 있다. 제1 및 제2 절연 기판들 중 하나 이상의 CTE는 2 ppm/°C 내지 5 ppm/°C의 범위일 수 있다. 마이크로전자 디바이스의 총 유효 열 팽창 계수(CTE)는 7 ppm/°C 이하일 수 있다. 총 유효 CTE는 3 ppm/°C 내지 7 ppm/°C의 범위일 수 있다. 제2 상호연결부가 제1 절연 기판을 통해 연장될 수 있고, 제1 상호연결부는 커패시터의 제1 면에서 커패시터의 제1 단자에 연결되고, 제2 상호연결부는 제1 면에서 제2 단자에 연결되지만, 제1 단자는 제2 단자와는 상이한 유형의 것이다. 마이크로전자 컴포넌트는 커패시터의 제2 면에서 제3 단자, 및 제2 면에서 제4 단자를 포함할 수 있고, 제3 단자는 제4 단자와는 상이한 유형의 것이다. 절연 구성요소의 적어도 일부분은 커패시터의 측면 에지에 인접하게 배치될 수 있다. 커패시터는 제1 기판과 제2 기판 사이의 제1 영역에 배치될 수 있고 절연 구성요소의 적어도 일부분은 제1 기판과 제2 기판 사이의 제2 영역에 배치되고, 제1 영역과 제2 영역은 서로 상이하다. 접합된 구조체는 마이크로전자 디바이스 및 구성요소를 포함할 수 있고, 구성요소는 개재 접착제 없이 마이크로전자 디바이스에 직접 접합된다.

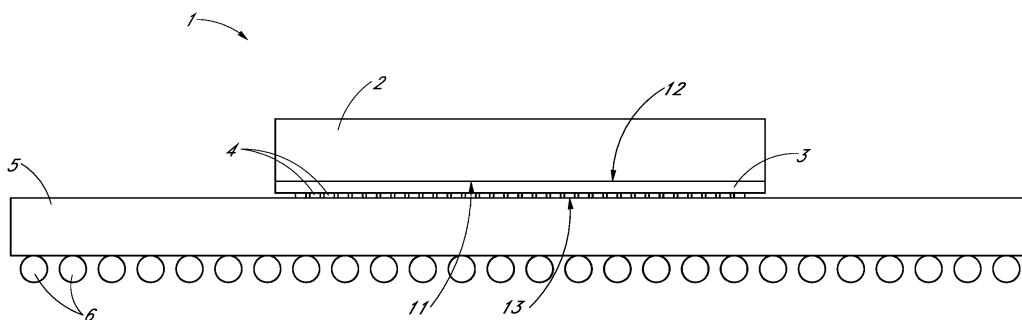
- [0128] 다른 실시예에서, 마이크로전자 디바이스를 형성하는 방법이 개시된다. 방법은 커패시터의 제1 표면을 제1 절연 기판에 기계적으로 결합하는 단계를 포함할 수 있다. 방법은 커패시터가 제1 절연 기판과 제2 절연 기판 사이에 배치되도록 커패시터의 제2 표면을 제2 절연 기판에 기계적으로 결합하는 단계를 포함할 수 있다. 방법은 제1 절연 기판과 제2 절연 기판 사이에 절연 구성요소를 배치하는 단계를 포함할 수 있다. 방법은 제1 절연 기판을 통해 연장되어 커패시터의 제1 단자에 전기적으로 연결되는 제1 상호연결부를 제공하는 단계를 포함할 수 있다.
- [0129] 일부 실시예들에서, 방법은 접착제를 이용하여 제1 절연 기판에 커패시터를 접착시키는 단계를 포함할 수 있다. 방법은 제2 접착제를 이용하여 커패시터에 제2 기판을 접착시키는 단계를 포함할 수 있다. 방법은 커패시터의 적어도 일부분 주위에서 제1 절연 기판과 제2 절연 기판 사이에 성형 화합물을 제공하는 단계를 포함할 수 있다.
- [0130] 다른 실시예에서, 접합된 구조체가 개시된다. 접합된 구조체는 구성요소 및 구성요소에 접합된 제1 표면 및 제1 표면의 반대편에 있는 제2 표면을 갖는 수동 전자 컴포넌트를 포함할 수 있다. 수동 전자 컴포넌트는 구성요소의 대응하는 제2 애노드 단자에 접합된 제1 애노드 단자 및 구성요소의 대응하는 제2 캐소드 단자에 접합된 제1 캐소드 단자를 포함할 수 있고, 제1 애노드 단자 및 제1 캐소드 단자는 수동 전자 컴포넌트의 제1 표면 상에 배치된다.
- [0131] 일부 실시예들에서, 수동 전자 컴포넌트는 개재 접착제 없이 구성요소에 직접 접합된다. 수동 전자 컴포넌트는 커패시터를 포함할 수 있다. 커패시터는 복수의 유전체 층들에 의해 이격된 3 개 이상의 금속성 층들을 포함할 수 있다. 수동 전자 컴포넌트는 수동 전자 컴포넌트의 제2 표면 상의 제3 애노드 단자 및 제3 캐소드 단자를 포함할 수 있다. 구성요소는 반도체 소자를 포함할 수 있다. 접합된 구조체는 수동 전자 컴포넌트의 제2 표면 상의 복수의 전기 컨택들을 포함할 수 있고, 복수의 전기 컨택들은 외부 컴포넌트에 전기적으로 연결되도록 구성된다. 접합된 구조체는 구성요소와 복수의 전기 컨택들 중 제1 전기 컨택 사이의 전기 경로를 한정하는 상호연결 구조체를 포함할 수 있다. 상호연결 구조체는 제1 표면으로부터 제1 전기 컨택까지 연장되는 전도성 전기 상호연결부를 포함할 수 있고, 전도성 전기 상호연결부는 제1 표면과 제2 표면 사이에 배치된 유전체 내에 매립된다. 전도성 전기 상호연결부는 제1 표면의 또는 그 근처의 제1 컨택 패드로부터 제1 전기 컨택까지 연장되는 종방향 전도성 부분 및 종방향 전도성 부분으로부터 밖을 향해 측방향으로 연장되는 하나 이상의 측방향 전도성 부분들을 포함할 수 있고, 종방향 전도성 부분은 저항성 전기 경로를 한정하고 하나 이상의 측방향 전도성 부분들은 저항성 전기 경로에 평행한 용량성 전기 경로를 한정한다. 구성요소는 주 측방향 표면을 한정할 수 있고, 커패시터는 주 측방향 표면에 평행하지 않은 방향을 따라 연장되는 제1 및 제2 전극 표면들을 포함하고, 제1 및 제2 전극 표면들은 유전체에 의해 이격된다. 평행하지 않은 방향을 따르는 제1 전극 표면의 제1 높이는 주 측방향 표면을 따르는 커패시터의 파형의 너비보다 더 길 수 있다. 종횡비는 제1 높이를 너비로 나누는 것으로 정의될 수 있으며, 종횡비는 5:1보다 크다. 제1 전극 표면 및 제2 전극 표면 중 적어도 하나는 알루미늄, 규소, 도핑된 규소, 또는 니켈을 포함할 수 있다. 커패시터는 수동 전자 컴포넌트를 통해 연장되는 사문형 패턴을 포함할 수 있다. 사문형 패턴은 제1 및 제2 전극 표면들의 각자의 수직 부분들 및 수직 부분들을 연결하는 제1 및 제2 전극 표면들의 대응하는 측방향 부분들을 포함할 수 있다.
- [0132] 다른 실시예에서, 접합된 구조체가 개시된다. 접합된 구조체는 구성요소의 능동 표면에 또는 그 근처에 하나 이상의 능동 디바이스들을 갖는 구성요소를 포함할 수 있으며, 능동 표면은 접합된 구조체의 주 측방향 표면을 한정한다. 접합된 구조체는 구성요소에 접합된 수동 전자 컴포넌트를 포함할 수 있으며, 수동 전자 컴포넌트는 주 측방향 표면에 평행하지 않은 방향을 따라 연장되는 제1 및 제2 전극 표면들을 갖는 커패시터를 포함하며, 제1 및 제2 전극 표면들은 유전체에 의해 이격된다.
- [0133] 일부 실시예들에서, 수동 전자 컴포넌트는 개재 접착제 없이 구성요소에 직접 접합될 수 있다. 평행하지 않은 방향을 따르는 제1 전극 표면의 제1 높이는 주 측방향 표면을 따르는 커패시터의 파형의 너비보다 더 길 수 있다. 종횡비는 제1 높이를 너비로 나누는 것으로 정의될 수 있으며, 종횡비는 5:1보다 크다. 제1 전극 표면 및 제2 전극 표면 중 적어도 하나는 알루미늄을 포함할 수 있다. 커패시터는 수동 전자 컴포넌트를 통해 연장되는 사문형 패턴을 포함할 수 있다. 사문형 패턴은 제1 및 제2 전극 표면들의 각자의 수직 부분들 및 수직 부분들을 연결하는 제1 및 제2 전극 표면들의 대응하는 측방향 부분들을 포함할 수 있다. 접합된 구조체는 제1 전극 표면에 전기적으로 연결된 제1 단자 및 제2 전극 표면에 전기적으로 연결된 제2 단자를 포함할 수 있고, 제1 및 제2 단자들은 수동 전자 컴포넌트의 상부 표면에서 노출된다. 제2 전극 표면의 연장 부분은 제1 전극 표면을 통해 연장되어 제2 단자에 연결될 수 있다.

- [0134] 다른 실시예에서, 접합된 구조체가 개시된다. 접합된 구조체는 구성요소 및 구성요소에 접합된 제1 표면 및 제1 표면의 반대편에 있는 제2 표면을 갖는 수동 전자 컴포넌트를 포함할 수 있다. 수동 전자 컴포넌트는 수동 디바이스를 포함할 수 있다. 수동 디바이스는 수동 전자 컴포넌트의 제1 표면 상의 제1 및 제2 단자들, 제1 단자에 전기적으로 연결된 제1 전도성 상호연결부, 제2 단자에 전기적으로 연결된 제2 전도성 상호연결부, 및 제1 전도성 상호연결부와 제2 전도성 상호연결부 사이의 유전체를 포함할 수 있다.
- [0135] 일부 실시예들에서, 구성요소는 개재 접착제 없이 수동 전자 컴포넌트에 직접 접합될 수 있다. 수동 디바이스는 커패시터를 포함할 수 있다.
- [0136] 다른 실시예에서, 접합된 구조체가 개시된다. 접합된 구조체는 구성요소 및 개재 접착제 없이 구성요소에 직접 접합된 수동 전자 컴포넌트를 포함할 수 있다.
- [0137] 일부 실시예들에서, 수동 전자 컴포넌트는 커패시터를 포함할 수 있다. 커패시터는 복수의 유전체 층들에 의해 이격된 3 개 이상의 금속성 층들을 포함할 수 있다. 커패시터는 1 내지 10의 범위의 유전 상수를 갖는 유전체 층을 포함할 수 있다. 수동 전자 컴포넌트는 제1 전극, 제2 전극, 및 제1 전극과 제2 전극 사이의 유전체 재료를 포함할 수 있고, 유전체 재료는 하이 K 유전체를 포함한다. 하이 K 유전체는 티탄산염, (BaxSr1-xTiO3, Bi4Ti3O12, PbZrxTi1-xO3), 나이오븀산염(LiNbO3), 및/또는 지르코늄 산염(BaZrO3, CaZrO3)을 포함할 수 있다. 제1 전극은 불활성 금속을 포함할 수 있다. 수동 전자 컴포넌트는 1 nF/mm<sup>2</sup> 내지 1 μF/mm<sup>2</sup>의 범위의 단위면적당 커패시턴스를 가질 수 있다. 수동 전자 컴포넌트는 5 nF/mm<sup>2</sup> 내지 400 nF/mm<sup>2</sup>의 범위의 단위면적당 커패시턴스를 가질 수 있다. 수동 전자 컴포넌트는 100 nF/mm<sup>2</sup> 내지 400 nF/mm<sup>2</sup>의 범위의 단위면적당 커패시턴스를 가질 수 있다. 수동 전자 컴포넌트는 400 nF/mm<sup>2</sup> 내지 1000 nF/mm<sup>2</sup>의 범위의 단위면적당 커패시턴스를 가질 수 있다. 접합된 구조체는 개재 접착제 없이 구성요소에 직접 접합된 복수의 수동 전자 컴포넌트들을 포함할 수 있다. 수동 컴포넌트는 구성요소에 직접 접합된 수동 컴포넌트 층 내에 제공될 수 있고, 수동 컴포넌트 층은 구성요소의 대부분을 커버한다. 수동 컴포넌트는 구성요소에 직접 접합된 제1 표면 및 제1 표면에 반대편인 제2 외부 표면을 포함할 수 있다. 접합된 구조체는 제2 외부 표면 상의 복수의 전기 콘택들을 포함할 수 있고, 복수의 전기 콘택들은 외부 컴포넌트에 전기적으로 연결되도록 구성된다. 접합된 구조체는 구성요소와 복수의 전기 콘택들 중 제1 전기 콘택 사이의 전기 경로를 한정하는 상호연결 구조체를 포함할 수 있다. 상호연결 구조체는 제1 표면으로부터 제1 전기 콘택까지 연장되는 전도성 전기 상호연결부를 포함할 수 있고, 전도성 전기 상호연결부는 제1 표면과 제2 표면 사이에 배치된 유전체 내에 매립된다. 전도성 전기 상호연결부는 제1 표면의 또는 그 근처의 제1 콘택 패드로부터 제1 전기 콘택까지 연장되는 종방향 전도성 부분 및 종방향 전도성 부분으로부터 밖을 향해 측방향으로 연장되는 하나 이상의 측방향 전도성 부분들을 포함할 수 있고, 종방향 전도성 부분은 저항성 전기 경로를 한정하고 하나 이상의 측방향 전도성 부분들은 저항성 전기 경로에 평행한 용량성 전기 경로를 한정한다. 접합된 구조체는 제1 표면으로부터 복수의 전기 콘택들의 제2 전기 콘택까지 연장되는 제2 전도성 전기 상호연결부를 포함하는 제2 상호연결 구조체를 포함할 수 있다. The 제2 전도성 전기 상호연결부는 제1 표면의 또는 그 근처의 제2 콘택 패드로부터 제1 전기 콘택까지 연장되는 제2 종방향 전도성 부분 및 제2 종방향 전도성 부분으로부터 밖을 향해 측방향으로 연장되는 하나 이상의 제2 측방향 전도성 부분들을 포함할 수 있고, 제2 종방향 전도성 부분은 제2 저항성 전기 경로를 한정하고 하나 이상의 제2 측방향 전도성 부분들은 제2 저항성 전기 경로에 평행한 제2 용량성 전기 경로를 한정한다. 하나 이상의 측방향 전도성 부분들 및 하나 이상의 제2 측방향 전도성 부분들은 서로 개재되고 개재 유전체 재료에 의해 분리될 수 있다. 상호연결 구조체 및 제2 상호연결 구조체 중 하나는 전원에 연결되도록 구성될 수 있고, 상호연결 구조체 및 제2 상호연결 구조체 중 다른 하나는 전기 접지에 연결되도록 구성될 수 있다. 수동 전자 컴포넌트는 수동 전자 컴포넌트의 제1 및 제2 반대 표면들 사이에 배치된 복수의 교번하는 전도성 특징부 및 유전체 특징부를 포함할 수 있다. 수동 전자 컴포넌트는 구성요소에 직접 접합된 수동 전자 컴포넌트의 제1 표면에서의 제1 전극, 수동 전자 컴포넌트의 제2 외부 표면에서의 제2 전극, 및 개재 유전체 재료를 포함할 수 있고, 제1 전극은 개재 유전체를 갖는 복수의 접합 패드들 안으로 패터닝된다. 제2 전극은 불활성 금속을 포함할 수 있다. 불활성 금속은 백금 또는 루테튬을 포함할 수 있다. 개재 유전체 재료는 하이 K 유전체를 포함한다. 개재 유전체 재료는 복합 산화물을 포함할 수 있다. 개재 유전체 재료는 티탄산염, (BaxSr1-xTiO3, Bi4Ti3O12, PbZrxTi1-xO3), 나이오븀산염(LiNbO3), 및/또는 지르코늄산염(BaZrO3, CaZrO3)을 포함할 수 있다.
- [0138] 다른 실시예에서, 접합된 구조체가 개시된다. 접합된 구조체는 구성요소의 능동 표면에서 또는 그 근처에서 하나 이상의 능동 디바이스들을 갖는 구성요소, 및 구성요소에 접합된 수동 전자 컴포넌트를 포함할 수 있고, 수동 전자 컴포넌트는 그것의 두께의 적어도 3 배인 측방향 너비를 갖는 시트를 포함하며, 시트는 구성요소의 능동 표면의 대부분을 커버한다.

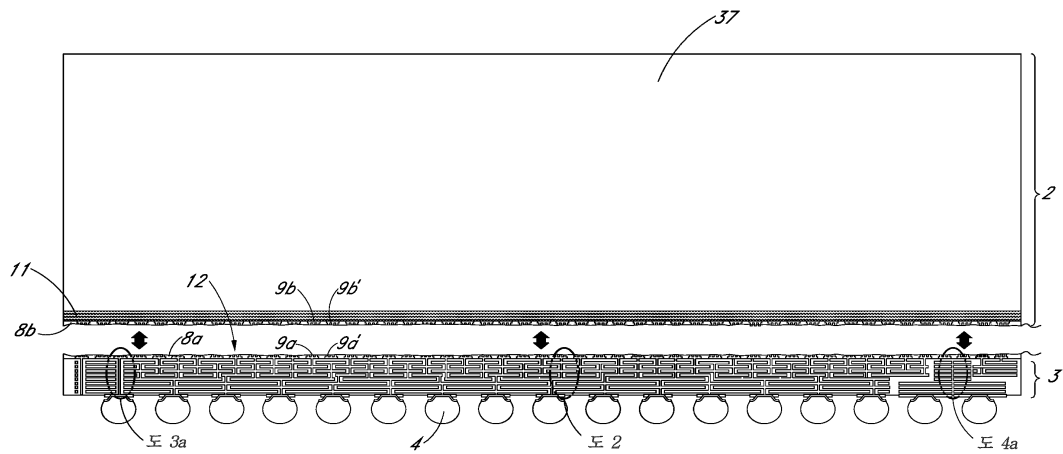
- [0139] 일부 실시예들에서, 수동 전자 컴포넌트는 용량성 시트를 포함할 수 있다. 수동 전자 컴포넌트는 개재 접착제 없이 구성요소에 직접 접합될 수 있다.
- [0140] 다른 실시예에서, 접합된 구조체를 형성하는 방법이 개시된다. 방법은 하나 이상의 능동 디바이스들을 갖는 구성요소를 제공하는 단계를 포함할 수 있다. 방법은 수동 전자 컴포넌트를 구성요소에 개재 접착제 없이 직접 접합하는 단계를 포함할 수 있다.
- [0141] 일부 실시예들에서, 방법은 수동 전자 컴포넌트 내의 복수의 유전체 층들에 의해 이격된 3 개 이상의 금속성 층들을 형성하는 단계를 포함할 수 있다. 수동 전자 컴포넌트는 그것의 두께의 적어도 3 배의 측방향 너비를 갖는 시트를 포함할 수 있고, 방법은 구성요소의 능동 표면의 대부분을 시트로 커버하는 단계를 포함한다. 방법은 내화 금속을 포함하는 제1 전극, 제2 전극, 및 10 초과의 유전 상수를 갖는 개재 유전체 층을 포함하는 수동 전자 컴포넌트를 형성하는 단계를 포함할 수 있다. 방법은 제2 전극의 복수의 부분들을 한정하기 위하여 제2 전극을 패터닝하는 단계를 포함할 수 있다. 방법은 제1 설비에서 수동 전자 컴포넌트를 형성하는 단계 및 제1 설비와는 상이한 제2 설비에서 구성요소를 형성하는 단계를 포함할 수 있다.
- [0142] 개시된 실시예 및 종래 기술에 대해 달성되는 이점을 요약하는 목적을 위해, 소정 목적 및 이점이 본 명세서에 기술되었다. 물론, 반드시 모든 그러한 목적 또는 이점이 임의의 특정 실시예에 따라 달성될 수 있는 것은 아니라는 것이 이해되어야 한다. 따라서, 예를 들어, 당업자는 개시된 구현예가, 반드시 본 명세서에 교시되거나 제안될 수 있는 바와 같은 다른 목적 또는 이점을 달성하지는 않고서, 본 명세서에 교시되거나 제안되는 바와 같은 하나의 이점 또는 이점들의 군을 달성하거나 최적화하는 방식으로 실시되거나 수행될 수 있는 것을 인식할 것이다.
- [0143] 이들 실시예 모두는 본 개시 내용의 범주 내에 있는 것으로 의도된다. 이들 및 다른 실시예는 첨부된 도면을 참조하는 실시예의 하기의 상세한 설명으로부터 당업자에게 용이하게 명백해질 것이며, 청구범위는 개시된 임의의 특정 실시예(들)로 제한되지 않는다. 이러한 소정 실시예 및 예가 본 명세서에 개시되었지만, 개시된 구현예는 구체적으로 개시된 실시예를 넘어 다른 대안적인 실시예 및/또는 그의 사용과 명백한 변경 및 등가물로 확장되는 것이 당업자에 의해 이해될 것이다. 또한, 수개의 변형이 상세히 도시되고 기술되었지만, 다른 변형이 본 개시 내용에 기초하여 당업자에게 용이하게 명백할 것이다. 또한, 실시예의 특정 특징 및 태양의 다양한 조합 또는 하위-조합이 이루어지고 여전히 범주 내에 속할 수 있는 것으로 고려된다. 개시된 실시예의 다양한 특징 및 태양이 개시된 구현예의 다양한 형태를 형성하기 위해 서로 조합되거나 대체될 수 있는 것이 이해되어야 한다. 따라서, 본 명세서에 개시된 발명 요지의 범주는 전술된 특정한 개시된 실시예로 제한되어야 하는 것이 아니라, 하기의 청구범위의 완전한 이해에 의해서만 결정되어야 하는 것으로 의도된다.

## 도면

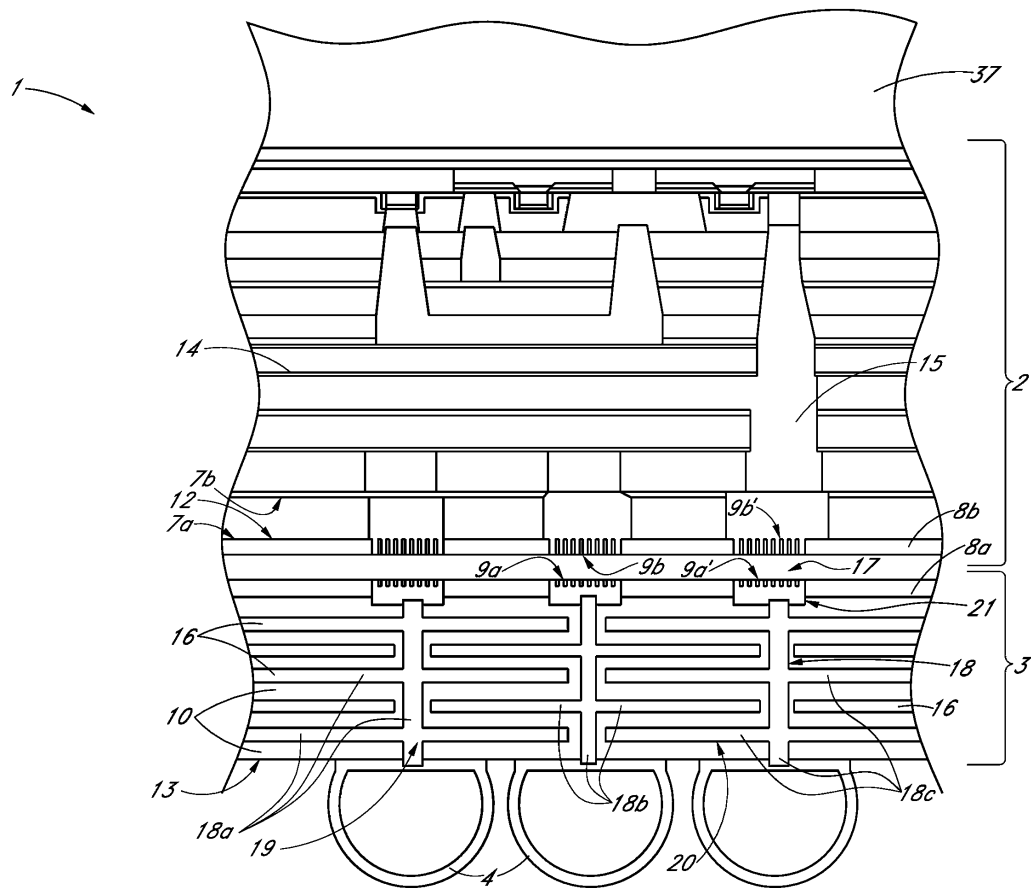
### 도면1a



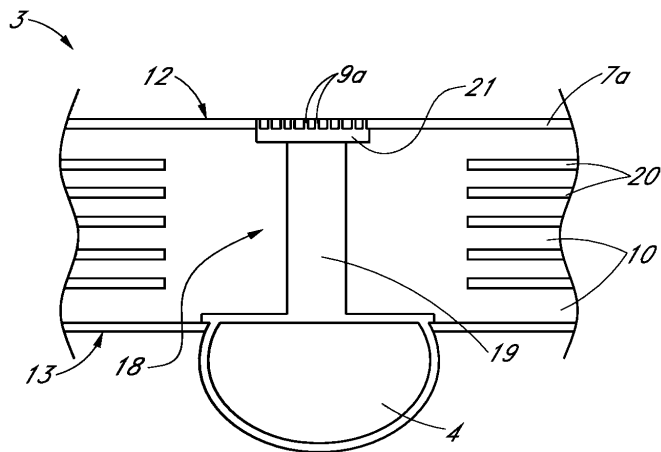
도면1b



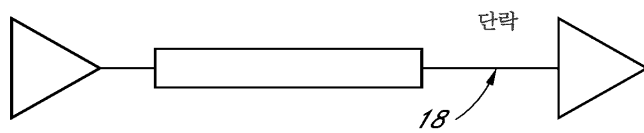
도면2



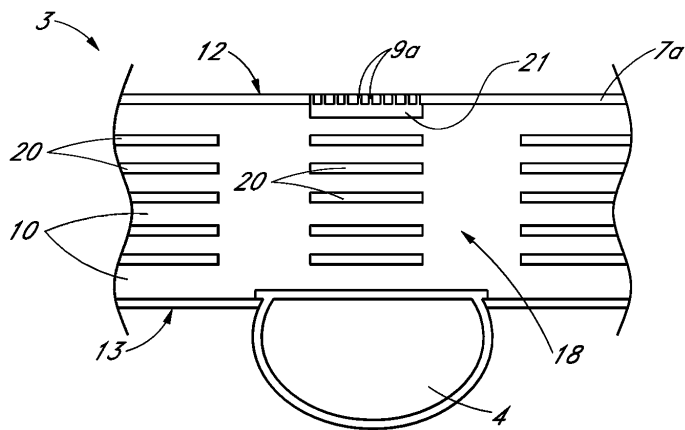
도면3a



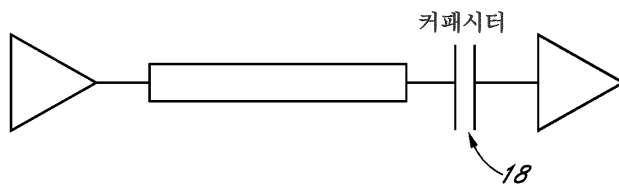
도면3b



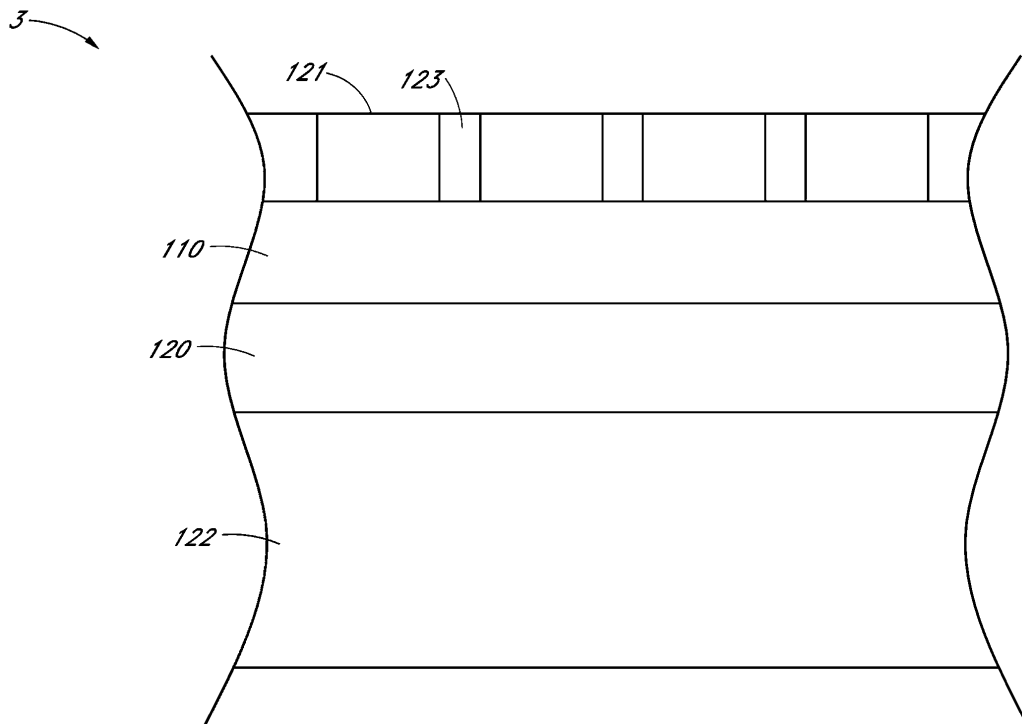
도면4a



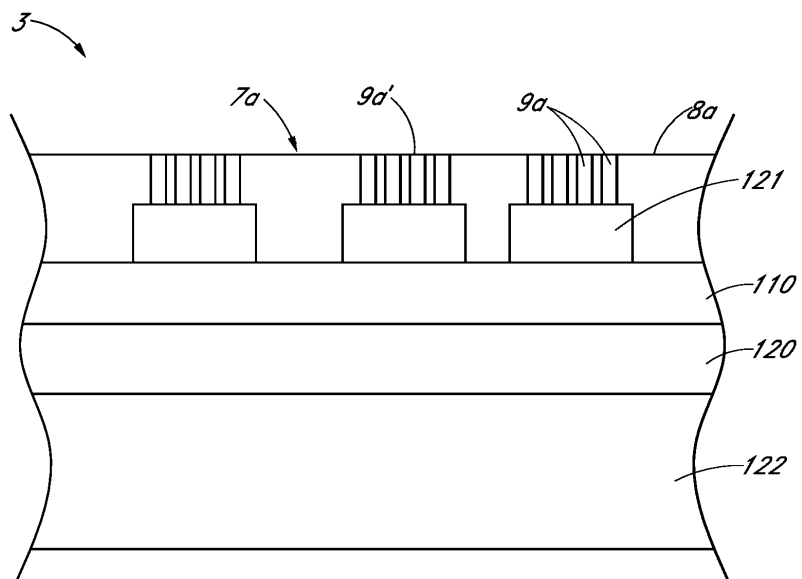
도면4b



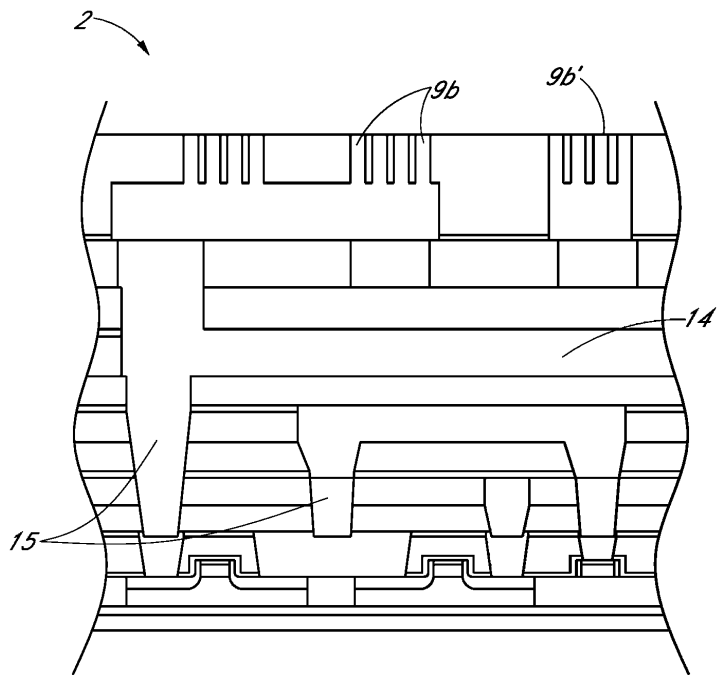
도면5a



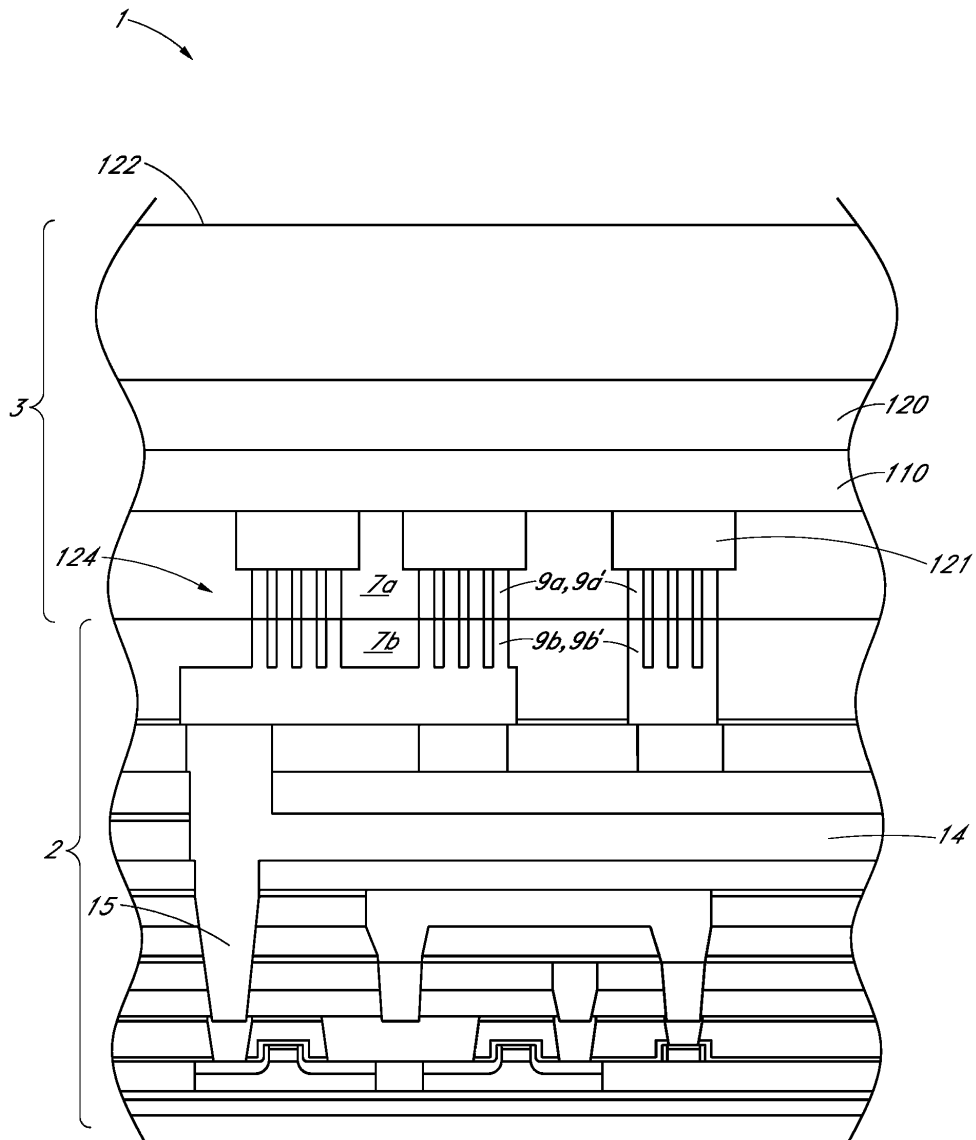
도면5b



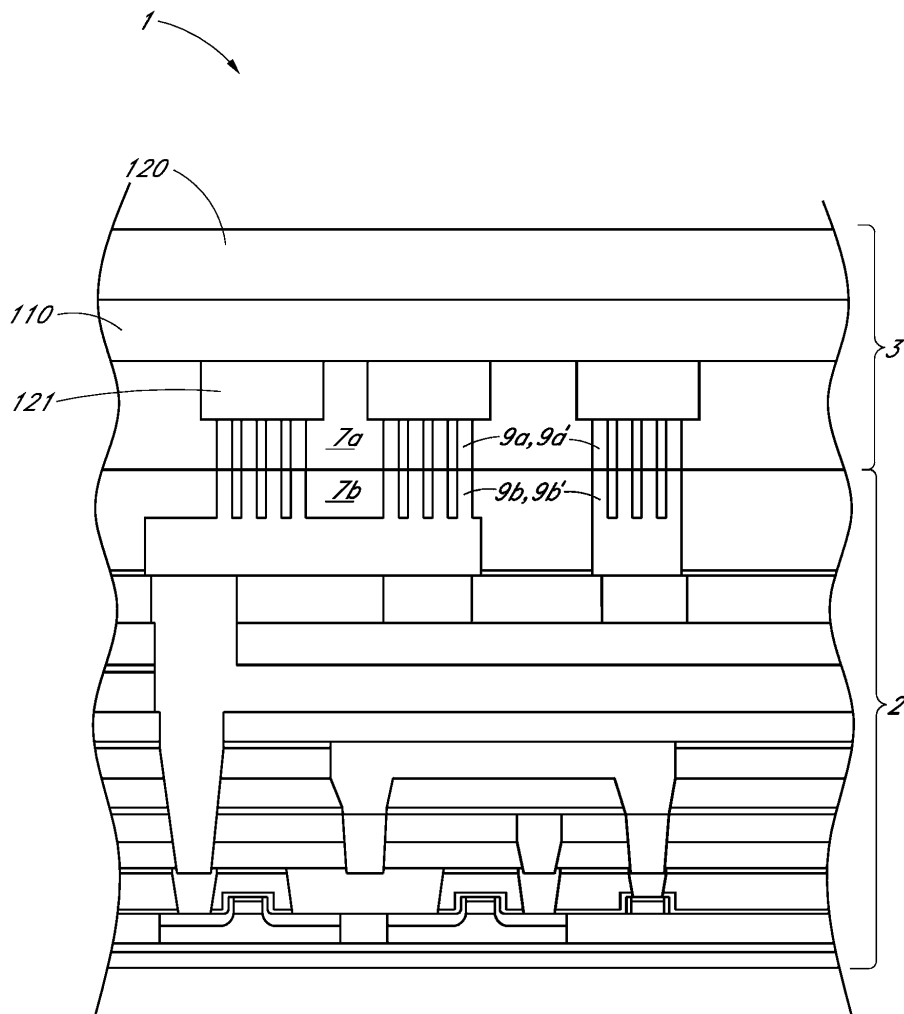
도면5c



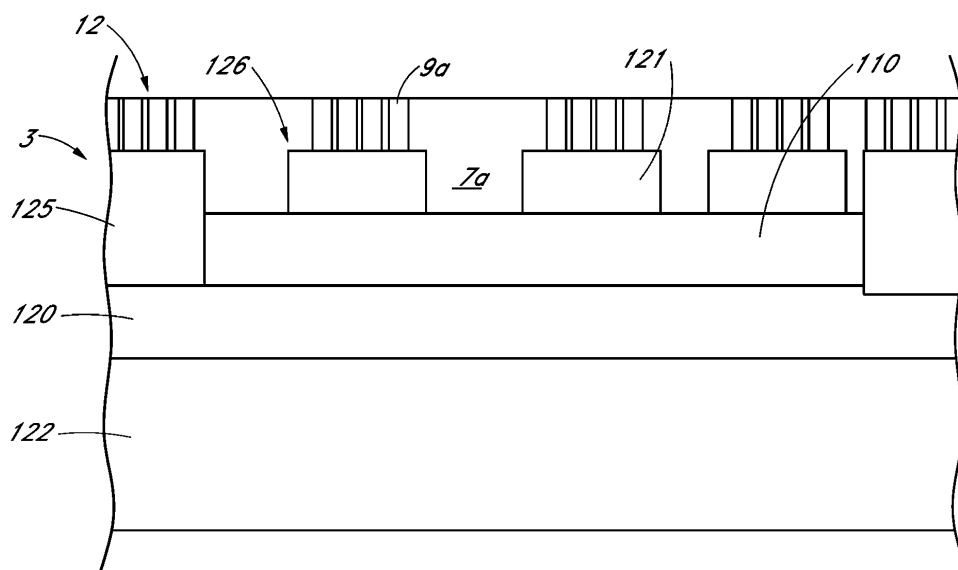
도면5d



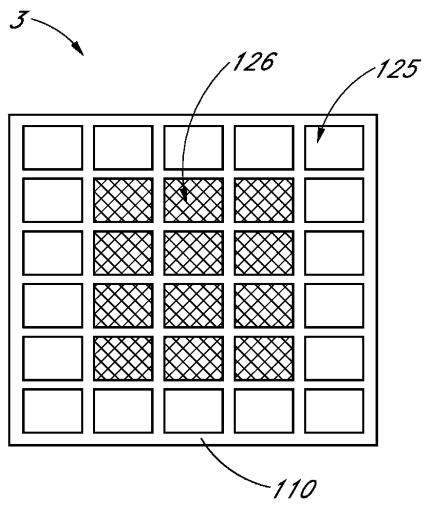
도면5e



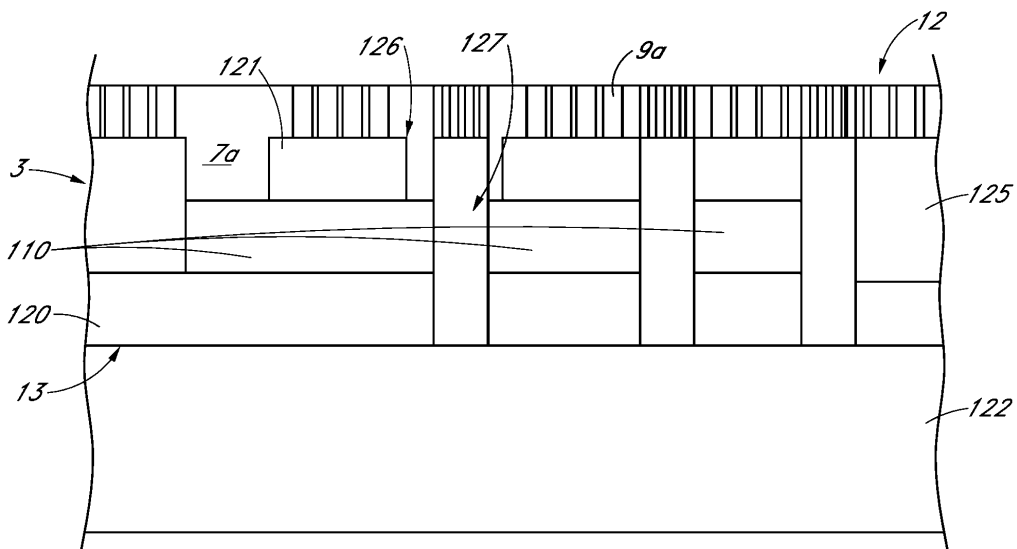
도면5f



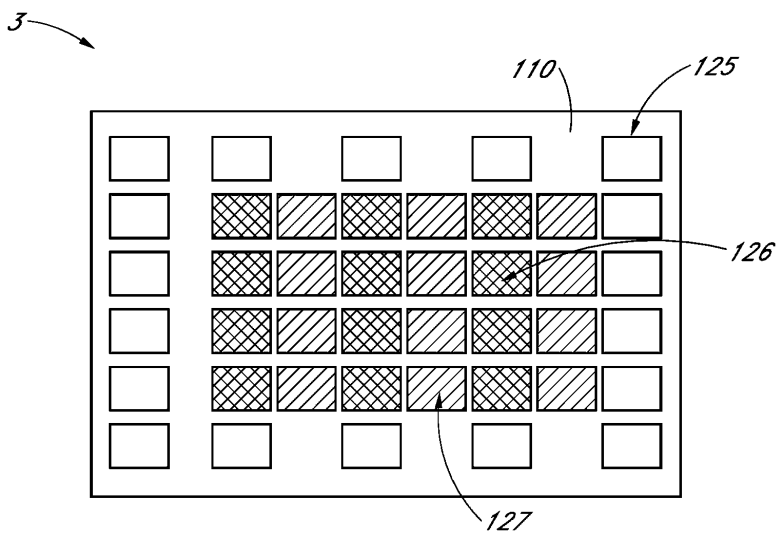
도면5g



도면5h

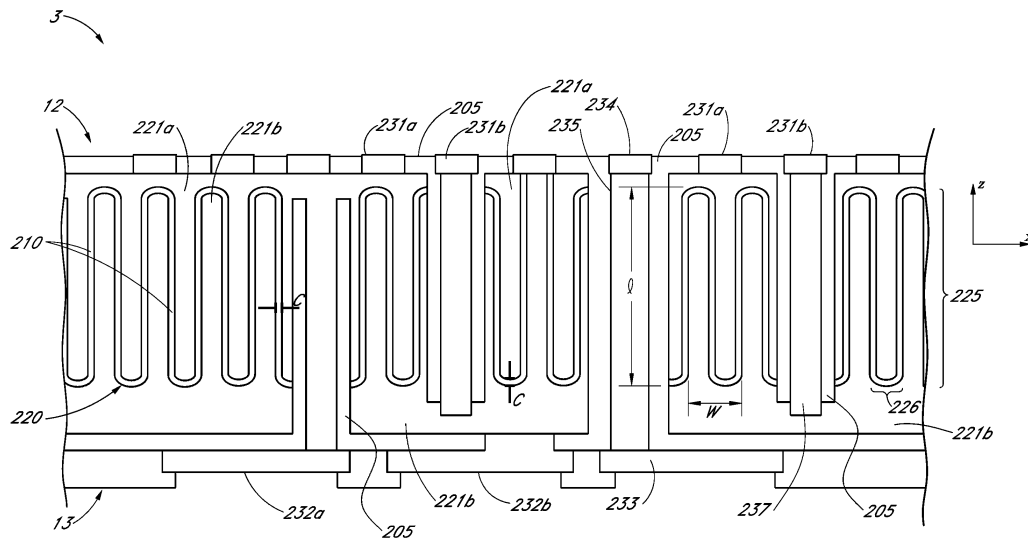


도면5i

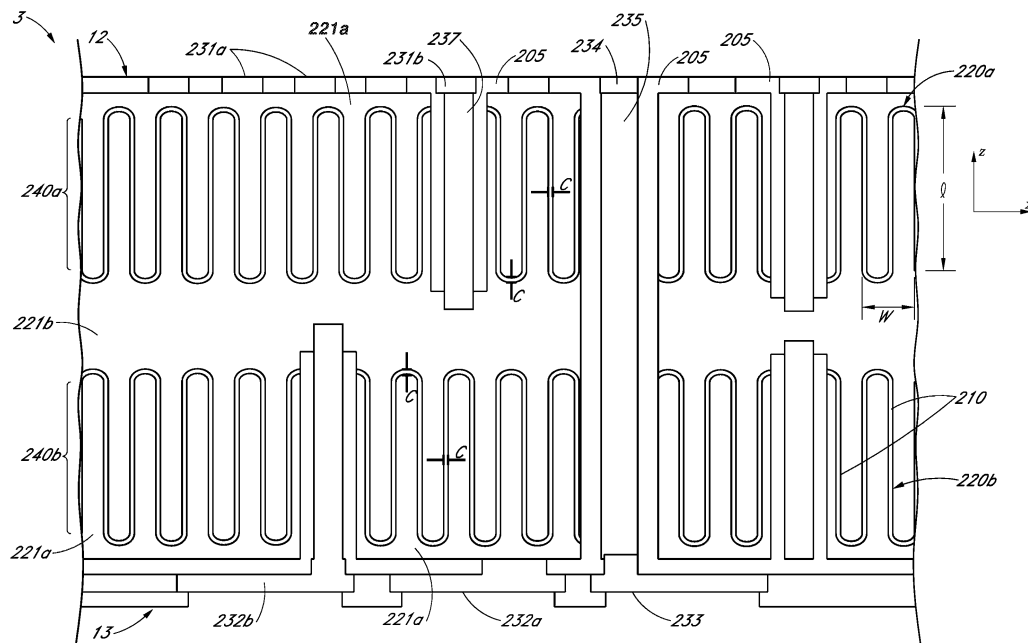




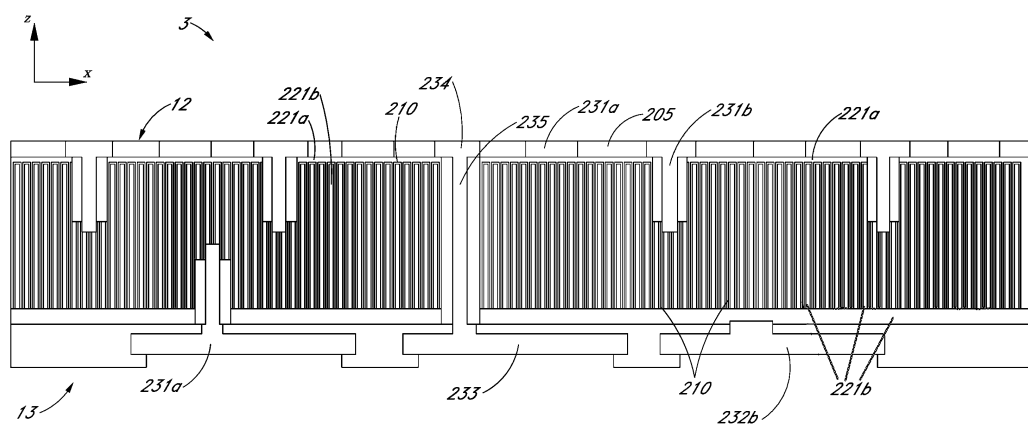
도면7b



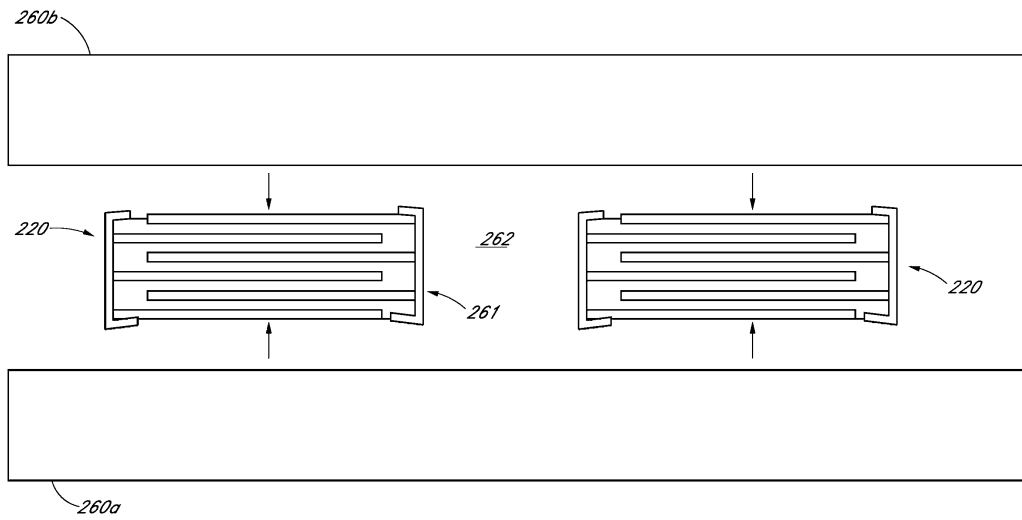
도면7c



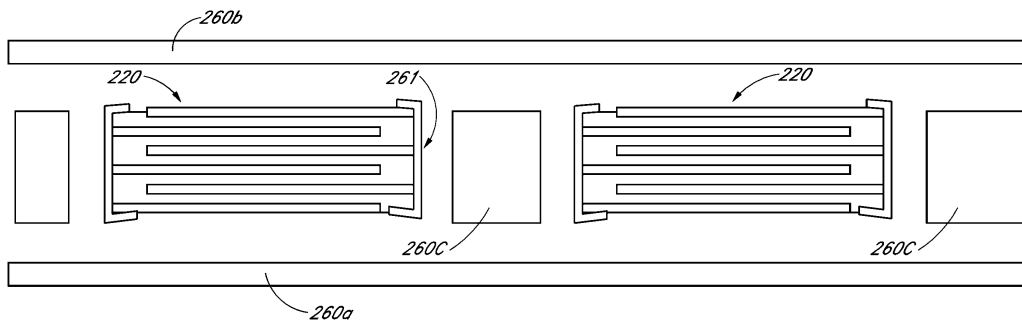
도면7d



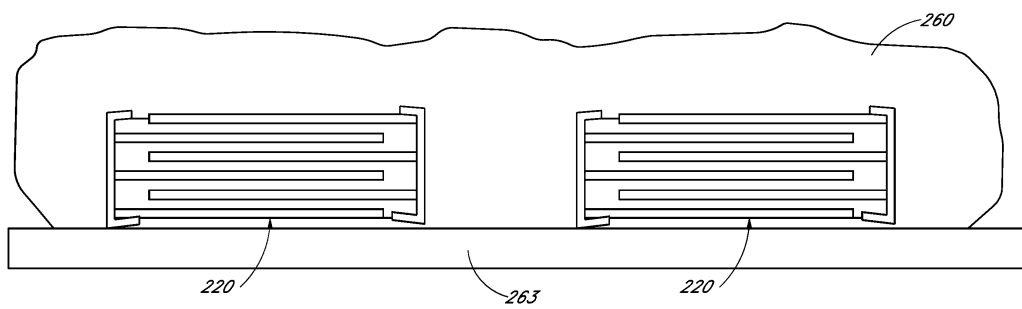
도면8a



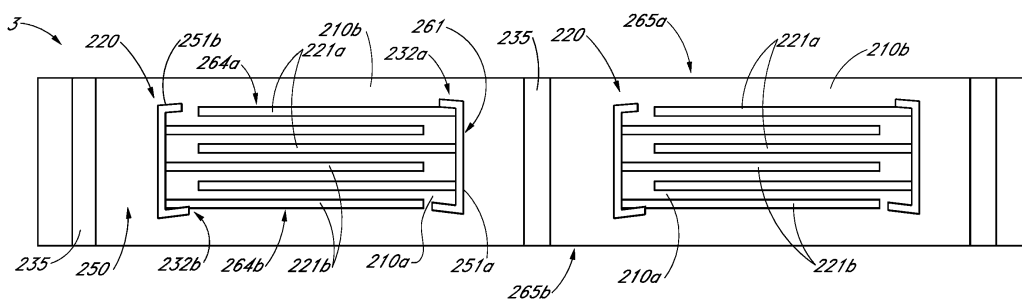
도면8b



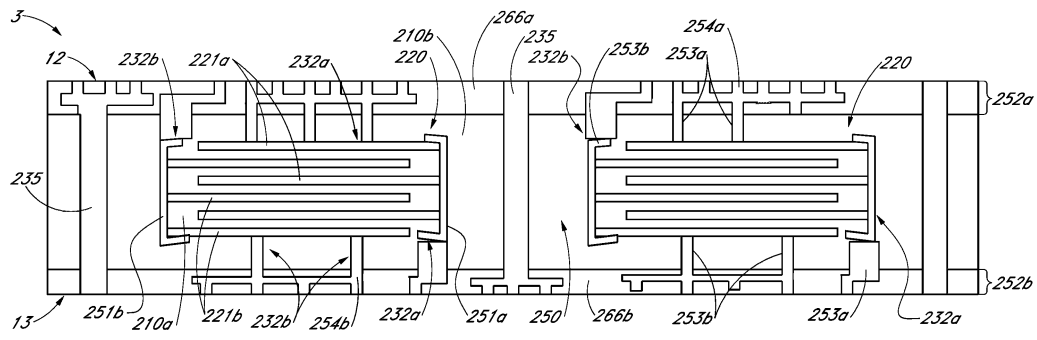
도면8c



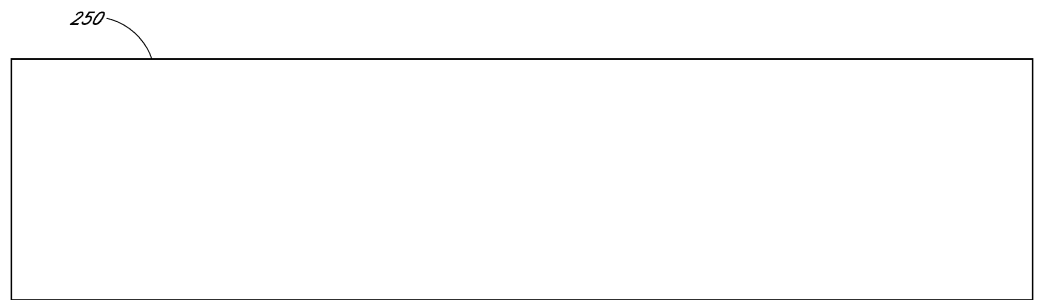
도면8d



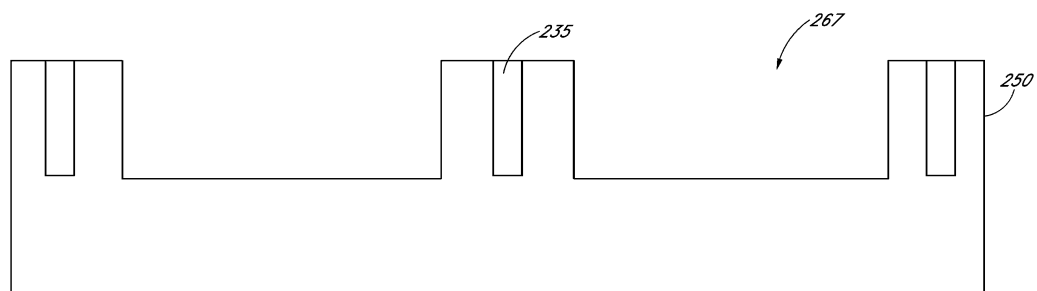
도면8e



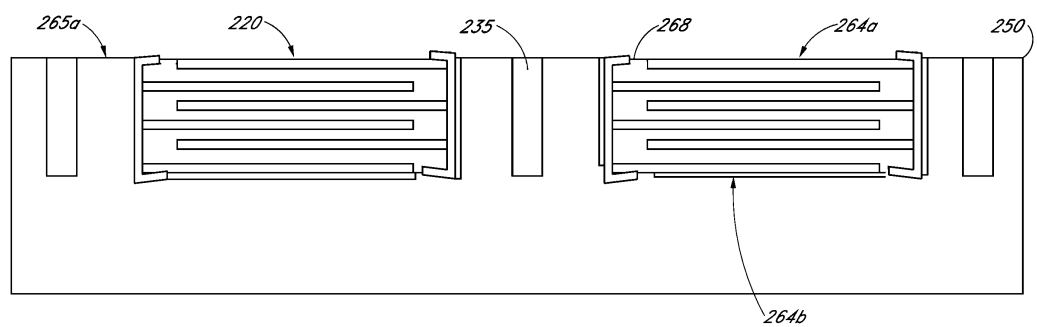
도면9a



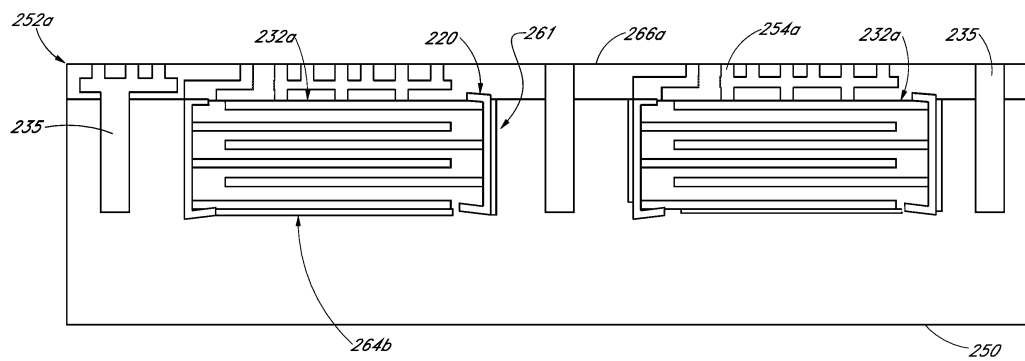
도면9b



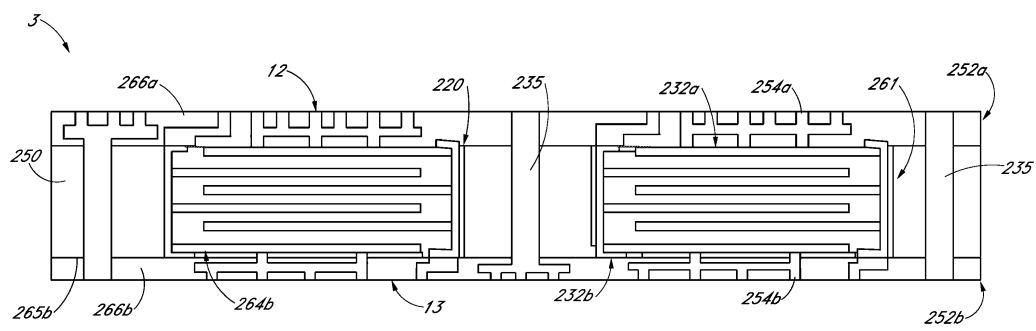
도면9c



도면9d



도면9e



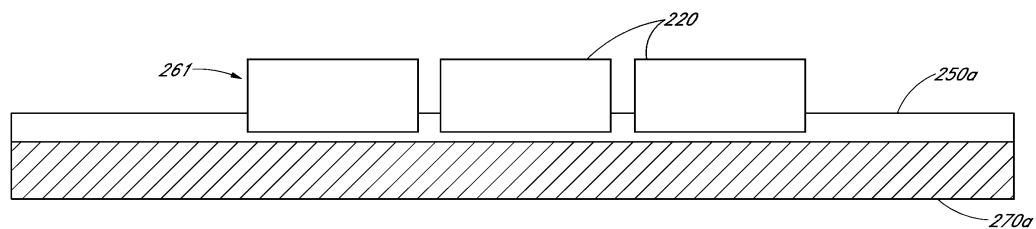
도면10a



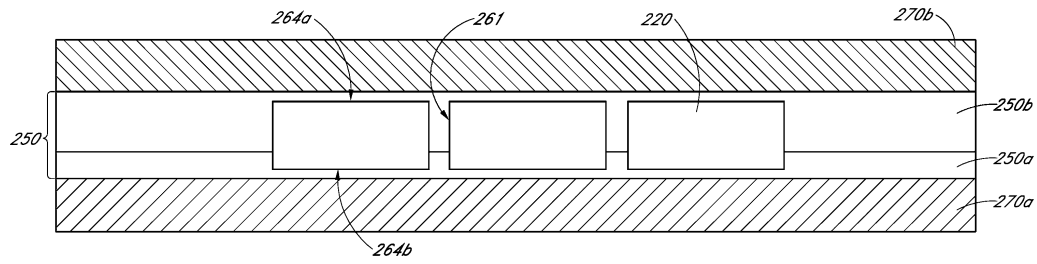
도면10b



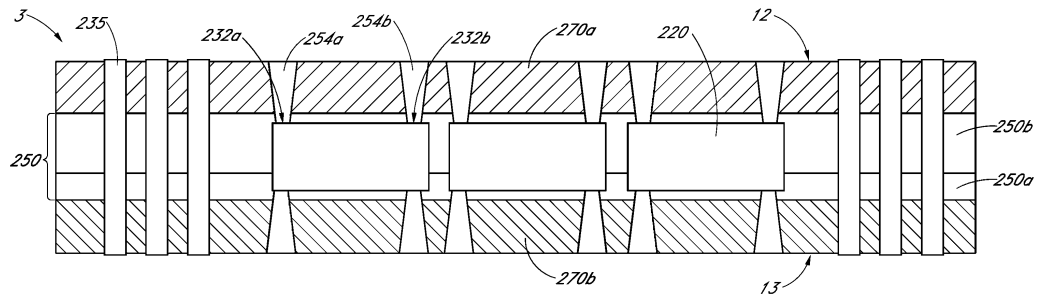
도면10c



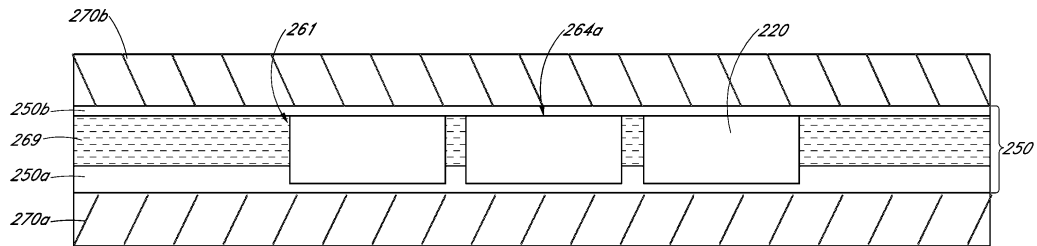
도면10d



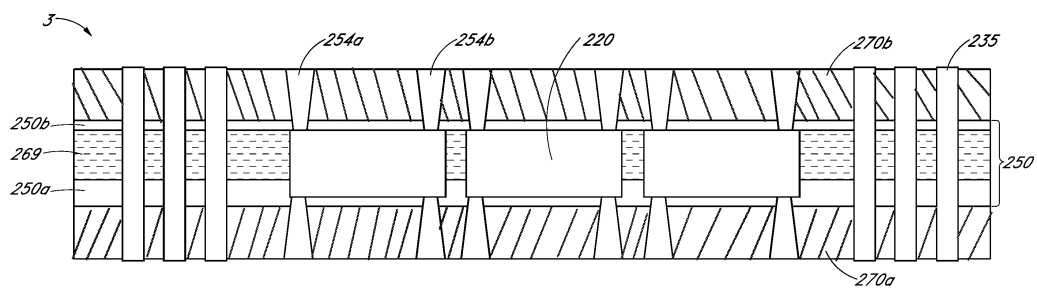
도면10e



도면10f



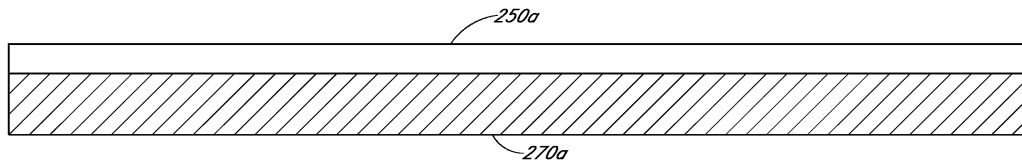
도면10g



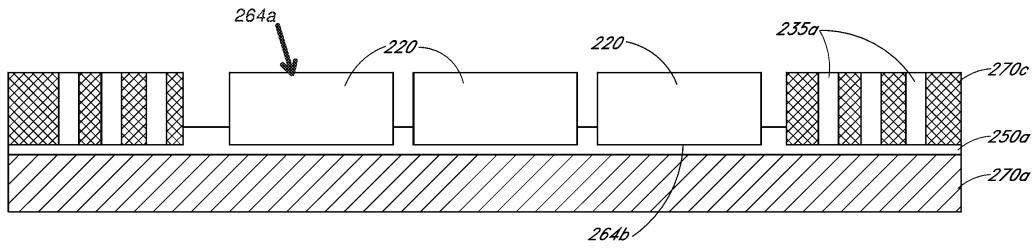
도면11a



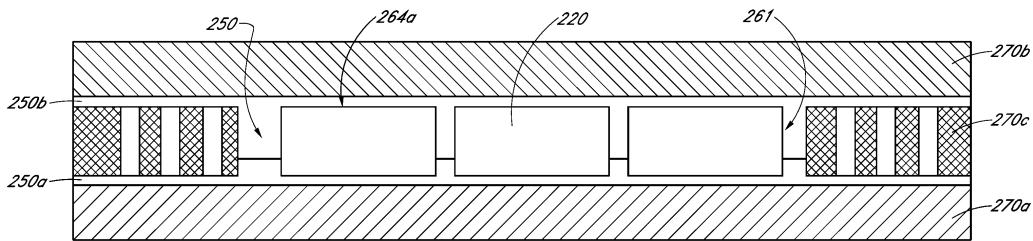
도면11b



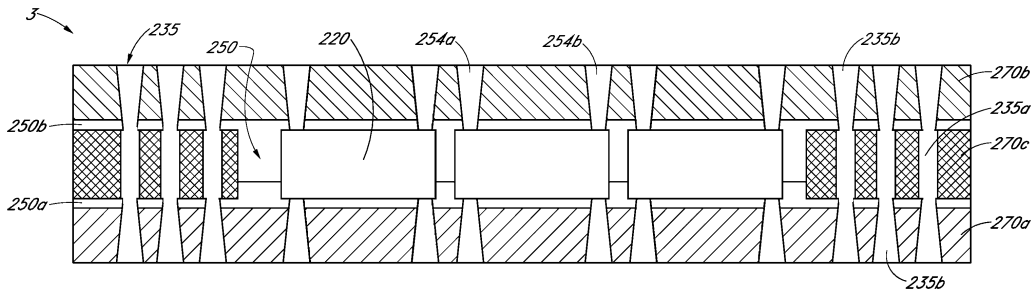
도면11c



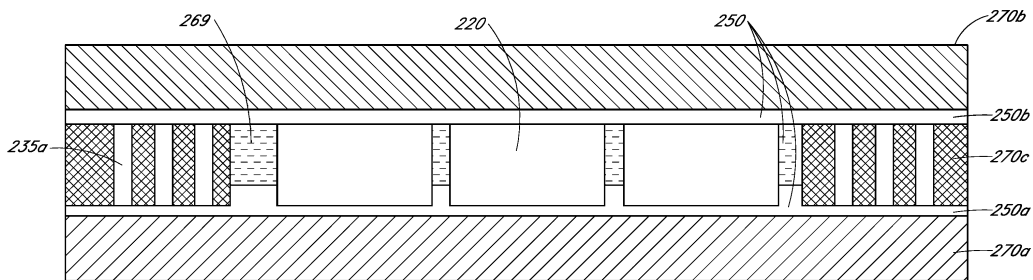
도면11d



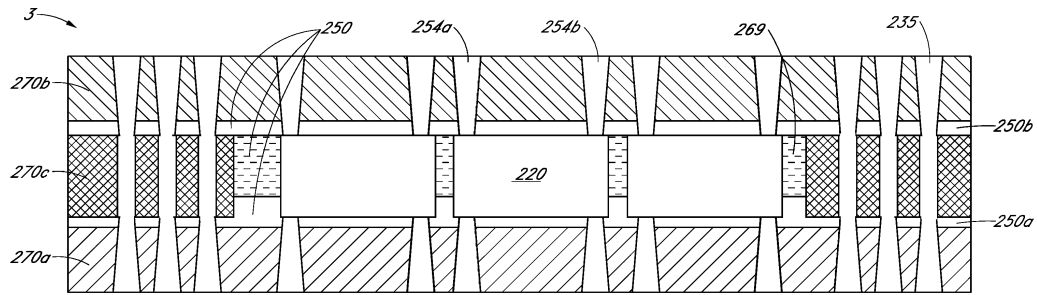
도면11e



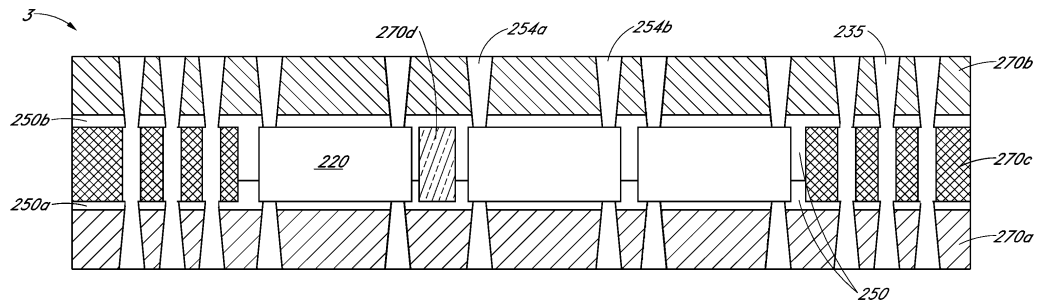
도면11f



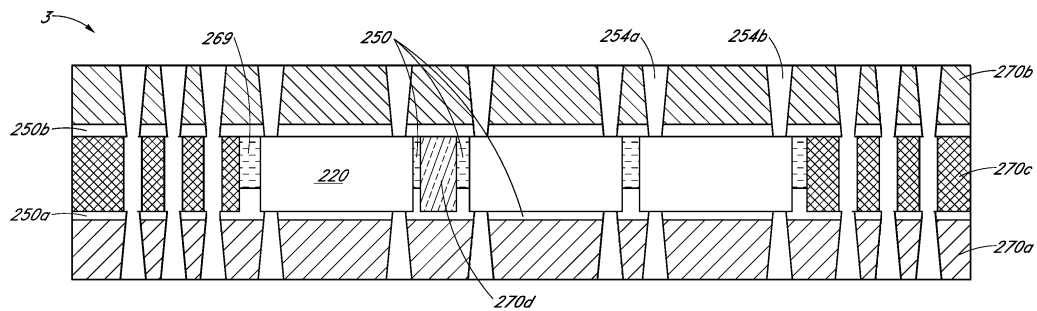
도면11g



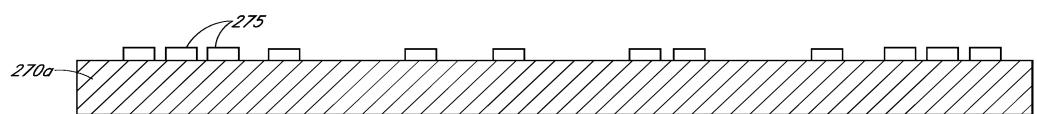
도면11h



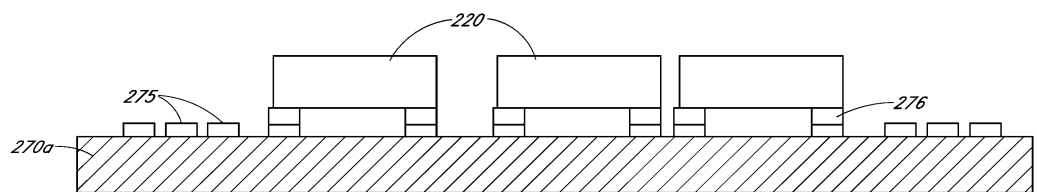
도면11i



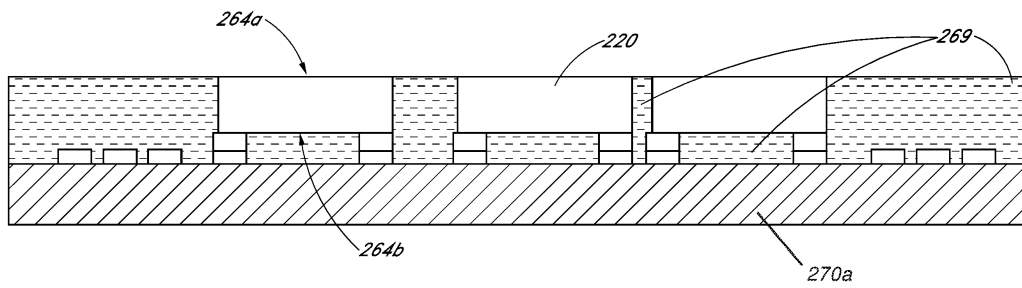
도면12a



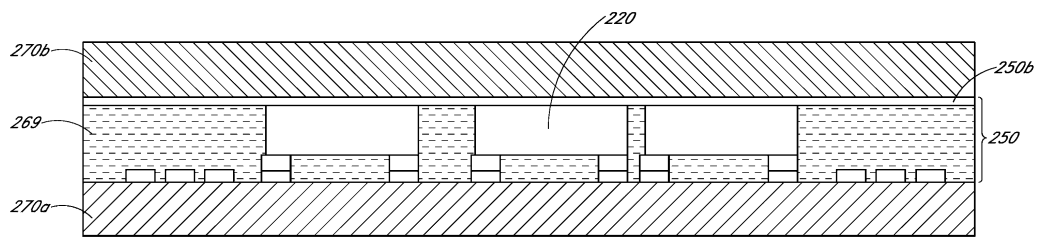
도면12b



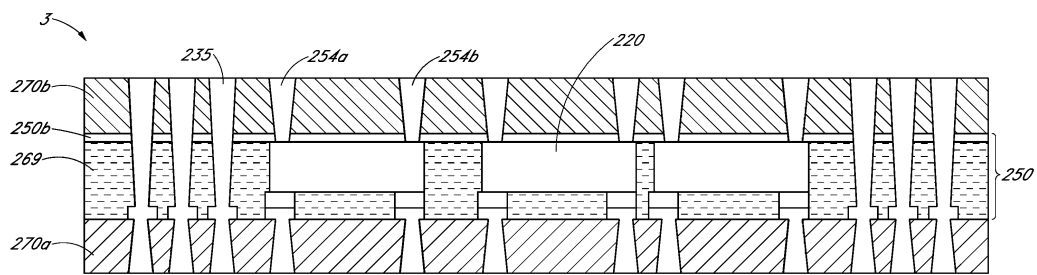
도면12c



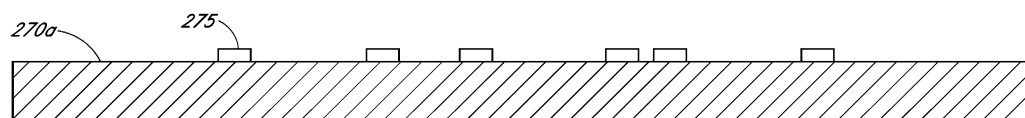
도면12d



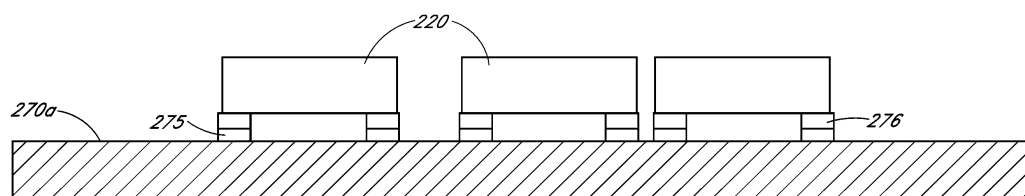
도면12e



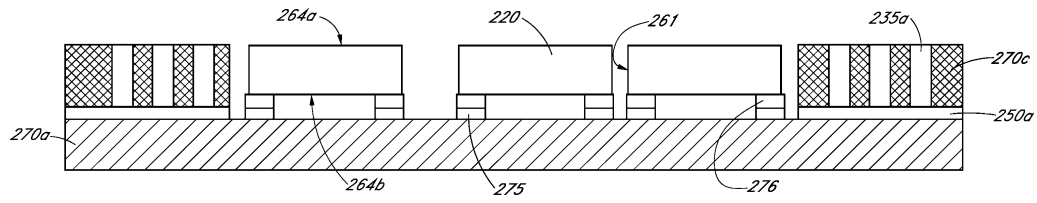
도면13a



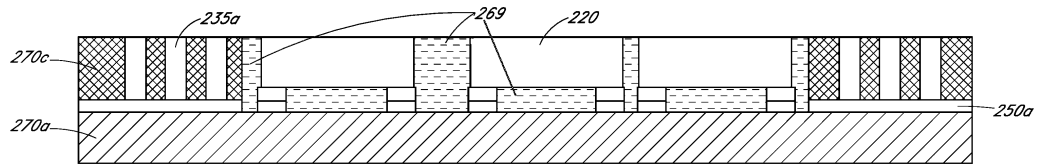
도면13b



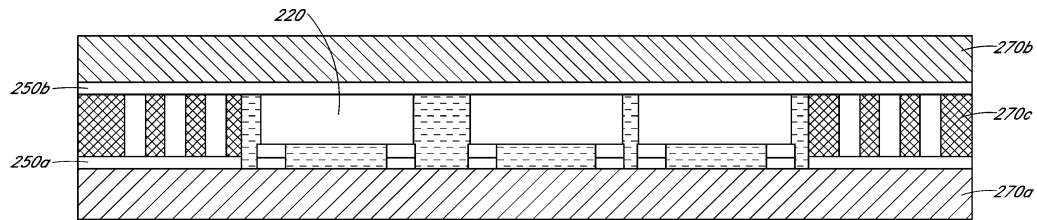
도면13c



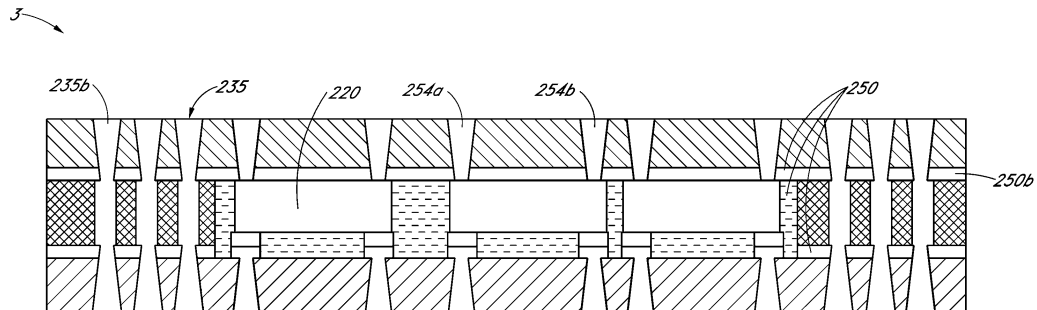
도면13d



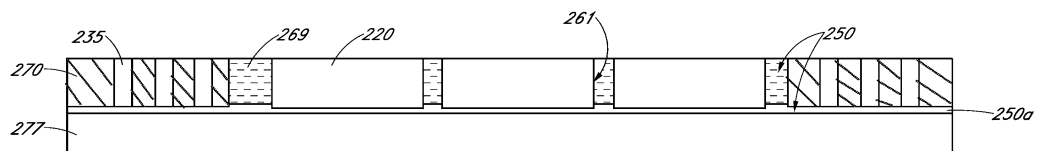
도면13e



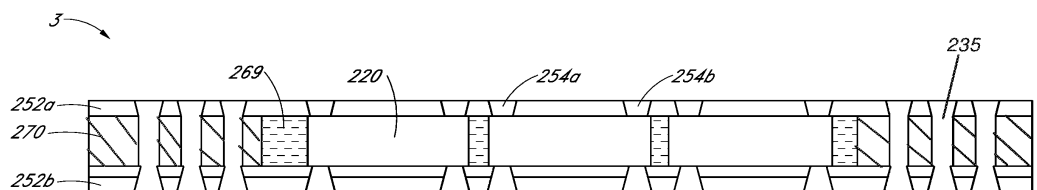
도면13f



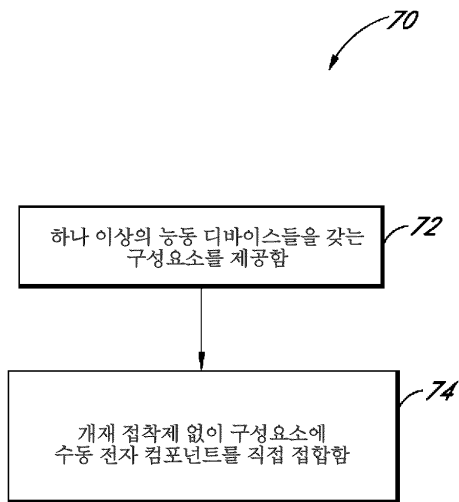
도면14a



도면14b



도면15



도면16

