



## 【特許請求の範囲】

## 【請求項 1】

通常動作より低い消費電力状態である低消費電力モードを有する半導体集積回路であって、

前記低消費電力モード状態時において、

電源電圧レベルを検出する検出手段と、

前記検出した電源電圧レベルを記憶する記憶手段と、

前記通常動作時よりも小さい電流を流すことで、前記電源電圧を低下させる擬似負荷手段と、

前記擬似負荷手段により電流を流す前に前記記憶手段で記憶した第 1 の電圧レベルに応じて前記検出手段の検出レベルを第 2 の電圧レベルに切り換える切換え手段と、

前記擬似負荷手段により電流を流すことにより低下した前記電源電圧が、前記第 2 の電圧レベルとなるかを判定し、前記低消費電力モードを解除するか否かの制御を行う制御手段と、を有する

半導体集積回路。

## 【請求項 2】

前記電源電圧は、前記通常動作時には電池で供給され、前記低消費電力モード時にはコンデンサで供給される

請求項 1 に記載の半導体集積回路。

## 【請求項 3】

前記通常動作時の動作クロックよりも低周波で、前記低消費電力モード時の当該半導体集積回路の動作クロックとなる低周波動作クロックを生成する低周波発振器と、

外部の解除キー生成手段からの解除キー信号に応じて、前記低周波動作クロックを第 1 、第 2 のクロックとして出力する低周波クロック制御手段と、を更に有する

請求項 1 または請求項 2 に記載の半導体集積回路。

## 【請求項 4】

前記記憶手段は、

前記第 1 のクロックに応じて、第 1 の値から第 2 の値に遷移するレジスタ信号を生成するレジスタと、

前記第 1 のクロックに応じて、第 1 の信号を生成する第 1 のラッチ回路と、

前記第 1 の信号と、前記検出手段が生成する電圧検出出力に応じて、処理信号を生成する第 1 の論理回路と、を有する

請求項 3 に記載の半導体集積回路。

## 【請求項 5】

前記切換え手段は、

前記記憶手段からの前記レジスタ信号の値に応じて、デコード回路出力信号を生成するデコード回路と、

前記制御手段からの検出レベル切換え信号に応じて、前記第 1 の値に相当する前記デコード回路出力信号から前記第 2 の値に相当する前記デコード回路出力信号に切り替えるセクタと、を有する

請求項 4 に記載の半導体集積回路。

## 【請求項 6】

前記検出手段は、

前記電源電圧の供給端子と、接地端子との間に直列接続された複数の抵抗と、

前記切換え手段からの前記スイッチ信号に応じて、前記電源電圧を前記複数の抵抗によって分圧した複数の抵抗分圧のうち 1 つを選択するスイッチ回路と、

基準電圧を生成する基準電圧生成回路と、

前記基準電圧と、前記スイッチ回路の選択した抵抗分圧とを比較し、その比較結果に応じた前記電圧検出出力を生成する比較器と、を有する

請求項 5 に記載の半導体集積回路。

10

20

30

40

50

**【請求項 7】**

前記制御手段は、

前記記憶手段の生成する前記処理信号と前記低周波クロック制御手段からの第2のクロックとに応じた第3のクロック信号に基づき、前記検出レベル切換え信号を生成する第2のラッチ回路と、

前記検出レベル切換え信号に応じて、擬似負荷オン信号を生成する第3のラッチ回路と、

前記擬似負荷オン信号に応じて、擬似負荷オフ信号 S 2 1 を生成する第4のラッチ回路と、

前記擬似負荷オフ信号に応じて、検出レベル判定開始信号 S 4 9 を生成する第5のラッチ回路と、

前記検出レベル判定開始信号 S 4 9 と、前記電圧検出出力とに応じて、解除信号 S 2 3 を生成する第2の論理回路と、を有する

請求項 6 に記載の半導体集積回路。

**【請求項 8】**

前記擬似負荷手段は、

前記電源電圧が供給される供給配線と、接地端子との間に直列に接続される擬似抵抗と、トランジスタとを有し、

前記トランジスタは、前記擬似負荷オン信号に応じてオン状態、前記擬似負荷オフ信号に応じてオフ状態となる

請求項 7 に記載の半導体集積回路。

**【請求項 9】**

前記低周波クロック制御手段は、前記制御手段からの前記検出レベル切換え信号に応じて、前記第1のクロックを停止する

請求項 8 に記載の半導体集積回路。

**【請求項 10】**

前記制御手段からの前記解除信号に応じて、前記低消費電力モードを解除する割込み処理を行う割込み制御部を更に有する

請求項 8 に記載の半導体集積回路。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、半導体集積回路に関するものである。

**【背景技術】****【0002】**

リモコン等の電池駆動装置に搭載される半導体集積回路（以降、LSI と称す）の分野においては、電池駆動装置の設定データが消失しないように、電池が抜かれたときはLSIの電源電圧には外付けコンデンサからチャージされた電圧が供給されるようになっている。通常、リモコンには使用者に合わせた設定データがRAMに保持されており、この設定データが消失すると、改めてデータを設定する必要性が生じる。

**【0003】**

電池を抜かれ、外付けのコンデンサからチャージされた電圧により電源電圧を供給している場合において、大電流が発生して電源電圧が下がると保持している設定データが消失する虞がある。このため、LSIは、設定データを消失しないように、CPUの動作、および、ウォッチドックタイマ用の低周波クロック以外の周辺回路のクロックが停止している低消費電力状態（以降、STOP状態と称す）になっている。

**【0004】**

しかし、電池を抜いたときに、誤ってSTOP状態解除キーが押されると、STOP状態が解除され、CPU及び周辺回路が動作する。CPU及び周辺回路が動作状態になることで大電流が流れ、コンデンサにより供給されている電源電圧は急激に低下する。そして

10

20

30

40

50

、電源電圧がLSIの最低動作電圧以下となってしまう、周辺回路が誤動作してRAMの値が書き換えられてしまう事態や、RAMがデータを保持する限界電圧（以降、RAM保持電圧と称す）まで電源電圧が低下することで、RAMに設定されたデータが消失する虞がある。

【0005】

このような理由で、電池を抜かれて外付けのコンデンサにチャージされた電圧によりLSIの電源電圧を供給するSTOP状態のような低消費電力状態を継続させる要求（必要性）が高まってきた。

【0006】

低消費電力状態を継続させる従来技術として特許文献1のようなものがある。特許文献1には、レジューム機能（電源を切る直前の状態をメモリへ一時的に保存し、再度電源を入れたときすぐに作業を再開できる機能）のついたコンピュータシステムにおいて、省電力のためにサスペンド状態（データやプログラムを作業時の状態のままにして動作を一時的に停止している状態）から擬似負荷で電流を流し、バッテリー電圧が閾値を下回った場合はレジューム動作を中止しサスペンド状態を維持する技術が開示されている。

10

【0007】

図9に、特許文献1に記載されているコンピュータシステム10のブロック回路図を示す。図9に示すように、コンピュータシステム10は、論理回路12と、トランジスタTと、電圧検出器20とを有する。

【0008】

論理回路12には、入力端子16を介してオペレータからのレジューム要求信号aが入力され、電圧検出器20からハイレベルまたはロウレベルの電圧検出信号bが与えられ、そして論理回路12からはトランジスタTをオン/オフさせるための制御信号が出力される。電圧検出器20には、バッテリー18が接続され、電圧検出器20からは、バッテリー18の電圧値が電圧検出器20の閾値より大きいときハイレベル信号が、バッテリー18の電圧値が閾値よりも小さいときロウレベル信号が出力される。

20

【0009】

トランジスタTについては、エミッタが接地され、ベースが抵抗R1を介して接地されるとともに抵抗R2を介して論理回路12と接続され、そしてコレクタが抵抗R3を介してバッテリー18および電源回路22に接続される。なお、電圧検出器20の閾値は、レジューム時に必要な電流がバッテリー18から取り出されたとき電源回路22が電源電圧Vcを安定して供給できる最小のバッテリー電圧値に設定される。

30

【0010】

また、論理回路14（図9中不図示）には論理回路12の出力信号hおよび電圧検出信号bが入力され、これらの信号に基づいて処理された信号jが、レジューム信号として出力端子24から出力される。

【0011】

コンピュータシステム10は、入力端子16にレジューム要求aが与えられると、トランジスタTにハイレベルが与えられ、トランジスタTが導通する。バッテリー（電池）電圧が所定以下のときには、電圧検出器20からの電圧検出信号bはロウレベルになるため、レジューム信号hが出力せず、レジューム動作が中止される。

40

【0012】

このように、特許文献1のコンピュータシステムは、バッテリー（電池）で駆動され、かつレジューム機能を有するコンピュータシステムにおいて、サスペンド状態のときにレジューム要求を入力する入力手段、バッテリーの出力電圧を閾値と比較する比較手段、レジューム要求が入力されたとき、出力電圧が閾値以上であれば擬似負荷を前記バッテリーに接続し、出力電圧が閾値を下回っていれば擬似負荷のバッテリーへの接続を禁止する接続制御手段、および擬似負荷がバッテリーに接続されたとき、出力電圧が閾値以上であればレジュームを実行し、出力電圧が閾値を下回ればサスペンド状態を継続するレジューム制御手段を備えることを特徴とする。

50

## 【先行技術文献】

## 【特許文献】

【0013】

【特許文献1】特開平8-30349号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

【0014】

しかし、上述した従来技術は、電源電圧を電圧検出器の閾値でしか判別せず、電源電圧が電圧検出器の閾値を下回る場合は動作を停止するが、閾値を上回る場合は動作許可される構成のため、電源電圧が電池で供給されているか、コンデンサで供給されているかを判別出来ない。

10

【0015】

このため、従来技術をリモコンに適用し、電池が抜かれて電源電圧の供給がコンデンサとなった場合、リモコンの電源に接続されるコンデンサは47 $\mu$ F程度であるので、電圧検出器の閾値を上回ることによって動作許可されると、CPU及び周辺回路が動作状態になる。このことにより、LSIに大電流が流れ、コンデンサにより供給される電源電圧は急激に低下し、LSIの最低動作電圧以下となり、LSIの周辺回路が誤動作してRAMの値が書き換えられてしまう問題が起きる。

【0016】

また、RAM保持電圧以下に電源電圧が低下することでRAMに設定されたデータが消失してしまう問題が起きる。

20

【0017】

これは、リモコンの動作状態では、電圧検出回路により電圧降下を検出させパワーオンクリア（以降、POCと称す）を出力させ、リセットをかけて動作停止させようとしても、赤外線LEDが点灯することでピークの消費電流が0.5A~1A程度となり、POC出力する前に、電源電圧が急激に低下し最低動作電圧以下となり誤動作してしまうからである。

【0018】

ここで、最低動作電圧とPOC電圧とRAM保持電圧の電圧レベルの関係について記述する。電圧の関係は「POC電圧>最低動作電圧>RAM保持電圧」になり、最低動作電圧に到達する前にPOC発生によりリセットをかけ動作を停止させ、RAMの値が保持し、正常動作する限界が最低動作電圧であるため、前述の関係になっている。

30

【0019】

具体的な数値を用いて動作説明する。LSIの最低動作電圧が1.4V、RAM保持電圧が0.9V、POC電圧2.0V、動作停止するための電圧検出回路の閾値電圧を2.1V、擬似負荷5（400mA）、擬似負荷のON時間100 $\mu$ S、電池が抜かれて47 $\mu$ Fのコンデンサにて3.2Vの電圧が充電されている状態で計算する。

【0020】

擬似負荷がONする前にコンデンサは3.2Vの電圧が充電されており、擬似負荷5（400mA）、ON時間100 $\mu$ Sとしてコンデンサに充電された電圧を計算すると、2.16Vとなり、動作停止する閾値電圧2.1Vより高い電圧のため動作許可される。動作許可により動作開始するが、消費電流によりやがてLSIの電源電圧が低下してPOC出力する事態になる。しかし、POC出力までの反応時間が200 $\mu$ Sであるとする、この間にさらに0.85Vまで低下することになる。よって、LSIの最低動作電圧1.4V、RAM保持電圧0.9Vより低下し、LSIの周辺回路が誤動作してRAMの値が書き換えられてしまう事態や、RAM保持電圧まで電源電圧が低下することでRAMに設定されたデータが消失してしまう事態に陥ってしまう。

40

## 【課題を解決するための手段】

【0021】

本発明は、通常動作より低い消費電力状態である低消費電力モードを有する半導体集積

50

回路であって、前記低消費電力モード状態時に、電源電圧レベルを検出する検出手段と、前記検出した電源電圧レベルを記憶する記憶手段と、前記通常動作時よりも小さい電流を流すことで、前記電源電圧を低下させる擬似負荷手段と、前記擬似負荷手段により電流を流す前に前記記憶手段で記憶した第1の電圧レベルに応じて前記検出手段の検出レベルを第2の電圧レベルに切り換える切換え手段と、前記擬似負荷手段により電流を流すことにより低下した前記電源電圧が、前記第2の電圧レベルとなるかを判定し、前記低消費電力モードを解除するか否かの制御を行う制御手段と、を有する半導体集積回路である。

#### 【0022】

本発明では、擬似負荷手段にて電流を流す前の電源電圧範囲を検出し、検出した電源電圧レベルに応じて検出レベルを低下させるよう変更し、通常動作電流より少ない電流で擬似負荷に電流を流し、電源電圧が上記変更検出レベルまで低下する場合には、例えば電力供給能力が小さいコンデンサ等から電源電圧が供給されていると判断することが可能となる。逆に電源電圧が上記変更検出レベルまで低下しない場合には、十分な電力供給能力を備える電池等が接続されていると判断することが可能となる。

10

#### 【発明の効果】

#### 【0023】

本発明は、半導体集積回路の電源電圧を電力供給能力が小さいコンデンサ等のから供給する場合に、電源電圧低下に伴う誤動作を防止することができる。

#### 【図面の簡単な説明】

#### 【0024】

20

【図1】実施の形態にかかる半導体集積回路のブロック構成である。

【図2】実施の形態にかかる電源電圧検出回路の構成である。

【図3】実施の形態にかかる電源電圧検出レベル切替回路の構成である。

【図4】実施の形態にかかる電圧検出レベル記憶回路の構成である。

【図5】実施の形態にかかるSTOP解除制御回路の構成である。

【図6】実施の形態にかかる電源電圧降下用擬似負荷回路の構成である。

【図7】実施の形態にかかる半導体集積回路の動作タイミングチャートである。

【図8】実施の形態にかかる電源電圧検出回路が出力する電源電圧検出出力の信号レベルの表である。

【図9】従来技術の構成である。

30

#### 【発明を実施するための形態】

#### 【0025】

発明の実施の形態

#### 【0026】

以下、本発明を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。図1に本実施の形態にかかる半導体集積回路1のブロック構成を示す。

#### 【0027】

図1に示すように、半導体集積回路1は、CPU2と、ROM3と、メモリ4と、発振器5と、割込み回路6と、低周波発振器7と、電圧検出レベル記憶回路8と、電源電圧検出レベル切替回路9と、電源電圧検出回路10と、低周波クロック制御回路11と、STOP解除制御回路12と、電源電圧降下用擬似負荷回路13とを有する。

40

#### 【0028】

半導体集積回路1の各構成要素は、通常動作時では電池が供給する電源電圧VDDで動作し、電池が抜かれた状態では、外付けのコンデンサ15が供給する電源電圧VDDで動作する。なお、電源電圧VDDがコンデンサ15で供給される場合は、コンデンサ15が蓄えている電力に限度があるため、通常動作時よりも低消費電力の後述するSTOP状態（低消費電力モード）で、動作する。

#### 【0029】

また、半導体集積回路1は、STOP状態を解除する外部のSTOP解除キー38と接続される。ストップ解除キー38は、半導体集積回路1のSTOP状態を解除する場合、

50

STOP 解除キー入力信号 S 3 8 をロウレベルとする。

【 0 0 3 0 】

メモリ 4 は、CPU 2 が演算処理するプログラムやデータ等が展開される。メモリ 4 は、揮発性記憶装置であり、最低動作電圧以下となると記憶しているデータ等の保持ができなくなる。例えば、半導体集積回路 1 が、外付けコンデンサ 1 5 が供給する電源電圧 V D D で動作するとき、コンデンサ 1 5 の供給する電源電圧 V D D が低下し、最低動作電圧以下となると記憶しているデータが破壊される可能性がある。

【 0 0 3 1 】

ROM 3 は、不揮発性記憶装置であり、プログラムやデータ等を保持する。

【 0 0 3 2 】

発振器 5 は、CPU 2、ROM 3、メモリ 4 等の通常動作時の動作クロックを生成する。

【 0 0 3 3 】

低周波発振器 7 は、STOP 状態（後述）の低周波クロック信号 CLK を生成する。

【 0 0 3 4 】

CPU 2 は、中央演算装置であり、半導体集積回路 1 のシステムを制御する。CPU 2 は、ROM 3 等から読み出されメモリ 4 に展開されるプログラムやデータに応じて演算処理を行う。また、半導体集積回路 1 のシステムを STOP 状態とする STOP 信号 S 3 6 を出力する。この STOP 信号 S 3 6 がハイレベルで STOP 状態、STOP 信号 S 3 6 がロウレベルで STOP 解除状態となる。

【 0 0 3 5 】

ここで、STOP 状態とは、半導体集積回路 1 を低消費電力モードとするため、発振器 5 を停止することで、ROM 3、メモリ 4 等の CPU 2 の周辺回路のクロック動作を停止し、且つ、低周波発振器 7 の生成する低周波クロックで CPU 2、ウォッチドックタイマ（不図示）等の最小限のシステムのみを動作させる状態とする。また、STOP 解除状態とは、この STOP 状態を解除した通常動作の状態である。

【 0 0 3 6 】

割込み回路 6 は、STOP 解除信号 S 2 3 に応じて、CPU 2 に対して STOP 解除状態とさせる割込み制御を行う。

【 0 0 3 7 】

電源電圧検出回路 1 0 は、抵抗 1 6 ~ 2 5 と、電源検出スイッチ回路 2 6 ~ 3 4 と、基準電圧回路 3 5 と、コンパレータ 3 6、3 7 とを有する。

【 0 0 3 8 】

抵抗 1 6 は、ノード N 2 5 と接地端子 G N D との間に接続される。抵抗 1 7 は、ノード N 2 5 と N 2 6 との間に接続される。抵抗 1 8 は、ノード N 2 6 と N 2 7 との間に接続される。抵抗 1 9 は、ノード N 2 7 と N 2 8 との間に接続される。抵抗 2 0 は、ノード N 2 8 と N 2 9 との間に接続される。抵抗 2 1 は、ノード N 2 9 と N 3 0 との間に接続される。抵抗 2 2 は、ノード N 3 0 と N 3 1 との間に接続される。抵抗 2 3 は、ノード N 3 1 と N 3 2 との間に接続される。抵抗 2 4 は、ノード N 3 2 と N 3 3 との間に接続される。抵抗 2 5 は、ノード N 3 3 と電源端子 V D D との間に接続される。ノード N 2 5 ~ N 3 3 で抵抗分圧される電圧を、それぞれ S 2 5 ~ S 3 3 とする。

【 0 0 3 9 】

電源検出スイッチ回路 2 6 は、ノード N 2 5 と N 3 4 との間に接続され、スイッチ ON 信号 S 5 に応じて ON 状態が制御される。電源検出スイッチ回路 2 7 は、ノード N 2 6 と N 3 4 との間に接続され、スイッチ ON 信号 S 6 に応じて ON 状態が制御される。電源検出スイッチ回路 2 8 は、ノード N 2 7 と N 3 4 との間に接続され、スイッチ ON 信号 S 7 に応じて ON 状態が制御される。電源検出スイッチ回路 2 9 は、ノード N 2 8 と N 3 4 との間に接続され、スイッチ ON 信号 S 8 に応じて ON 状態が制御される。電源検出スイッチ回路 3 0 は、ノード N 2 9 と N 3 4 との間に接続され、スイッチ ON 信号 S 9 に応じて ON 状態が制御される。電源検出スイッチ回路 3 1 は、ノード N 3 0 と N 3 4 との間に接

10

20

30

40

50

続され、スイッチON信号S10に応じてON状態が制御される。電源検出スイッチ回路32は、ノードN31とN34との間に接続され、スイッチON信号S11に応じてON状態が制御される。電源検出スイッチ回路33は、ノードN32とN34との間に接続され、スイッチON信号S12に応じてON状態が制御される。電源検出スイッチ回路34は、ノードN33とN34との間に接続され、スイッチON信号S13に応じてON状態が制御される。

【0040】

電源検出スイッチ回路26～34は、スイッチON信号S5～S13に応じて何れか1つがオン状態となる。このため、電源検出電圧S34は、オンした電源検出スイッチ回路に対応する抵抗分圧となる。例えば、電源検出スイッチ回路33がオン状態となると、電源検出電圧S34は、抵抗分圧S32となる。

10

【0041】

コンパレータ36は、ノードN34の電圧（以下、電源検出電圧と称す）と、基準電圧回路35の生成する基準電圧S35とを比較し、電源電圧検出出力S14を出力する。例えば、基準電圧S35 > 電源検出電圧S34となると、電源電圧検出出力S14はハイレベルとなる。逆に、基準電圧S35 < 電源検出電圧S34となるとロウレベル出力する。

【0042】

コンパレータ37は、抵抗分圧されたノードN33の電圧と、基準電圧回路35の生成する基準電圧S35とを比較し、POC出力S22を出力する。例えば、基準電圧S35 > ノードN33の電圧S33となると、POC出力S22はハイレベルとなる。逆に、基準電圧S35 < ノードN33の電圧S33となると、POC出力S22はロウレベルとなる。POC出力S22がハイレベルとなる場合、半導体集積回路1のシステム全体がリセット（パワーオンクリア）される。

20

【0043】

電源電圧検出レベル切替回路9は、デコード回路39と、電圧検出レベル切換えセレクタ40と、OR回路41とを有する。

【0044】

デコード回路39は、レジスタ信号S2、S3、S4に応じて、デコード回路出力信号S39～S46の何れか1つをハイレベルとして出力する。なお、これ以降、レジスタ信号S2、S3、S4を、必要に応じて（S4、S3、S2）と記載する。なお、「0」はロウレベル、「1」はハイレベルを表す。デコード回路39は、例えば、（S4、S3、S2）=（1、1、1）ではデコード回路出力信号S39、（S4、S3、S2）=（1、1、0）ではデコード回路出力信号S40、（S4、S3、S2）=（1、0、1）ではデコード回路出力信号S41、（S4、S3、S2）=（1、0、0）ではデコード回路出力信号S42、（S4、S3、S2）=（0、1、1）ではデコード回路出力信号S43、（S4、S3、S2）=（0、1、0）ではデコード回路出力信号S44、（S4、S3、S2）=（0、0、1）ではデコード回路出力信号S45、（S4、S3、S2）=（0、0、0）ではデコード回路出力信号S46をハイレベルとする。

30

【0045】

OR回路41は、デコード回路出力信号S45、S46を入力し、OR演算結果を出力する。

40

【0046】

電圧検出レベル切換えセレクタ40は、検出レベル切換え信号S18に応じて、スイッチON信号S5～S13の値を、それぞれデコード回路出力信号S39～S46の値、ロウレベル（GND）、もしくは、それぞれロウレベル、ロウレベル、デコード回路出力信号S39～S44の値、OR回路41の出力値のどちらかとして出力する。

【0047】

電圧検出レベル記憶回路8は、フリップフロップ回路42～45と、AND回路46と、インバータ回路76～81とを有する。

【0048】

50

フリップフロップ回路 4 2 は、データ入力端子 D にインバータ回路 7 9 の出力信号、クロック入力端子に低周波クロック C K L 3、リセット端子 R に S T O P 解除制御リセット信号 S 1 5 を入力し、データ出力端子 Q からレジスタ信号 S 2 を出力する。

【 0 0 4 9 】

フリップフロップ回路 4 3 は、データ入力端子 D にインバータ回路 8 0 の出力信号、クロック入力端子にレジスタ信号 S 2、リセット端子 R に S T O P 解除制御リセット信号 S 1 5 を入力し、データ出力端子 Q からレジスタ信号 S 3 を出力する。

【 0 0 5 0 】

フリップフロップ回路 4 4 は、データ入力端子 D にインバータ回路 8 1 の出力信号、クロック入力端子にレジスタ信号 S 3、リセット端子 R に S T O P 解除制御リセット信号 S 1 5 を入力し、データ出力端子 Q からレジスタ信号 S 4 を出力する。

10

【 0 0 5 1 】

フリップフロップ回路 4 5 は、データ入力端子 D にハイレベル ( 電源電圧 V D D )、クロック入力端子にインバータ回路 7 7 の出力、リセット端子 R に S T O P 解除制御リセット信号 S 1 5 を入力し、データ出力端子 Q から信号 S 4 7 を出力する。

【 0 0 5 2 】

インバータ回路 7 6 は、電源電圧検出出力 S 1 4 を入力し、その反転信号を出力する。インバータ回路 7 7 は、低周波クロック C L K 3 を入力し、その反転信号を出力する。インバータ回路 7 9 は、レジスタ信号 S 2 を入力し、その反転信号を出力する。インバータ回路 8 0 は、レジスタ信号 S 3 を入力し、その反転信号を出力する。インバータ回路 8 1 は、レジスタ信号 S 4 を入力し、その反転信号を出力する。

20

【 0 0 5 3 】

A N D 回路 4 6 は、インバータ回路 7 6 の出力と信号 S 4 7 とを入力し、演算結果をレジスタ初期値処理信号 S 1 6 として出力する。

【 0 0 5 4 】

S T O P 解除制御回路 1 2 は、フリップフロップ回路 5 5 ~ 5 9 と、A N D 回路 5 3、5 4 と、インバータ回路 7 8 とを有する。

【 0 0 5 5 】

A N D 回路 5 4 は、レジスタ初期値処理信号 S 1 6 と低周波クロック C K L 2 とを入力し、演算結果を低周波クロック C L K 4 として出力する。

30

【 0 0 5 6 】

フリップフロップ回路 5 5 は、データ入力端子 D にハイレベル ( 電源電圧 V D D )、クロック入力端子に低周波クロック C L K 4、リセット端子 R に S T O P 解除制御リセット信号 S 1 5 を入力し、データ出力端子 Q から検出レベル切替信号 S 1 8 を出力する。

【 0 0 5 7 】

フリップフロップ回路 5 6 は、データ入力端子 D に検出レベル切替信号 S 1 8、クロック入力端子に低周波クロック C K L 2、リセット端子 R に S T O P 解除制御リセット信号 S 1 5 を入力し、データ出力端子 Q から擬似負荷 O N 開始信号 S 2 0 を出力する。

【 0 0 5 8 】

フリップフロップ回路 5 7 は、データ入力端子 D に擬似負荷 O N 開始信号 S 2 0、クロック入力端子に低周波クロック C K L 2、リセット端子 R に S T O P 解除制御リセット信号 S 1 5 を入力し、データ出力端子 Q から擬似負荷 O F F 信号 S 2 1 を出力する。

40

【 0 0 5 9 】

フリップフロップ回路 5 8 は、データ入力端子 D に擬似負荷 O F F 信号 S 2 1、クロック入力端子に低周波クロック C K L 2、リセット端子 R に S T O P 解除制御リセット信号 S 1 5 を入力し、データ出力端子 Q から信号 S 4 9 を出力する。

【 0 0 6 0 】

フリップフロップ回路 5 9 は、データ入力端子 D に信号 S 4 9、クロック入力端子に低周波クロック C K L 2、リセット端子 R に S T O P 解除制御リセット信号 S 1 5 を入力し、データ出力端子 Q から判定処理終了信号 S 1 7 を出力する。

50

## 【0061】

インバータ回路78は、電源電圧検出出力S14を入力し、その反転信号を出力する。

## 【0062】

AND回路53は、インバータ回路78の出力信号と信号S49とを入力し、演算結果をSTOP解除信号S23として出力する。

## 【0063】

電源電圧降下用擬似負荷回路13は、AND回路60と、抵抗61と、NPNトランジスタ62と、インバータ回路82とを有する。

## 【0064】

インバータ回路82は、擬似負荷OFF信号S21を入力し、その反転信号を出力する。

10

## 【0065】

AND回路60は、インバータ回路82の出力信号と擬似負荷ON開始信号S20とを入力し、演算結果をNPNトランジスタ62のベースに出力する。

## 【0066】

抵抗61は、電源配線S24とNPNトランジスタ62のコレクタに接続される。なお、電源配線S24からは、コンデンサ15の電源電圧VDDが供給される。

## 【0067】

NPNトランジスタ62は、コレクタが抵抗61、エミッタが接地端子GNDに接続され、ベースにAND回路60の出力が入力される。NPNトランジスタ62がオンすると、抵抗61に電流が流れる。このとき、電源電圧VDDがコンデンサ15のみから供給されている場合、抵抗61、NPNトランジスタ62に流れる電流により、電源電圧VDDが低下する。このNPNトランジスタ62がオン時に流れる電流は、抵抗61の抵抗値に応じて調整可能である。半導体集積回路1が通常動作時に電源電圧VDDから流れる電流よりも十分小さい電流値に制限されるように調整される。

20

## 【0068】

低周波クロック制御回路11は、CPU2からのSTOP信号S36がハイレベルとなった場合、STOP解除制御リセット信号S15をロウレベルとする。また、判定処理終了信号S17がハイレベルとなった場合、STOP解除制御リセット信号S15をハイレベルとする。なお、STOP解除制御リセット信号S15がハイレベルの場合は、電圧検出レベル記憶回路8、STOP解除制御回路12のフリップフロップ回路42~45、55~59のリセット端子に入力され、フリップフロップ回路42~45、55~59が初期化され、それらフリップフロップ回路の出力がロウレベルとなる。

30

## 【0069】

また、低周波クロック制御回路11は、STOP解除キーラッチを有する。STOP解除キーラッチは、ストップ解除キー38が生成するSTOP解除キー入力信号S38のハイレベルからロウレベルへの立ち下がりトリガに、STOP解除キー入力信号S38をラッチする。

## 【0070】

そして、低周波クロック制御回路11は、このSTOP解除キー入力信号S38をラッチした信号に応じた信号と、低周波発振器7からの低周波クロックCLKで同期をとった信号と、STOP信号S36とをAND演算し、低周波クロックCLK2を生成する。なお、上記STOP解除キー入力信号S38をラッチした信号に応じた信号とは、例えば、STOP解除キー入力信号S38をラッチした信号をインバータにより、反転した信号である。

40

## 【0071】

また、低周波クロック制御回路11は、低周波クロックCLK2と、検出レベル切換え信号S18を反転した信号とを、AND演算し、低周波クロックCLK3を生成する。例えば、検出レベル切換え信号S18がロウレベルのとき、低周波クロックCLK3が生成され、検出レベル切換え信号S18がハイレベルのとき、低周波クロックCLK3が生成

50

されずロウレベルに固定される。

【 0 0 7 2 】

次に、上記半導体集積回路 1 の動作を説明する。図 7 に半導体集積回路 1 の動作タイミングチャートの一例を示す。この動作タイミングチャートの例では、電源検出スイッチ回路 2 9 がオンする電源電圧 V D D 範囲の場合において、電源電圧降下用擬似負荷回路 1 3 によって電源電圧低下の判定がなされたときに S T O P 解除しない場合を示す。なお、本例の前提として電源電圧 V D D を 3 . 1 V とする。

【 0 0 7 3 】

また、図 8 に、電源電圧 V D D 範囲と抵抗分圧 S 2 5 ~ S 3 3 の選択による電源電圧検出回路 1 0 が出力する電源電圧検出出力 S 1 4 の信号レベルの表を示す。なお、図 8 では、電源電圧検出出力 S 1 4 がロウレベル出力される場合は " L "、ハイレベル出力される場合は " H " と記載する。

10

【 0 0 7 4 】

図 7 の時刻 T 1 は、S T O P 状態に入る前の S T O P 解除状態である。時刻 T 2 は、S T O P 状態である。時刻 T 3 は、S T O P 解除キーがラッチされた状態と電源検出レベルの電源検出スイッチ回路 2 6 が O N の状態である。時刻 T 4 は、電源検出レベルの電源検出スイッチ回路 2 7 が O N の状態である。時刻 T 5 は、電源検出レベルの電源検出スイッチ回路 2 8 が O N の状態である。時刻 T 6 は、電源検出スイッチ回路 2 8 の O N 時に電源電圧検出出力 S 1 4 がロウレベルに変化したことで、擬似負荷を O N する前の電源電圧 V D D 範囲を記憶した状態と電源検出スイッチ回路 2 8 から電源検出スイッチ回路 3 0 を O N にし、検出レベルを低下した状態である。時刻 T 7 は、擬似負荷を O N し始めた状態である。時刻 T 8 は、擬似負荷を O F F した状態である。時刻 T 9 は、電源電圧 V D D 検出レベルに応じて判定し、S T O P 解除信号を出力する状態である。時刻 T 1 0 は、電源電圧 V D D の判定が終了し、保持されたフリップフロップ回路にリセットをかけ、S T O P 解除キーを待つ状態である。

20

【 0 0 7 5 】

まず、S T O P 状態に入る前の S T O P 解除状態の時刻 T 1 について説明する。この時点では、C P U 2 からの S T O P 信号 S 3 6 がロウレベルであり、S T O P 解除制御リセット信号 S 1 5 がハイレベルになる。ハイレベルの S T O P 解除制御リセット信号 S 1 5 が、電圧検出レベル記憶回路 8、S T O P 解除制御回路 1 2 のフリップフロップ回路 4 2 ~ 4 5、5 5 ~ 5 9 のリセット端子に入力され、フリップフロップ回路 4 2 ~ 4 5、5 5 ~ 5 9 が初期化される。このため、レジスタ信号 S 2、S 3、S 4、信号 S 4 7、検出レベル切換え信号 S 1 8、擬似負荷 O N 開始信号 S 2 0、擬似負荷 O F F 信号 S 2 1、擬似負荷 O N 後の検出レベル判定開始信号 S 4 9、判定処理終了信号 S 1 7 はロウレベルとなる。

30

【 0 0 7 6 】

また、上記のようにレジスタ信号 ( S 4、S 3、S 2 ) = ( 0、0、0 ) となるため、電源電圧検出レベル切替回路 9 のデコード回路 3 9 が出力するデコード回路出力信号 S 4 6 のみがハイレベルになる。検出レベル切換え信号 S 1 8 がロウレベルであり、電圧検出レベル切換えセクタ 4 0 から出力されるスイッチ O N 信号 S 1 2 のみがハイレベルになり、電源電圧検出回路 1 0 の電源検出スイッチ回路 3 3 のみが O N する。

40

【 0 0 7 7 】

ここで、抵抗 1 6 ~ 2 5 の抵抗分圧 S 2 5 ~ S 3 3 を具体的な電源電圧 V D D を元に説明する。

【 0 0 7 8 】

上述したように電源検出スイッチ回路 3 3 のみが O N される状態では、抵抗分圧 S 3 2 が選択され電源検出電圧 S 3 4 となり、電源電圧 V D D が 3 . 1 V なので、図 8 に示すように、電源電圧検出出力 S 1 4 はロウレベルになる。

【 0 0 7 9 】

そして、ロウレベルの電源電圧検出出力 S 1 4 が、電圧検出レベル記憶回路 8 のインバ

50

ータ回路76に入力され、その出力はハイレベルになる。AND回路46は、ハイレベルのインバータ回路76の出力、ロウレベルのフリップフロップ回路45の出力信号S47を入力し、ロウレベルのレジスタ初期値処理信号S16を出力する。

【0080】

低周波クロック制御回路11からの低周波クロックCLK2、CLK3はSTOP状態で出力され、時刻T1のタイミングではロウレベルとなる。また、STOP解除制御回路12の2入力AND回路53に入力する擬似負荷ON後の検出レベル判定開始信号S49がロウレベルのため、STOP解除信号S23はロウレベルとなる。

【0081】

電源電圧降下用擬似負荷回路13のAND回路60に入力される擬似負荷ON開始信号S20がロウレベルであるため、AND回路60の出力である擬似負荷ON信号S50もロウレベルとなる。NPNトランジスタ62は、擬似負荷ON信号S50がロウレベルのため、電流が流れていないOFF状態である。

【0082】

次に、STOP状態となった時刻T2の状態について説明する。まず、時刻T2前に、CPU2からハイレベルのSTOP信号S36が出力され半導体集積回路1はSTOP状態になる。そして、STOP解除制御リセット信号S15がハイレベルからロウレベルになる。このSTOP状態において、電池が抜き取られて、半導体集積回路1は、コンデンサ15のみによる電源電圧VDDで動作する(図1のブロック図の状態)。

【0083】

この状態でSTOP解除キー38のスイッチが押され、STOP解除キー入力信号S38がハイレベルからロウレベルに変化する。STOP解除キー38は、通常ハイレベルにプルアップされているものとする。なお、従来技術では、コンデンサにより電源電圧を供給しているにもかかわらず、STOP解除キーによりSTOP状態を解除したような場合に、コンデンサが供給する電源電圧が低下し、装置が誤動作を引き起こす問題が発生していた。

【0084】

そして、STOP解除キー入力信号S38のロウレベルへの立ち下がりトリガにしてSTOP解除キー入力信号S38をラッチする。時刻T2のタイミングで、STOP解除キー入力信号S38をラッチした信号に応じた信号と、低周波クロックCLKで同期をとった信号と、STOP信号S36とをAND演算することで作成される低周波クロックCLK2が、低周波クロック制御回路11から出力される。

【0085】

また、低周波クロックCLK2と、検出レベル切換え信号S18を反転した信号とを、AND演算することで作成される低周波クロックCLK3が、低周波クロック制御回路11から出力される。

【0086】

この低周波クロックCLK3の立ち上がりで、時刻T2に電圧検出レベル記憶回路8のフリップフロップ回路42は、インバータ回路79が出力するレジスタ信号S2の反転信号をラッチする。このため、出力のレジスタ信号S2が、ロウレベルからハイレベルに遷移する。なお、レジスタ信号S2は、この後、低周波クロックCLK2の立ち上がり毎に出力レベルが反転する。

【0087】

フリップフロップ回路43は、レジスタ信号S2の立ち上がりで、インバータ回路80が出力するレジスタ信号S3の反転信号をラッチする。このため、出力のレジスタ信号S3が、ロウレベルからハイレベルに遷移する。なお、レジスタ信号S3は、この後、レジスタ信号S2の立ち上がり毎に出力レベルが反転する。つまり、低周波クロックCLK2の立ち上がり2回毎に出力レベルが反転する。

【0088】

フリップフロップ回路44は、レジスタ信号S3の立ち上がりで、インバータ回路81

10

20

30

40

50

が出力するレジスタ信号 S 4 の反転信号をラッチする。このため、出力のレジスタ信号 S 4 が、ロウレベルからハイレベルに遷移する。なお、レジスタ信号 S 4 は、この後、レジスタ信号 S 3 の立ち上がり毎に出力レベルが反転する。つまり、低周波クロック C L K 2 の立ち上がり 4 回毎に出力レベルが反転する。

【 0 0 8 9 】

時刻 T 2 において、( S 4 、 S 3 、 S 2 ) = ( 1 、 1 、 1 ) になり、電源電圧検出レベル切替回路 9 のデコード回路 3 9 の出力信号はデコード回路出力信号 S 3 9 のみがハイレベルになる。このため、電圧検出レベル切換えセレクタ 4 0 から出力されるスイッチ ON 信号 S 5 のみがハイレベルになる。

【 0 0 9 0 】

そして、スイッチ ON 信号 S 5 のみがハイレベルになることから、電源電圧検出回路 1 0 の電源検出スイッチ回路 2 6 のみが ON し、抵抗分圧 S 2 5 が選択される。ここで、電源電圧 V D D が 3 . 1 V であるので、図 8 より電源電圧検出出力 S 1 4 はロウレベルからハイレベルに遷移する。

【 0 0 9 1 】

電圧検出レベル記憶回路 8 のフリップフロップ回路 4 5 は、クロック入力端子にインバータ回路 7 7 を経由して低周波クロック C L K 3 を入力する。このため、時刻 T 2 のタイミングでは、フリップフロップ回路 4 5 は、クロック入力端子に立ち下りのクロックが入力され、データ入力端子 D のハイレベルを取り込まず、出力信号 S 4 7 はロウレベルのままとなる。よって、時刻 T 2 のタイミングで、電源電圧検出出力 S 1 4 がロウレベルで出力される期間のレジスタ初期値処理信号 S 1 6 のハイレベルへの変化を止める。

【 0 0 9 2 】

そして、時刻 T 2 のタイミングより低周波クロック C L K の半クロック後で、インバータ回路 7 7 を介して、フリップフロップ回路 4 5 のクロック入力端子に立ち上がり入力され、フリップフロップ回路 4 5 はハイレベルのデータを取り込む。このため、信号 S 4 7 はロウレベルからハイレベルに遷移する。この信号 S 4 7 と、インバータ回路 7 6 の出力とを AND 演算する AND 回路 4 6 から出力されるレジスタ初期値処理信号 S 1 6 は、圧検出出力 S 1 4 がハイレベルからロウレベルに遷移するまで、ロウレベルのままとなる。

【 0 0 9 3 】

次に、電源検出レベルの電源検出スイッチ回路 2 6 が ON 状態の時刻 T 3 について説明する。

【 0 0 9 4 】

時刻 T 3 のタイミングで、電圧検出レベル記憶回路 8 のフリップフロップ回路 4 2 に入力する低周波クロック C L K 3 が立ち上がり、インバータ回路 7 9 が出力するロウレベルのデータをラッチする。このため、レジスタ信号 S 2 が、ハイレベルからロウレベルに遷移し、( S 4 、 S 3 、 S 2 ) = ( 1 、 1 、 0 ) になる。

【 0 0 9 5 】

これにより、電源電圧検出レベル切替回路 9 のデコード回路 3 9 の出力信号はデコード回路出力信号 S 4 0 のみがハイレベルになる。このため、電圧検出レベル切換えセレクタ 4 0 から出力されるスイッチ ON 信号 S 6 のみがハイレベルになる。

【 0 0 9 6 】

そして、スイッチ ON 信号 S 6 のみがハイレベルになることから、電源電圧検出回路 1 0 の電源検出スイッチ回路 2 7 のみが ON し、抵抗分圧 S 2 6 が選択される。ここで、電源電圧 V D D が 3 . 1 V であるので、図 8 より電源電圧検出出力 S 1 4 はハイレベルのままのため、レジスタ初期値処理信号 S 1 6 もロウレベルのままになる。

【 0 0 9 7 】

次に、電源検出レベルの電源検出スイッチ回路 2 7 が ON 状態の時刻 T 4 について説明する。

【 0 0 9 8 】

時刻 T 4 のタイミングでもフリップフロップ回路 4 2 に入力する低周波クロック C L K

10

20

30

40

50

3が立ち上がり、インバータ回路79が出力するハイレベルのデータをラッチする。このため、レジスタ信号S2がロウレベルからハイレベルに遷移し、フリップフロップ回路43が、インバータ回路79が出力するロウレベルのデータをラッチする。このため、(S4、S3、S2)=(1、0、1)になり、電源電圧検出レベル切替回路9のデコード回路39の出力信号はデコード回路出力信号S41のみがハイレベルになる。このため、電圧検出レベル切換えセクタ40から出力されるスイッチON信号S7のみがハイレベルになる。

**【0099】**

そして、スイッチON信号S7のみがハイレベルになることから、電源電圧検出回路10の電源検出スイッチ回路28のみがONし、抵抗分圧S27が選択される。ここで、電源電圧VDDが3.1Vであるので、図8より電源電圧検出出力S14はハイレベルのままのため、レジスタ初期値処理信号S16もロウレベルのままになる。

10

**【0100】**

次に、電源検出レベルの電源検出スイッチ回路28がON状態の時刻T5について説明する。

**【0101】**

時刻T5のタイミングでもフリップフロップ回路42に入力する低周波クロックCLK3が立ち上がり、インバータ回路79が出力するロウレベルのデータをラッチする。このため、レジスタ信号S2が、ハイレベルからロウレベルに遷移し、(S4、S3、S2)=(1、0、0)になる。

20

**【0102】**

これにより、電源電圧検出レベル切替回路9のデコード回路39の出力信号はデコード回路出力信号S42のみがハイレベルになる。このため、電圧検出レベル切換えセクタ40から出力されるスイッチON信号S8のみがハイレベルになる。

**【0103】**

そして、スイッチON信号S8のみがハイレベルになることから、電源電圧検出回路10の電源検出スイッチ回路29のみがONし、抵抗分圧S28が選択される。ここで、電源電圧VDDが3.1Vであるので、図8より電源電圧検出出力S14はハイレベルからロウレベルに遷移する。

**【0104】**

次に、電源検出スイッチ回路28のON状態時に電源電圧検出出力S14がロウレベルに変化したことで擬似負荷をONする前の電源電圧VDD範囲を記憶した状態と、電源検出スイッチ回路30をONし検出レベルを低下した状態の時刻T6について説明する。なお、この時刻T6は、上述した電源電圧検出出力S14がハイレベルからロウレベルに遷移したタイミングである。

30

**【0105】**

電源電圧検出出力S14のロウレベルになり、AND回路46が出力するレジスタ初期値処理信号S16がロウレベルからハイレベルに遷移する。そして、そのレジスタ初期値処理信号S16が、STOP解除制御回路12のAND回路54に入力される。AND回路54は、一方の入力に低周波クロックCLK2を入力しているため、レジスタ初期値処理信号S16がハイレベルに遷移した時刻T6のタイミングで、低周波クロックCLK4を出力する。

40

**【0106】**

この低周波クロックCLK4がフリップフロップ回路55のクロック入力端子に入力され、低周波クロックCLK4の立ち上がりのタイミングで、フリップフロップ回路55がハイレベルのデータをラッチする。このため、フリップフロップ回路55の出力である検出レベル切換え信号S18がロウレベルからハイレベルに遷移する。検出レベル切換え信号S18がハイレベルになることにより、低周波クロック制御回路11から出力される低周波クロックCLK3はロウレベルに固定される。

**【0107】**

50

低周波クロックCLK3がロウレベルに固定されると、電圧検出レベル記憶回路8のフリップフロップ回路42から出力されるレジスタ信号S2の値も固定される。更に、フリップフロップ回路43から出力されるレジスタ信号S3の値、フリップフロップ回路44から出力されるレジスタ信号S4の値も固定され、 $(S4, S3, S2) = (1, 0, 0)$ となる。この状態が、電源電圧降下用擬似負荷回路13の擬似負荷で電流を流す前の電源電圧VDDの範囲を検出し、記憶した状態である。

【0108】

そして、 $(S4, S3, S2) = (1, 0, 0)$ が固定されデコード回路出力信号S42のみがハイレベルの状態、検出レベル切換え信号S18がハイレベルとなることから、電圧検出レベル切換えセクタ40のセクタが切り替わる。このため、電圧検出レベル切換えセクタ40から出力されるスイッチON信号S10のみがハイレベルの状態に切り替わる。そして、スイッチON信号S10により、電源検出スイッチ回路31がONし、抵抗分圧S30が選択される。

10

【0109】

上記抵抗分圧S30が選択されることになり図8より、電源電圧検出出力S14がロウレベルの限界電圧は「 $2.8V < VDD < 2.6V$ 」になる。この状態が、擬似負荷で電流を流した後に電源電圧VDDが低下するか判断するための、電源電圧VDDを降下させる前に記憶した電源電圧レベルに応じて低下させた変更レベルになる。

【0110】

次に、擬似負荷をONし始めた状態の時刻T7について説明する。

20

【0111】

STOP解除制御回路12において、時刻T7のタイミングで、低周波クロックCLK2の立ち上がりにより、検出レベル切換え信号S18のハイレベルをフリップフロップ回路56がラッチする。このため、擬似負荷ON開始信号S20がロウレベルからハイレベルに遷移する。

【0112】

擬似負荷ON開始信号S20がロウレベルからハイレベルに遷移することで、電源電圧降下用擬似負荷回路13のAND回路60の出力である擬似負荷ON信号S50がハイレベルになりNPNトランジスタ62がONする。このため、電源配線S24に接続された抵抗61により制限された電流が流れる。

30

【0113】

次に、擬似負荷をOFFした状態の時刻T8について説明する。

【0114】

時刻T8のタイミングで、擬似負荷ON開始信号S20のハイレベルをフリップフロップ回路57がラッチする。このため、擬似負荷OFF信号S21がロウレベルからハイレベルに遷移する。

【0115】

擬似負荷OFF信号S21がロウレベルからハイレベル遷移することで、電源電圧降下用擬似負荷回路13のAND回路60の出力である擬似負荷ON信号S50がロウレベルになることでNPNトランジスタ62がOFFし、電流を流すことを止める。

40

【0116】

ここで、半導体集積回路1がコンデンサ15にて供給された電圧のみで動作しているため、電源電圧VDDが3.1Vから電圧が低下する。そして、時刻T7～T8の期間で、電源電圧VDDが「 $2.8V < VDD < 2.6V$ 」まで低下したとき、電源電圧検出出力S14がハイレベルになる。そして、この時点でSTOP解除制御回路12のAND回路53に inputsする擬似負荷ON後の検出レベル判定開始信号S49がロウレベルのため、STOP解除信号S23はロウレベルになる。

【0117】

次に、電源電圧検出レベルに応じて判定し、STOP解除信号S23を出力する状態の時刻T9について説明する。

50

## 【 0 1 1 8 】

時刻 T 9 のタイミングで、擬似負荷 OFF 信号 S 2 1 のハイレベルを、フリップフロップ回路 5 8 がラッチする。このため、擬似負荷 ON 後の検出レベル判定開始信号 S 4 9 がロウレベルからハイレベルに遷移する。

## 【 0 1 1 9 】

電源電圧検出出力 S 1 4 がハイレベルのため、擬似負荷 ON 後の検出レベル判定開始信号 S 4 9 がロウレベルからハイレベルに遷移することで、AND 回路 5 3 の出力である STOP 解除信号 S 2 3 は、ロウレベルのままとなる。このため、割込み回路 6 に対して割り込み動作を発生させず、CPU 2 からの STOP 信号 S 3 6 がハイレベルを保持し、STOP 解除しない。

10

## 【 0 1 2 0 】

これは低下させた変更検出レベルまで電源電圧 V D D が低下したことで、電源電圧 V D D をコンデンサ 1 5 のみで供給していると判断し、STOP 解除を行わない制御を行うためである。

## 【 0 1 2 1 】

次に、電源電圧 V D D の判定が終了し、保持されたフリップフロップ回路にリセットをかけ、STOP 解除キーを待つ状態の時刻 T 1 0 について説明する。

## 【 0 1 2 2 】

時刻 T 1 0 のタイミングで、擬似負荷 ON 後の検出レベル判定開始信号 S 4 9 のハイレベルをフリップフロップ回路 5 9 がラッチする。このため、判定処理終了信号 S 1 7 がロウレベルからハイレベルに遷移する。

20

## 【 0 1 2 3 】

判定処理終了信号 S 1 7 がロウレベルからハイレベルに遷移するため、低周波クロック制御回路 1 1 の出力の STOP 解除制御リセット信号 S 1 5 はハイレベルになる。STOP 解除制御リセット信号 S 1 5 がハイレベルになりフリップフロップ回路 4 2 ~ 4 4、5 5 ~ 5 9 が、リセットされて、初期化され STOP 解除待ちの状態にもどる。

## 【 0 1 2 4 】

尚、時刻 T 7 ~ T 8 の期間、擬似負荷 ON 後も「 $2.8V < V D D < 2.6V$ 」まで電源電圧 V D D が低下しない場合は、電源電圧検出出力 S 1 4 はロウレベルである。そして、擬似負荷 ON 後の検出レベル判定開始信号 S 4 9 がハイレベルになることで、STOP 解除信号 S 2 3 はハイレベルになる。割込み回路 6 にハイレベルの STOP 解除信号 S 2 3 が入力され、CPU 2 からの STOP 信号 S 3 6 がロウレベルになり、STOP 状態を解除する。

30

## 【 0 1 2 5 】

これは低下させた変更検出レベルまで電源電圧 V D D が低下しないことで、電源電圧 V D D をコンデンサ 1 5 のみで供給していない状態（電池が接続されている状態）であると判断し、STOP 解除を行う制御を行うためである。

## 【 0 1 2 6 】

また、擬似負荷で電流を流す前の電源電圧 V D D が最初から低い場合、例えば電源電圧 V D D が 2.3V の場合は P O C（パワーオンクリア）が発生する電圧 2.0V に近いいため、擬似負荷で電流を流すことで電源電圧 V D D が低下し、2.0V 以下（但し、半導体集積回路 1 の最低動作電圧より高いとする）になり P O C 出力 S 2 2 をハイレベルにする。P O C 出力 S 2 2 をハイレベルにすることで、半導体集積回路 1 内部の CPU 2 と周辺回路が初期化され、発振器 5、低周波発振器 7 が停止状態になり、メモリ 4 はアクセスが停止し、揮発メモリの R A M はデータ保持されている状態（以降リセット状態と称する）となる。

40

## 【 0 1 2 7 】

ここで、擬似負荷で電流を流した後に電源電圧 V D D が降下するか判断する検出レベルの設定の例を説明する。コンデンサ 1 5 を C とし、N P N トランジスタ 6 2 と抵抗 6 1 の合成抵抗の擬似負荷を R とし、擬似負荷で電流を流している時間を t とする。そして、擬

50

似負荷で電流を流す前の電圧レベルを  $V_0$  として、低下させる検出レベルを  $V$  とした関係式は以下ようになる。

【0128】

$$V = V_0 \times \exp(-t / (R \times C))$$

【0129】

このとき、 $t = 2 \text{ mS}$ 、 $R = 300$ 、 $V_0 = 3.1 \text{ V}$ 、 $C = 47 \mu\text{F}$  とした場合、

【0130】

$V = 3.1 \text{ V} \times \exp(-2 \text{ mS} / (300 \times 47 \mu\text{F})) = 2.69$  となり、 $V_0$  より約  $0.4 \text{ V}$  低下する。このことから、擬似負荷  $R$  で電流を流した後に電源電圧  $V_{DD}$  が低下したかを判断する検出レベルは、擬似負荷  $R$  で電流を流す前の電源電圧  $V_{DD}$  より約  $0.4 \text{ V}$  程度低い検出レベルに設定する。

10

【0131】

以上のような本実施の形態の半導体集積回路 1 は、電池が抜かれ、電源電圧  $V_{DD}$  をコンデンサ 15 から供給する場合に、電源電圧低下に伴う誤動作を防止できる効果を有する。

【0132】

これは、上述したように、擬似負荷で電流を流す前の電源電圧レベルを検出し、検出した電源電圧  $V_{DD}$  に応じて検出レベルを低下させ、その低下した検出レベルに対し、電源電圧  $V_{DD}$  が低下した場合は電源電圧  $V_{DD}$  がコンデンサにて供給されていると判断して  $STOP$  解除させないからである。

20

【0133】

従来技術では、電源電圧を電圧検出器の閾値でしか判別せず、電源電圧が電圧検出器の閾値を下回る場合は動作を停止するが、閾値を上回る場合は動作許可される構成のため、電源電圧が電池で供給されているか、コンデンサで供給されているかを判別出来なかった。このため、従来技術では、コンデンサで電源電圧が供給されているにもかかわらず、通常動作と同じ電量を消費し、それに伴う電圧の低下で、 $RAM$  等に設定されたデータが消失してしまう問題が起きていた。

【0134】

しかし、本実施の形態の半導体集積回路 1 は、上記機能により電源電圧が電池もしくはコンデンサで供給されているかを判別可能となり、コンデンサで供給されている場合は、 $STOP$  状態を解除しない。このため、従来技術で問題となっていた、電源電圧の低下が発生せず、 $RAM$  等に設定されたデータが消失してしまう問題も回避することが可能となる。

30

【0135】

更に、電池が抜き取られた状態でのメモリに記憶されているデータ保持時間を長くすることができる効果を有する。これは、電源電圧  $V_{DD}$  にコンデンサ 15 が接続されているかを判断するために擬似負荷回路に流す電流を小さくしたためである。

【0136】

なお、本発明は上記実施の形態に限られたものでなく、趣旨を逸脱しない範囲で適宜変更することが可能である。

40

【符号の説明】

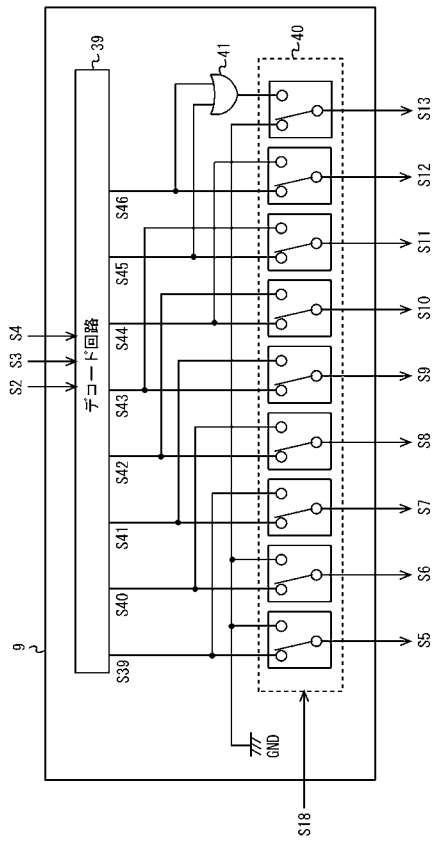
【0137】

- 1 半導体集積回路
- 2 CPU
- 3 ROM
- 4 メモリ
- 5 発振器
- 6 割込み回路
- 7 低周波発振器
- 8 電圧検出レベル記憶回路

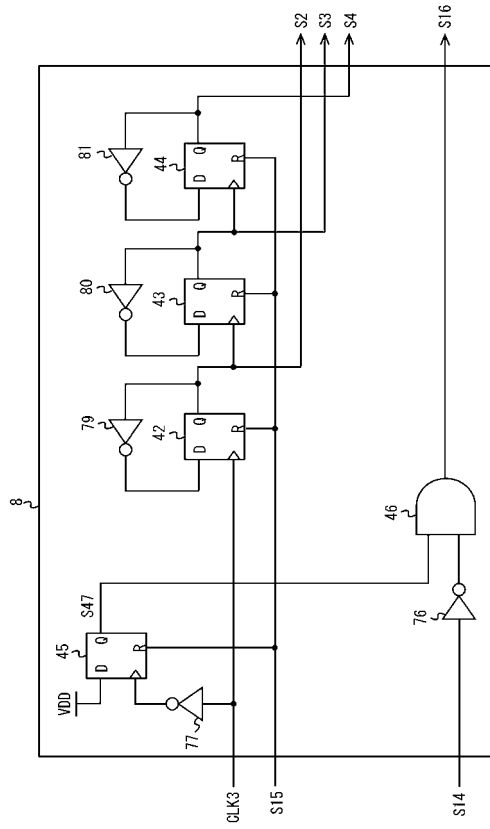
50



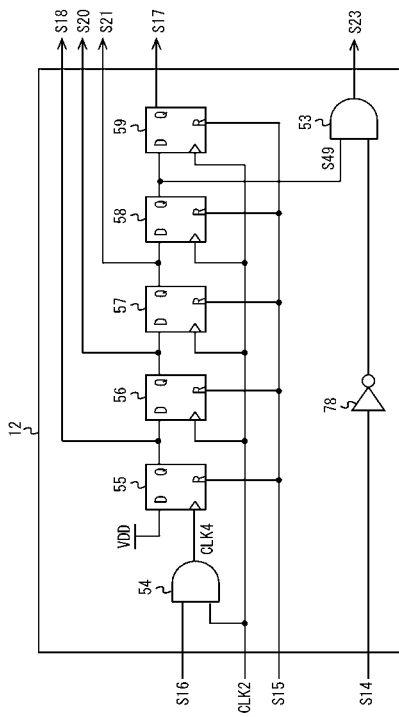
【 図 3 】



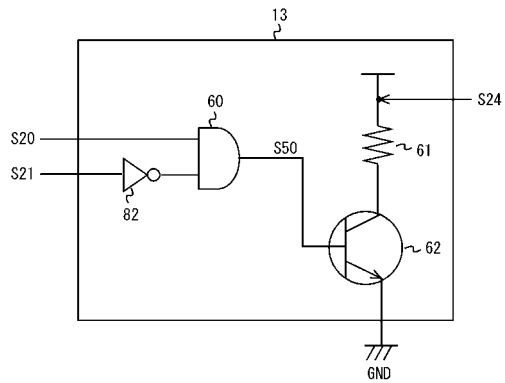
【 図 4 】



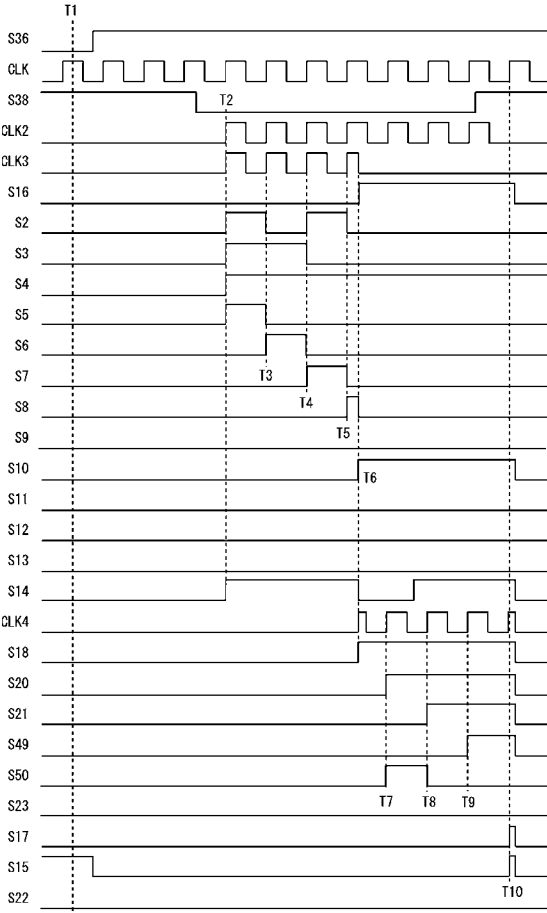
【 図 5 】



【 図 6 】



【 図 7 】



【 図 8 】

		電源検出電圧S34								
		S33	S32	S31	S30	S29	S28	S27	S26	S25
電源電圧VDD範囲	$2.0V \geq VDD$	H	H	H	H	H	H	H	H	H
	$2.2V \geq VDD > 2.0V$	L	H	H	H	H	H	H	H	H
	$2.4V \geq VDD > 2.2V$	L	L	H	H	H	H	H	H	H
	$2.6V \geq VDD > 2.4V$	L	L	L	H	H	H	H	H	H
	$2.8V \geq VDD > 2.6V$	L	L	L	L	H	H	H	H	H
	$3.0V \geq VDD > 2.8V$	L	L	L	L	L	H	H	H	H
	$3.2V \geq VDD > 3.0V$	L	L	L	L	L	L	H	H	H
	$3.4V \geq VDD > 3.2V$	L	L	L	L	L	L	L	H	H
	$3.6V \geq VDD > 3.4V$	L	L	L	L	L	L	L	L	H
	$VDD > 3.6V$	L	L	L	L	L	L	L	L	L

【 図 9 】

