(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3608514号
(P3608514)
(45)発行日　平成17年1月12日(2005.1.12)　(24)登録日　平成16年10月22日(2004.10.22)

(51)Int.Cl.[7]　F I
H01L 21/60　H01L 21/60　311W
G02F 1/1345　G02F 1/1345

請求項の数 5　(全 19 頁)

(21)出願番号　特願2001-32548(P2001-32548)
(22)出願日　平成13年2月8日(2001.2.8)
(62)分割の表示　特願平7-513716の分割
原出願日　平成6年11月9日(1994.11.9)
(65)公開番号　特開2001-255547(P2001-255547A)
(43)公開日　平成13年9月21日(2001.9.21)
審査請求日　平成13年10月22日(2001.10.22)
(31)優先権主張番号　特願平5-283694
(32)優先日　平成5年11月12日(1993.11.12)
(33)優先権主張国　日本国(JP)

前置審査

(73)特許権者　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号
(74)代理人　100095728
弁理士　上柳　雅誉
(74)代理人　100107076
弁理士　藤綱　英吉
(74)代理人　100107261
弁理士　須澤　修
(72)発明者　村松　永至
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

審査官　田中　永一

最終頁に続く

(54)【発明の名称】半導体素子の実装構造及び電子装置

(57)【特許請求の範囲】
【請求項１】
半導体素子を実装するための構造であって、
前記半導体素子を搭載した複数の回路基板を備え、
前記回路基板が、前記半導体素子に接続された入力配線及び出力配線と、前記入力配線に接続された入力端子と、前記出力配線に接続された出力端子と、前記入力端子を接続する入力バス配線と、を有し、
前記入力配線、前記入力端子、前記出力配線及び前記出力端子が、前記半導体素子が実装される側の前記回路基板の面に埋設するように設けられ、かつ、
前記入力バス配線は、前記半導体素子を介して接続される前記入力配線により形成されており、
前記入力端子を前記半導体素子の実装面と反対の面に露出させ、前記反対面に露出した前記入力端子と、隣接する他の前記回路基板の入力端子とを重ね合わせることによって、前記隣接する他の回路基板の入力端子と接続され、
複数の前記回路基板の前記入力バス配線同志が相互に接続されること
を特徴とする半導体素子の実装構造。
【請求項２】
前記回路基板が、前記出力端子を、該出力端子に対応する電子装置の端子に接続することにより、前記電子装置に実装されていることを特徴とする請求項１に記載の半導体素子の実装構造。

【請求項３】
前記回路基板が、前記半導体素子を実装した領域の前記入力配線及び出力配線を前記半導体素子実装面と反対の面に露出させる窓部を有することを特徴とする請求項１又は２に記載の半導体素子の実装構造。
【請求項４】
前記回路基板の前記出力端子が、異方性導電膜を介して前記電子装置の前記端子に接続されていることを特徴とする請求項１乃至３のいずれかに記載の半導体素子の実装構造。
【請求項５】
請求項１乃至４のいずれかに記載の半導体素子の実装構造を備えることを特徴とする電子装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、半導体素子を実装するための構造及び方法に関し、特に液晶表示装置等の電子装置に回路基板を用いて半導体素子を実装するのに適した構造及び方法に関する。また、本発明は、かかる実装構造及び方法を用いてその駆動用半導体素子を実装した液晶表示装置に関する。
【０００２】
【従来の技術】
従来より、電子装置に半導体素子と実装するために、所謂ＴＡＢ（Ｔａｐｅ　Ａｕｔｏｍａｔｅｄ　Ｂｏｎｄｉｎｇ）技術を用いて半導体素子を搭載したテープキャリアパッケージを一括接続するＴＡＢ方式や、ガラス基板の表面にパターン形成された配線に半導体素子を直接接続するＣＯＧ（Ｃｈｉｐ－ｏｎ－Ｇｌａｓｓ）方式等が知られている。
【０００３】
液晶表示装置では、マトリクス構造のＸＹ電極からなる液晶ディスプレイのパネル周辺部に、上述したＴＡＢ方式により駆動用半導体チップを接続するのが一般的である。しかしなから、この場合には、半導体素子の入力配線がＴＡＢパッケージの同一面に形成され、かつ各ＴＡＢパッケージが液晶パネルの外側に装着されるため、実装面積が非常に大きくなり、液晶表示部の周辺に大きな所謂額縁部分即ちデスエリアが形成されて、液晶表示装置全体が大型化し、相対的に表示面積が小さくなるという問題があった。
【０００４】
更に、各ＴＡＢパッケージの半導体素子に入力信号及び電源等を供給するために入力バス配線を設けた別個の駆動回路基板が必要であり、そのためにデスエリアが一層拡大されると共に、コストが増大するという問題があった。
【０００５】
【課題を解決するための手段】
本発明の半導体素子の実装構造は、半導体素子を実装するための構造であって、前記半導体素子を搭載した複数の回路基板を備え、前記回路基板が、前記半導体素子に接続された入力配線及び出力配線と、前記入力配線に接続された入力端子と、前記出力配線に接続された出力端子と、前記入力端子を接続する入力バス配線と、を有し、前記入力配線、前記入力端子、前記出力配線及び前記出力端子が、前記半導体素子が実装される側の前記回路基板の面に埋設するように設けられ、かつ、
前記入力バス配線は、前記半導体素子を介して接続される前記入力配線により形成されており、
前記入力端子を前記半導体素子の実装面と反対の面に露出させ、前記反対面に露出した前記入力端子と、隣接する他の前記回路基板の入力端子とを重ね合わせることによって、前記隣接する他の回路基板の入力端子と接続され、複数の前記回路基板の前記入力バス配線同志が相互に接続されることを特徴とする。
この本発明の半導体素子の実装構造によれば、隣接する回路基板同士を接続することによって各回路基板の半導体素子を連絡するバス配線経路が構成されるようにすることができ

る。この場合にカスケード接続が可能である。
また、前記回路基板が、前記出力端子を、該出力端子に対応する電子装置の端子に接続することにより、前記電子装置に実装されていることが好ましい。
また、前記回路基板が、前記半導体素子を実装した領域の前記入力配線及び出力配線を前記半導体素子実装面と反対の面に露出させる窓部を有することが好ましい。
また、前記回路基板の前記出力端子が、異方性導電膜を介して前記電子装置の前記端子に接続されていること好ましい。
また、本発明の電子機器は、上述のいずれかに記載の半導体素子の実装構造を備えることを特徴とする。
【０００６】
そこで、本厭出願人は、特願平５－２２３５２３号明細書に記載されるように、多層構造の回路基板を介して液晶駆動用ＬＳＩを液晶表示装置に実装する構造を提案した。第２６図及び第２７図に示すように、この積層回路基板５５は、その所定位置に駆動用ＬＳＩ５６を接続した表面に、入力配線５７、出力配線５８及び入力端子５９を形成し、その裏面に液晶パネル６０の接続端子６１に接続するための出力端子６２を形成し、かつ中間層に入力バス配線６３等を設けると共に、出力配線と出力端子とを、及び入力配線とバス配線とをそれぞれバイアホール６４を介して層間接続している。
【０００７】
これによって、ＴＡＢ基板に接続される駆動回路基板が不要になるので実装面積が小さくなり、液晶表示装置全体を小型化かつ薄型化できると共に、接続点数を少なくして信頼性の向上を図ることができる。
【０００８】
【発明が解決しようとする課題】
しかしながら、通常半導体素子１個当たり８０～数百もある多数の出力配線と出力端子とをバイアホールにより層間接続するために、製造コストが高くなり、かつ多数のバイアホールを形成するので回路基板の実装面積が多くなるという問題があった。更に、少なくとも３層以上の多層構造となるために製造工程が複雑になって製造コストが増大するだけでなく、実装後の液晶表示装置の薄型化を十分に図れない。また、加工上の困難性から、出力配線のピッチを例えば１５０μｍ以下にまでファイン化することが困難である。このため、電子機器のダウンサイジング化の要請に十分対応することができない虞がある。
【０００９】
そこで、本発明の目的は、半導体素子を搭載した回路基板においてバイアホールによる層間接続を少なくしまたは完全に排除して、実装面積を小さくし、また回路基板から入出力線、バス配線のための中間導電層を排除して薄型化を図り、コンパクトでダウンサイジング化の要請に対応できると共に、製造工程を簡単に、かつ製造コストを低減させることかできる半導体素子の実装構造及び実装方法を提供することにある。
【００１０】
また、本発明の別の目的は、液晶表示装置にその駆動用ＬＳＩを実装する場合に、液晶パネルの額縁面積即ちデスエリアを最小にして、実質的に表示面積を拡大し、ダウンサイジング化の要請に対応して装置全体の小型化・薄型化を図ることかできる液晶表示装置を提供することにある。
【００１１】
【課題を解決するための手段】
本発明の半導体素子の実装構造は、半導体素子を実装するための構造であって、前記半導体素子を搭載した回路基板を備え、前記回路基板が、前記半導体素子に接続された入力配線及び出力配線と、前記入力配線に接続された入力端子と、前記出力配線に接続された出力端子と、前記入力端子を接続する入力バス配線と、を有し、前記入力配線、前記入力端子、前記出力配線及び前記出力端子が、前記半導体素子が実装される側の前記回路基板の面に埋設するように設けられ、かつ、前記入力バス配線は、前記半導体素子を介して接続される前記入力配線により形成されており、前記回路基板を複数備え、かつ前記各回路基

板が、前記入力端子を互いに隣接する別の前記回路基板の前記入力端子に前記入力バス配線によって電気的に接続され、前記回路基板が、前記入力端子を前記半導体素子実装面と反対の面に露出させ、前記反対面に露出した前記入力端子と、隣接する別の前記回路基板の入力端子とを重ね合わせることによって、前記隣接する回路基板と接続されていることを特徴とする。この本発明の半導体素子の実装構造によれば、各回路基板は、入力配線、入力端子、出力配線及び出力端子が、半導体素子の実装面に形成され、かつ入力バス配線か、一方の入力端子と他方の入力端子の間を半導体素子の端子を経由して接続する入力配線により形成され、隣接する回路基板同士を接続することによって各回路基板の半導体素子を連絡するバス配線経路が構成されるようにすることができる。この場合にカスケード接続が可能である。

また、前記回路基板が、前記出力端子を、該出力端子に対応する電子装置の端子に接続することにより、前記電子装置に実装されていることが好ましい。

また、前記回路基板が、前記半導体素子を実装した領域の前記入力配線及び出力配線を前記半導体素子実装面と反対の面に露出させる窓部を有することが好ましい。

また、前記回路基板の前記出力端子が、異方性導電膜を介して前記電子装置の前記端子に接続されていること好ましい。

また、本発明の電子機器は、上述のいずれかに記載の半導体素子の実装構造を備えることを特徴とする。

【００１９】

上記の本発明の半導体素子の実装構造及び半導体素子の実装方法によれば、このように構成することによって、回路基板に形成されるバイアホールを排除することができ、回路基板の実装面積を小さくしかつ薄型化することができる。

【００２０】

また、上記の本発明の液晶表示装置によれば、液晶表示パネルの表示部分の外側に形成される額縁部分を縮小することができ、実質的に表示部分を拡大して、ダウンサイジング化に適したコンパクトな液晶表示装置を得ることかできる。

【００２１】

【発明の実施の形態】

図１に於いて、本発明による半導体素子の実装構造を適用した液晶表示装置１は、通常のＸＹマトリックス電極構造を有するＬＣＤセル２の周辺部に、その上辺、下辺及び左辺に沿ってそれぞれ多数の回祐基仮３が直線状に連続して接続されている。ＬＣＤセル２の上辺及び下辺に接続された回路基板３にはＸ側の液晶駆動用ＬＳＩ４が、前記ＬＣＤセルの左辺に接続された回路基板３にはＹ側の液晶駆動用ＬＳＩ４が、それぞれ１個ずつ後述するように実装されている。また、ＬＣＤセル２の左上角部及び左下角部には、Ｘ側の前記回路基板の入力バス配線とＹ側の前記回路基板の入力バス配線とを連絡接続するための中継基板５がそれぞれ配設されている。更に、ＬＣＤセル２の左下角部の中継基板５には、前記各回路基板に電線及び電力信号を供給するためのケーブル６が接続されている。

【００２２】

回路基板３は、例えばセラミックス、ガラスエポキシ樹脂、ポリイミド樹脂等通常の比較的硬質な基板材料を用いて、図２に示されるように長手方向に細長い長方形に形成されている。回路基板３の一方の面７には、その下半分の略中央位置に、同様に細長い長方形をなす１個の液晶駆動用ＬＳＩ４が長手方向に沿ってフェイスダウンボンデイングにより実装されている。当然ながら、別の参考例では、必要に応じて長方形以外の異なる形状例えば正方形に近い外形のＬＳＩを用いることができ、それに応じて回路基板３の外形を変更することかできる。また、使用条件や必要に応じて、例えば液晶表示装置１の表示内容か増大して周波数が高くなる場合等に、回路基板３に電気的グランド層を設ける必要か生じる。このような場合には、回路基板３の内部にグランド層として導電層を設けることができる。

【００２３】

回路基板３のＬＳＩ実装面即ち表面７の上半分には、その上辺に沿って長手方向にＬＳＩ

４の出力端子と同数の１組の出力端子８が、一定のピッチで直線状に形成され、かつそれぞれＬＳＩ４との間に配設された対応する出力配線９に接続されている。通常、出力端子８のピッチは約１００～２００μｍ程度であるか、その材料や成膜プロセスを適当に選択することによって、５０μｍ以下の狭ピッチに形成することも可能である。

【００２４】

回路基板３のＬＳＩ実装面７と反対側の面即ち裏面１０には、その左右両辺に沿ってそれぞれＬＳＩ４の入力端子と同数の各１組の入力端子１１が、一定のピッチで直線状に並設されている。本参考例に於いて、入力端子１１のピッチは約１００～３００μｍ程度である。更に回路基板３の表面７には、入力配線１２が、ＬＳＩ４から前記回路基板の左右各辺に向けて対応する入力端子１１の位置まで延長するようにパターン形成されている。各入力端子１１は、対応する入力配線１２とそれぞれバイアホール１３を介して接続され、これによりＬＳＩ４に接続されている。本参考例に於いて、バイアホール１３の直径は１００μｍであるが、必要に応じて適当に変更することができる。更に、回路基板３の裏面１０には左辺の入力端子１１と右辺の入力端子１１とを相互に接続する入力バス配線１４がパターン形成されている。

【００２５】

本参考例では、図示されるように、左右２組の入力端子力１１が、それぞれ入力配線１２を介して前記ＬＳＩの入力端子に接続されている。従って、回路基板３の左辺の入力端子１１と右辺の入力端子１１とが、前記各ＬＳＩの入力端子を経由して入力配線１２によって相互に接続されるので、裏面１０の入力バス配線１４に加えて、それと並行に入力配線１２からなる第２の入力バス配線がＬＳＩ実装面７に設けられることになる。これにより、回路基板３全体として入力バス配線の抵抗値を小さくすることができる。

【００２６】

また、ＬＳＩ４が特に第２図のように細長いスリムタイプの場合には、内部が複数に例えば左右にブロック分けされ、かつブロック毎に別個にＬＳＩ入力端子を設けることがある。このような場合、各ブロックの前記ＬＳＩ入力端子は、左右いずれか近い方の入力端子１１と入力配線１２を介して接続され、従って同じ信号が左右から別個に供給される。また、本参考例によれば、左辺の入力端子１１から左辺側の入力配線１２を介してＬＳＩ４に接続し、かつその出力を右辺側の入力配線１２を介して右辺の入力端子１１に接続することによって、隣接する左右の回路基板のＬＳＩを直列に連結するカスケード接続に適用することができる。

【００２７】

実際には、これらの参考例を、使用する回路基板やＬＳＩの構成等要求に応じて適当に組み合わせることができる。例えば、ＬＳＩ４の内部が部分的に例えば電源系統がブロック分けされて、一部の信号が左右の入力端子及び入力配線から別個に入力され、他の一部の信号は上述したカスケード接続により、例えば右側の入力端子及び入力配線を介して隣接する回路基板のＬＳＩに返信され、かつ残りの信号がＬＳＩの入力端子を経由して接続される左右の入力配線からなる入力バス配線を介して送信されるように構成することも可能である。

【００２８】

これらの配線９、１２、１４及び端子８、１１は、Ａｕ単体により、またはＡｇＰｄ、Ａｇ、Ｃｕをベース材料として必要に応じてＮｉ・ＡｕまたはＳｎ等をめっきすることにより形成され、かつ必要に応じてその表面にソルダレジスト等を塗布することによって、腐食及び損傷の防止を図ることができる。バイアホール１３は、前記各配線及び端子と同様にＡｕ等の金属材料により、またはＡｇＰｄ、Ａｇ、Ｃｕをベース材料に必要に応じてＮｉ・ＡｕまたはＳｎ等をめっきすることにより形成され、かつ必要に応じてソルダレジスト等が塗布される。回路基板３に実装されたＬＳＩ４は、必要に応じて紫外線硬化型、熱硬化型エポキシ系等の接着剤からなるモールド材１５で被覆することにより、耐湿性、絶縁性を高めて信頼性の向上を図ることができる。

【００２９】

図３には、回路基板３をＬＣＤセル２に接続することによって、駆動用ＬＳＩ４を液晶表示装置１に実装した構造が示されている。ＬＣＤセル２の電極パターンを形成した下側の透明電極星坂１６の周辺部上面には、前記電極に接続されたＬＣＤ端子１７が、回路基板３の出力端子８に対応させて所定ピッチで直線状に形成されている。各ＬＣＤ端子１７は、通常ＩＴＯ（酸化インジウムスズ）透明電極からなり、必要に応じてＣｒ、Ｎｉ、Ａｕ、Ｃｕ等の金属又はそれらを組み合わせてめっき処理することができる。

【００３０】

回路基板３は、各出力端子８を対応するＬＣＤ端子１７と位置合わせしつつ、それらの間にＡＣＦ即ち異方性導電膜１８を配設して、所定の加圧・加熱ツールにより熱庄着することによって、一括して電気的かつ機械的に接続される。本参考例では、ＡＣＦ１８として日立化成工業（株）製のＡＣ６０００番系または７０００番系の熱硬化型のものを使用した。また、ＡＣＦには、例えばＵＶ硬化性のものや、ペースト状の異方性導電接着剤を用いることができる。更に、ＬＣＤセル２と回路基板３との接続部分には、防湿等を目的としてモールド材１９を施すことができる。

【００３１】

別の参考例では、第４図に示すように回路基板３の出力端子８にＡｕ、Ｃｕ等のバンプ２０が形成されている。これに、第３図と同様にＡＣＦ１８を用いて接続することによって、出力端子８とＬＣＤ端子１７とをより確実かつ良好に電気的に接続することができる。

【００３２】

図５に示すように、隣接させてＬＣＤセル２に接続された回路基板３、３′同士は、互いに隣接する入力端子１１、１１′同士が、Ａｕ、Ａｌ、Ｃｕ等の金属又はそれらの合金からなるワイヤ２１を用いてワイヤボンディングにより相互に接続されている。これによって、ＬＣＤセル２の周辺に連続して実装された全回路基板３の入力バス配線１４が相互に連絡される。実際上、隣接する前記回路基板の入力端子同士をワイヤボンディングする際には、回路基板３、３′の下側に適当な支持部材を配設すると好都合である。また、別の参考例では、図６に示すように、その表面に配線をパターン形成したＦＰＣ２２を用いて、隣接する回路基板３、３′の入力端子１１、１１′間を接続することができる。

【００３３】

また、上述した参考例では、ＬＳＩ４がＡｕ等のバンプ付き入力・出力端子２３を有し、フェイスダウン方式で回路基板３の入力及び出力配線１１、９に直接接続されている。しかしながら、フェイスアップ方式を採用して回路基板３上に上向きに固定したＬＳＩ４の各入力・出力端子を対応する入力及び出力配線とワイヤボンディングすることもできる。

【００３４】

このように、本発明の半導体素子の実装構造によれば、回路基板３の出力端子８をＬＳＩ４の実装面７と同一面上に設けてＬＣＤセル２の端子１７と接続することによって、上述した特願平５－２２３５２３号明細書記載の実装構造のように、出力配線と出力端子とを接続するためのバイアホールを回路基板に設ける必要がない。特に出力端子の数は入力端子の数よりも非常に多く、上述したように半導体素子１個当たり８０～数百個であるから、出力端子のためのバイアホールをなくすことによって、回路基板をコンパクトかつ安価に形成できかつその面積を有効に利用でき、配線の自由度を高めることができる。また反対側の面１０に入力端子１１及び入力バス配線１４を形成することによって、回路基板３の外形をより小さくし、かつ中間導電層をなくしてその厚さを薄くすることかできる。

【００３５】

これによって、ＬＣＤセル２の周囲に存在する額縁部分、即ち図１に於いて液晶表示装置１の表示部２４の周囲に寸法Ａで示される実装領域を、非常に小さくすることができる。更に、回路基板３の薄型化のよって、該回路基板をＬＣＤセル２に実装した際にその厚さの範囲内にＬＳＩ４を収めることができる。従ってコンパクト化して、液晶表示装置１全体を小型化することができる。また、別の参考例では、ＬＣＤセル２のいずれか１辺にのみ、２辺又は４辺全部に本発明による半導体素子の実装構造を用いることができ、その場合にも同様の作用効果が得られる。

【００３６】
図７には、本発明による半導体素子の実装構造の参考例が示されている。本参考例の回路３は、図２に示す参考例の回路基板と概ね同じ細長い長方形をなし、かつその略中央にＬＣＤ駆動用ＬＳＩ４が実装されている。ＬＳＩ実装面７には、出力配線９、入力配線１２に加えて、その左右両辺に沿って各１組の、それぞれＬＳＩ４の入力端子と同数の入力端子１１が形成されている。左辺の入力端子１１と右辺の入力端子１１とはそれぞれ対応する左右の人力配線１２を介してＬＳＩ４の人力端子に接続されている。即ち、ＬＳＩ４の前記入力端子を経由して左右両辺の入力端子１１同士を接続する左右の入力配線１２が、同時に入力バス配線１４を形成する。更に、本参考例では、左辺の入力配線１２から入力した信号に対する前記ＬＳＩの出力が、右辺の入力配線１２を介して別の回路基板のＬＳＩに送られ該ＬＳＩから出力されるようなカスケード接続を組み合わせることも可能である。

【００３７】
回路基板３のＬＳＩ実装面７と反対側の面１０には、参考例の回路基板と同様にその上辺に沿って長手方向に１組の出力端子８が形成され、かつ回路基板３を貫通するバイアホール２５によってそれぞれ対応する出力配線９と相互に接続されている。回路基板３は、出力端子８を電極基板１６上のＬＣＤ端子１７と位置合わせしつつ、その間にＡＣＦ１８を配置して熱圧着することにより、同様にＬＣＤセル２に電気的かつ機械的に接続される。本参考例の場合にも、隣接する回路基板３同士は、参考例と同様に入力端子１１同士をワイヤ又はＦＰＣを用いることによって相互に接続される。

【００３８】
本参考例の場合、ＬＳＩ実装面７上では入力配線１２即ち入力バス配線を設計する際に、電極基板１６との接着面積を必要とする反対側の面１０と比較して、そのピッチをより大きく設定できるので有利である。また、入力端子１１と接続するためのバイアホールを設ける必要がないので、上述した参考例程度ではないが、回路基板３のコンパクト化、コストの低減化及び基板面積の有効利用を図ることができる。

【００３９】
図８には、上述した参考例の変形例が示されており、電極基板１６の周辺部か、その平面に於いて回路基板３全体を含む領域まで拡大されている。これにより回路基板３を、出力端子８の部分だけでなくその下面１０全体で電極パネル１６上に接着することができ、ＬＣＤセル２に回路基板３を機械的により強固にかつ確実に接続することができる。

【００４０】
図９には、１個の回路基板に２個のＬＣＤ駆動用ＬＳＩを実装した本発明の参考例による半導体素子の実装構造か示されている。この回路基板３１は、図２に示す参考例の回路基板３と同様の構成を有し、かつそれよりも左右に細長い帯板状に形成され、その一方の面７に２個のＬＳＩ４、４′が、長手方向に一方の側辺に沿って直列にフェイスダウンボンディングにより実装されている。

【００４１】
ＬＳＩ実装面７には、各ＬＳＩ４、４′の出力端子に対応する同数の各１組の出力端子８、８′が、それぞれ長手方向の他方の側辺に沿って一定ピッチで直線状に配置されている。前記各組の出力端子は、それぞれ対応する各ＬＳＩ４、４′から延長するようにパターン形成された出力配線９、９′と接続されている。回路基板３の裏面１０には、左右各辺にそれぞれ１組の、ＬＳＩ４、４′の入力端子と同数の入力端子１１、１１′が、一定ピッチで配置されている。前記左右各組の入力端子同士は、前記回路基板裏面を長手方向に延長するようにパターン形成された入力バス配線１４によって、相互に接続されている。

【００４２】
更にＬＳＩ実装面７には、各ＬＳＩ４、４′の入力配線１２、１２′がそれぞれパターン形成されている。前記各ＬＳＩから回路基板３の左辺または右辺に向けて延長する入力配線１２、１２′は、バイアホール１３、１３′を介して対応する各入力端子１１、１１′と相互に接続されている。更に前記両ＬＳＩ４、４′間を延長する入力配線１２、１２′

が、相互に接続されると共に、共通のバイアホール１３”を介して入力バス配線１４と接続されている。

【００４３】

従って、参考例の回路基板３の場合と同様に、回蕗基板３１の左辺の入力端子１１と右辺の入力端子１１′とが、前記両ＬＳＩの入力端子を経由して入力配線１２及び１２′によって相互に接続される。これにより、上述した入力バス配線１４に加えて、第２の入力バス配線がＬＳＩ実装面７に設けられることになり、全体として入力バス配線の抵抗値を小さくすることができる。

【００４４】

更に参考例の場合と同様に、ＬＳＩ４、４′が細長いスリムタイプで内部が左右にブロック分けされている場合には、前記各ＬＳＩの左側または右側ブロックの入力端子か、左辺または右辺の近い方の入力端子１１、１１′と入力配線１２、１２′を介して接続され、かつ前記各ＬＳＩの他方のブロックの入力端子が、両ＬＳＩ間の入力配線１２、１２′及び共通のバイアホール１３”を介して入力バス配線１４と接続されて、同じ信号が左右ブロックに別個に供給される。また、左辺の入力端子１１から左辺側の入力配線１２を介して左側のＬＳＩ４に接続し、その出力を前記両ＬＳＩ間の入力配線１２、１２′を介して右側のＬＳＩ４′に接続し、かつその出力を右辺側の入力配線１２′を介して右辺の入力端子１１′に接続するカスケード接続を含むようにまたは組み合わせて配線を構成することも可能である。

【００４５】

回路基板３１は、第３の場合と同様に各出力端子８、８′を対応する電極基板のＬＣＤ端子に位置合わせしつつ、ＡＣＦを用いてＬＣＤセルに一括接続される。このように、本参考例によれば、２個の液晶駆動用ＬＳＩを１回の接続工程でＬＣＤセルに実装することができる。また、隣接する回路基板３１の入力端子間は、ワイヤボンディング又はＦＰＣにより相互に接続される。これによって、隣接する回路基板同士を連絡するためのバス配線経路が形成される。

【００４６】

また、本参考例では、回路基板３１を、図７の参考例と同様にＬＳＩ実装面に出力端子を設けた構成にすることができる。図１０には、このような変形例による半導体素子の実装構造か示されている。同図の回路基板３１も同様に細長い帯板状をなし、かつその一方の面７に２個のＬＳＩ４、４′が、艮手方向に沿って直列にフェイスダウンボンディングされている。

【００４７】

ＬＳＩ実装面７には、左右各辺にそれぞれ１組の入力端子１１、１１′が一定ピッチで配置され、かつ前記各入力端子から各ＬＳＩ４、４′に向けて入力配線１２、１２′がパターン形成されている。更にＬＳＩ実装面７の上辺に向けて各ＬＳＩ４、４′の出力配線９、９′がパターン形成されている。回路基板３の裏面１０には、ＬＣＤセルに接続するための各１組の出力端子８、８′が、それぞれ長手方向の側辺に沿って出力配線９、９′に対応する位置に直線状に配置され、かつ回路基板３を貫通するバイアホール２５、２５′を介して相互に接続されている。

【００４８】

また、回路基板３のＬＳＩ実装面７には、ＬＳＩ４、４′の入力端子が接続されるランド同士を接続する入力バス配線１４がパターン形成されている。これによって、入力端子１１、１１′同士が入力配線１２、１２′及び入力バス配線を介して相互に接続され、隣接する回路基板同士を連格するためのバス配線経路を形成している。

【００４９】

更に本発明によれば、１個の回路基板に３個又はそれ以上の半導体素子を実装して、１度の接続工程で多数の半導体素子を同時に実装することができる。このような本発明の好適な参考例が図１１に示されている。同図に示すように、ＬＣＤセル２には、その周辺部に沿って上辺、下辺及び左辺にそれぞれ１個の細長い帯板状の回路基板３２～３４が接続さ

れている。回路基板３２、３４にはそれぞれ８固のＸ側駆動用ＬＳＩ４１、４２が、及び回路基板３３には４個のＹ側駆動用ＬＳＩ４３が、それぞれ一方の面に長手方向に沿って直線状に連続して実装されている。

【００５０】

各回路基板３２～３４は、図１０示の参考例と略同様の構成を有し、ＬＳＩ実装面には、左右両辺に設けられた各１組の入力端子に接続された入力配線、及び隣接するＬＳＩ同士を連絡するための入力バス配線がパターン形成されている。前記ＬＳＩ実装面と反対側の面には、各ＬＳＩの出力端子が長手方向の一方の側辺に沿って形成されている。従って、各回路基板３２～３４は、前記出力端子と電極基板１６との間にＡＣＦを用いることによって、容易に電極基板１６に一括接続される。

【００５１】

更に、ＬＣＤセル２の左上角部には、中継基板５が配設されて、Ｘ側の回路基板３２とＹ側の回路基板３３とを前記入力端子を介して相互に接続している。ＬＣＤセル２の左下角部には、外部へのケーブルを一体化した中継基板５′が配設され、下側のＸ側回路基板３４とＹ側回路基板３３を接続すると共に、前記各回路基板に外部から電源、入力信号等を供給することができる。また、当然ながら、Ｘ側回路基板３２、３４は、Ｙ側回路基板の接続されない右辺又は左辺には、前記入力端子を設けなくてもよい。

【００５２】

本発明によれば、このようにＬＣＤセルの各辺に沿ってそれぞれ１個の回路基板を接続することにより多数の液晶駆動用ＬＳＩを実装することによって、工数を少なくし、かつ作業を容易にして生産性の向上を図り、製造コストを低減させることかできる。同時に、上述した各参考例と同様に、液晶表示装置の実装面積を従来より大幅に少なくすることかできる。例えば、図２２に示すように、本発明による実装構造を用いて２０ｃｍ（８インチ）サイズの液晶表示パネルを製造した場合、同一の外形寸法に対して表示部２４の周囲に形成される額縁部分即ちデスエリアの大きさを、同図に示す寸法Ａに於いて従来のＡｌ＝９ｍｍからＡ２＝５ｍｍに削減することができた。これによって、同一外形寸法の液晶表示パネルに於いて、表示部のサイズをＤｌ＝２０ｃｍからＤ２＝２２ｃｍ（８．７インチ）のものに変更することができ、表示面積を実質的に拡大することができた。

【００５３】

また、本参考例においても、回路基板３５を、図２の参考例の回路基板３と同様にＬＳＩ実装面に出力端子を設けた構成にすることができ、その場合にも同様に２個の液晶駆動用ＬＳＩを搭載することができる。

【００５４】

図１２及び図１３には、本発明の実施例による半導体素子の実装構造の回路基板３５が示されている。本実施例の回路基板３５は、上述した参考例の回路基板と同様に細長い長方形をなすが、ＬＣＤ駆動用ＬＳＩ４の実装面７上に出力端子８、出力配線９、入力端子１１、及び入力配線１２がパターン形成され、そのためにバイアホールを全く有しない点で異なる。このように、出力端子又は入力端子と出力配線又は入力配線を接続するバイアホールを全く用いないことによって、回路基仮３５自体の構成を極めて簡単にすることかでき、製造コストをより一層低減させることができる。

【００５５】

更に、回路基板３５の左右各辺には、それぞれ１組のＬＳＩ４の入力端子と同数の入力端子１１が配設され、かつそれぞれ入力配線１２を介して前記ＬＳＩ入力端子と接続されている。このように左辺及び右辺の入力端子１１同士を接続する入力配線１２よって、同時に隣接する別の回路基板を連絡するための入力バス配線が形成される。また、本実施例においても上述した各参考例と同様に、左辺の入力配線１２から入力した信号に対する前記ＬＳＩの出力が、右辺の入力配線１２を介して別の回路基板のＬＳＩに送られて出力されるカスケード接続を組み合わせることが可能である。

【００５６】

本実施例の回路基板３５は、図１４に示すように、上述した各参考例と同様にＡＣＦ１８

を用いて出力端子８が電極基板１６のＬＣＤ端子１７に電気的かつ機械的に接続される。このようにして薄型化し、かつＬＳＩ４と出力端子８とを同一面上に設けた回路基板３５をＬＣＤセル２に接続することによって、ＬＳＩ４が、電極基板１６の側方にかつその厚みの範囲内に配置されるので、液晶表示装置全体を薄型化することができる。

【００５７】

また、本実施例の回路基板３５は、図１３に示されるように、入力端子８、出力配線９、入力配線１２及び入力端子１１が回路基板３５のＬＳＩ実装面７から内部に埋設するように形成されている。従って、例えば図１５のように、回路基板３５の裏面１０を部分的に削除して窓部２６を開設することによって、出力端子８を裏面１０側に露出させることができる。

【００５８】

このように出力端子８を回路基板３５の両面に露出させることによって、回路基板３５は、図１６に示すように裏面１０側から電極基板１６のＬＣＤ端子１７に接続することかできる。この場合、回路基板３５をその全面に亘って電極基板１６に接着できるので、より確実かつ安定的に固定することができる。回路基板３５の窓部２６は、例えばエキシマレーザ加工等により裏面１０を選択的に除去することによって容易に形成することができる。

【００５９】

窓部を開設した回路基板３５の別の実施例が、図１７に示されている。第２実施例の回路基板３５は、図１２に示すように、入力端子１１を設けて左右各側辺部分が、外方に幾分突出している。図１７の変形例では、前記左右側辺部分の裏面１０を削除して、入力端子１１を裏面１０側に露出させている。このように入力端子１１を回路基板３５の両面に露出させることによって、複数の回路基板３５をＬＣＤセル２の周辺部に隣接させて実装する場合、図１８に示すように回路基板３５の隣接する入力端子１１部分を相互に重ね合わせて、ＡＣＦや半田付け等によって相互に接続することかできる。この場合、上述した参考例のようにワイヤボンディングやＦＰＣを用いる必繋がないので接続作業が容易であり、かつ接続部分の信頼性が向上し、しかも部品点数か少なくなってコストの低減化を図ることができる。

【００６０】

図１９（ａ）～（ｃ）には、第２実施例の回路基板の更に別の変形例がそれぞれ示されている。図１９（ａ）の回路基板３５は、回路基板裏面１０のＬＳＩ４に対応する領域に窓部２７か設けられている。また、図１９（ｂ）には、図１９（ａ）の窓部２７に加えて、図１４と同様に出力端子８を露出させる窓部２８が開設形成されている。更に、図１９（ｃ）の回路基板３５には、出力端子８、出力配線９、入力配線１２を含む回路基板裏面１０の略全体を露出させる窓部２９が設けられている。これらの変形例では、回路基板３５の裏面１０にＬＳＩ４の実装領域に対応する窓部を設けることによって、ＬＳＩ４を回路基板３５に実装する際に、加熱ツールを入力配線１２及び出力配線９に直接当てることができる。このため、ＬＳＩ４の各入出力端子を入力及び出力配線１２、９により容易にギャングボンディングすることによって接続することができる。

【００６１】

図２０及び図２１には、第２実施例の回路基板３５をＬＣＤセル２に接続するための別の構成がそれぞれ示されている。図２０の参考例では、入力端子１１が、回路基板３５の左右両側辺ではなく、長手方向の一方の側辺に沿って出力端子８の配列の左右両側に配置されている。回路基板３５のＬＳＩ実装面７と反対側の裏面には、図示していないが図１７と同様に出力端子８及び入力端子１１を露出させる窓部が開設されている。

【００６２】

ＬＣＤセル２の電極基板１６の周辺部には、そのＸ電極又はＹ電極に接続されたＬＣＤ端子１７に加えて、それらと同様に電極基板１６の周縁に沿って、回路基板３５の入力端子１１に対応する位置にパネル接続端子３０がパターン形成されている。更に、電極基板１６には、前記回路基板に隣接させて別の回路基板３５′を接続するために、同様にＬＣＤ

端子１７′及びパネル接続端子３０′が、電極基板１６の周縁に沿ってパターン形成されている。

【００６３】

回路基板３５のパネルの接続端子１７と隣接する回路基板３５′のパネル接続端子１７とは、それぞれ電極基板１６上にパターン形成されたバス配線３６によって相互に接続されている。従って、回路基板３５、３５′を、その出力端子８、８′及び入力端子１１、１１′をそれぞれ対応するＬＣＤ端子１７、１７′及びパネル接続端子３０、３０′に位置合わせして、例えばＡＣＦを用いて熱圧着することによって電極基板１６に接続すると、同時に前記両回路基板の入力端子１１、１１′同士が相互に接続される。

【００６４】

このように本参考例では、ワイヤボンディングやＦＰＣを用いることなく、各回路基板を電極基板に実装するだけで、隣接する前記回路基板同士が接続されて、入力バス配線が相互に連絡される。従って、接続作業が容易で工数を少なくできる利点がある。更に本参考例では、回路基板３５の出力端子８及び入力端子１１が一直線状に配置されるので、加圧ヘッドを直線状の簡単な形状にすることができ、ボンディング装置を簡単に構成することができる。

【００６５】

また、図２０の参考例では、回路基板裏面に窓部を開設して入出力端子を露出させた図１７と同じ構成を有する回路基板を使用したが、少なくとも出力端子及び入力端子が同一面上に配設されていれば、他の構成の回路基板を用いることができる。例えば、図１２に示される回路基板裏面に窓部を有しない構造のものを使用することができる。この場合、回路基板３５は、図１４の場合と同様にＬＳＩ４が電極基板１６の側方に、かつその厚さの範囲内に位置するように接続される。

【００６６】

図２１の参考例では、各ＬＣＤ端子１７及びパネル接続端子３０が電極基板１６の内側に配置され、その外側にバス配線３６がパターン形成されている。回路基板３５は、図２０の参考例と同じ構成のものであり、同様にＡＣＦ等を用いて電極基板１６に一括に接続される。

【００６７】

本参考例では、ＬＣＤ端子１７からＬＣＤセル２のＸ電極又はＹ電極への配線長が、図２０の参考例の場合よりも短くなるので、その配線抵抗値が小さくなる利点が得られる。また、ＬＣＤ端子１７等を形成する電極基板１６の周辺部を、図２０の参考例の場合よりも小さくすることができる。但し、本参考例では、電極基板１６の周辺部にＬＣＤ端子１７及びパネル接続端子３０の外側にバス配線３６を設ける領域を確保する必要となるので、図２０の参考例のように、裏面に窓部を有しない図１３の回路基板を接続することは困難である。

【００６８】

以上、本発明による半導体素子の実装構造を、電子装置として液晶表示装置に適用した場合について説明したが、本発明は、ＥＬ（エレクトロルミネセンス）ディスプレイ、プラズマディスプレイ等の他の電子表示装置や、サーマルプリンタ等の電子印字装置にも同様に適用することができる。

【００６９】

図２３乃至図２５には、電子印字装置としてサーマルプリンタヘッドに駆動用ＬＳＩを実装する構造の実施例が示されている。図２３に於いて、サーマルプリンタヘッド３７には、発熱部３８を形成したセラミック基板３９上に、駆動用ＬＳＩ４０を搭載した回路基板４４が接続されている。回路基板４４は、図１の回路基板３と同様の構成を有し、駆動用ＬＳＩ４０を搭載した面に出力配線４５、出力端子４６、入力配線４７が形成され、かつ反対側の面には、入力端子４８と隣接する回路基板のＬＳＩに接続するための入力バス配線が形成されると共に、入力端子４８がバイアホール４９により入力配線４７と相互に接続されている。回路基板４４は、サーマルプリンタヘッド３７の基板３９上に形成された

サーマルプリンタヘッド端子５０と出力端子４６を位置合わせして、ＡＣＦ５１を用いて熱圧着により電気的かつ機械的に接続されている。

【００７０】

図２４の実庵例では、回路基板５２が図１２の回路基板３５と同様の構成を有し、かつ図１４の場合と同様にしてサーマルプリンタヘッド３７の基板３９に接続されている。また、図２５の実施例では、回路基板５３が図１５の回路基板３５と同様の構成を有し、かつ図１６の場合と同様にしてサーマルプリンタヘッド３７の基板３９に接続されている。

【００７１】

このように本発明の半導体素子の実装構造によれば、電子表示装置だけでなく、電子印字装置その他の様々な電子装置に使用した場合にも、実装面積を非常に小さくしかつ装置全体を薄型化することができ、ダウンサイジング化の要請に対応していわゆるデスエリアの少ないコンパクトな電子装置を実現することができる。

【図面の簡単な説明】

【図１】本発明による参考例の半導体素子の実装構造を適用した液晶表示装置の平面図である。

【図２】図１の液晶表示装置に使用される回路基板を示す平面図である。

【図３】参考例の回路基板をＬＣＤセルに接続した状態を示す図１のＩＩＩ－ＩＩＩ線に於ける部分拡大断面図である。

【図４】参考例の回路基板の変形例を示す図３と同様の断面図である。

【図５】図１の液晶表示装置に於いて隣接する回路基板同士の接続状態を示す部分拡大図である。

【図６】ＦＰＣ（フレキシブル配線板）を用いて隣接する回路基板同士を接続する別の参考例を示す図５と同様の部分拡大図である。

【図７】本発明の参考例による回路をＬＣＤセルに接続した状態を示す第３図と同様の断面図である。

【図８】参考例の変形例を示す断面図である。

【図９】２個のＬＣＤ駆動用ＬＳＩを搭載した本発明の参考例による回路基板を示す平面図である。

【図１０】図９の変形例を示す回路基板の平面図である。

【図１１】多数のＬＣＤ駆動用ＬＳＩを搭載した回路基板をＬＣＤセルの周辺に接続した液晶表示装置を示す斜視図である。

【図１２】本発明の実施例による半導体素子の実装構造に使用する回路基板の平面図である。

【図１３】図１２のＸＩＩ－ＸＩＩ線に於ける回路基板の断面図である。

【図１４】第２実施例の回路基板をＬＣＤセルに接続した状態を示す断面図である。

【図１５】第２実施例の回路基板の変形例を示す図１３と同様の断面図である。

【図１６】図１５の回路基板をＬＣＤセルに接続した状態を示す断面図である。

【図１７】第２実施例の別の変形例による回路基板を示す図１２のＸＶＩ－ＸＶＩ線に於ける断面図である。

【図１８】（ａ）（ｂ）は、図１７の変形例による複数の回路基板をＬＣＤセルに接続する際に隣接する回路基板同士の接続状態をそれぞれ示す平面図及び側面図である。

【図１９】（ａ）～（ｃ）は、それぞれ第２実施例による回路基板の更に別の変形例を示す断面図である。

【図２０】複数の回路基板をＬＣＤセルに接続するための本発明の別の参考例を示す斜視図である。

【図２１】図２０の参考例の変形例を示す斜視図である。

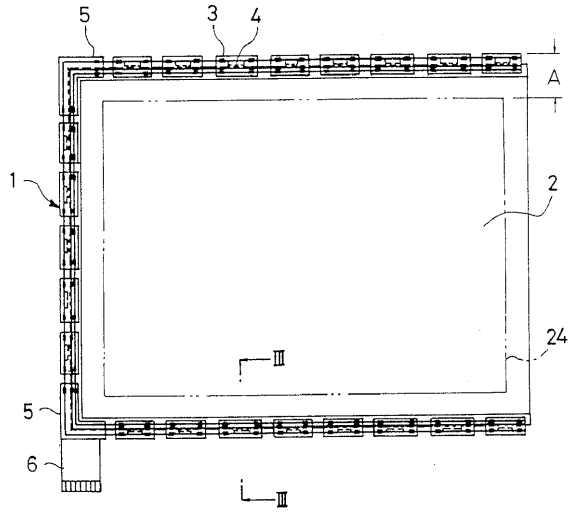
【図２２】液晶表示装置の表示部及びデスエリアを示す平面図である。

【図２３】本発明の参考例を適用して駆動用ＬＳＩを実装した電子印字装置を示す断面図である。

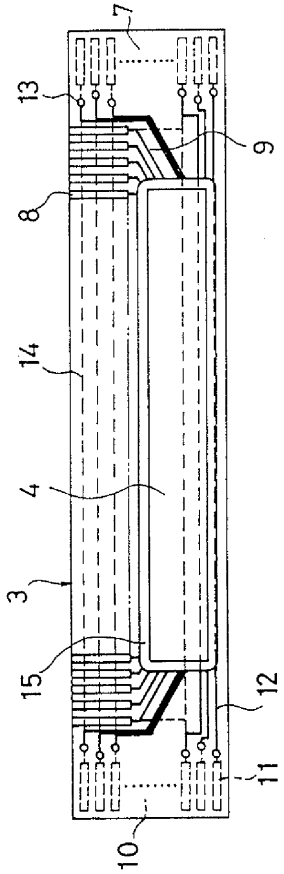
【図２４】第２実施例の回路基板を用いた電子印字装置を示す図２３と同様の断面図であ

る。
【図２５】第２実施例の変形例による図１５の回路基板を用いた電子印字装置を示す断面図である。
【図２６】従来技術による多層構造の回蕗基板を用いた半導体素子の実装構造を示す断面図である。
【図２７】図２６の回路基板を示す平面図である。
【符号の説明】
１　液晶表示装置
２　ＬＣＤセル
３，３′，３１，３２，３３，３４，３５，　３５′，４４，５２，５３　回路基板
４，４′　ＬＳＩ（半導体素子）
５　中継基板
６　ケーブル
７　ＬＳＩ実装面
８，８′，４６　出力端子
９，９′，４５　出力配線
１０　ＬＳＩ実装面７と反対側の面
１１，１１′，４８　入力端子
１２，１２′，４７　入力配線
１３，１３′，１３″，　２５，２５′，４９　バイアホール
１４　入力バス配線
１５　モールド材
１６　透明電極基板
１７，１７′　ＬＣＤ端子
１８，５１　異方性導電膜（ＡＣＦ）
１９　モールド材
２０　バンプ
２４　表示部
３０　パネル接続端子
３６　バス配線
３７　サーマルプリンタヘッド
３８　発熱部
３９　セラミック基板
４０　駆動用ＬＳＩ
４１，４２　Ｘ側駆動用ＬＳＩ
４３　Ｙ側駆動用ＬＳＩ

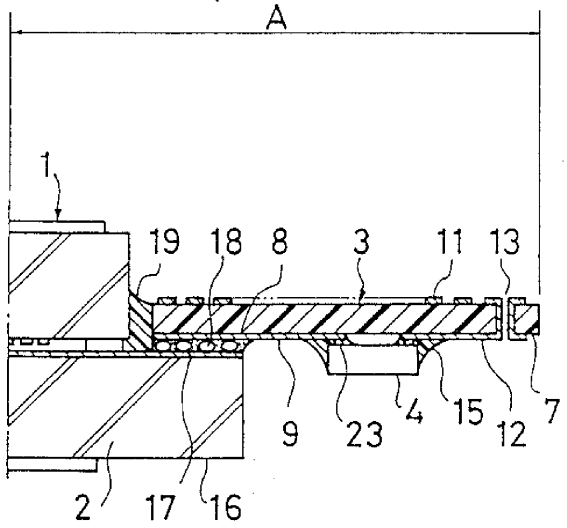
【図１】


5
3
4
A
1
2
24
Ⅲ
5
6
Ⅲ

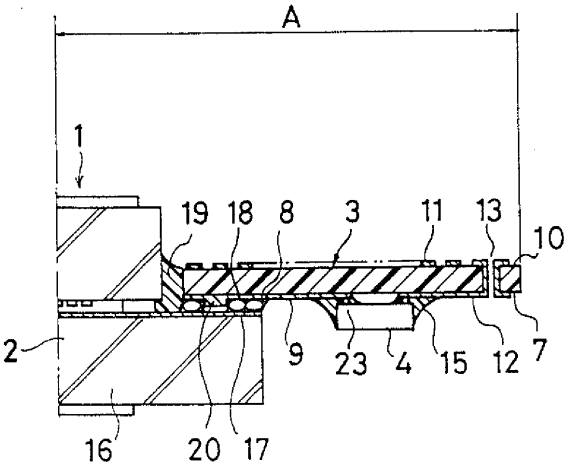
【図２】


7
13
9
8
14
4
3
15
12
11
10

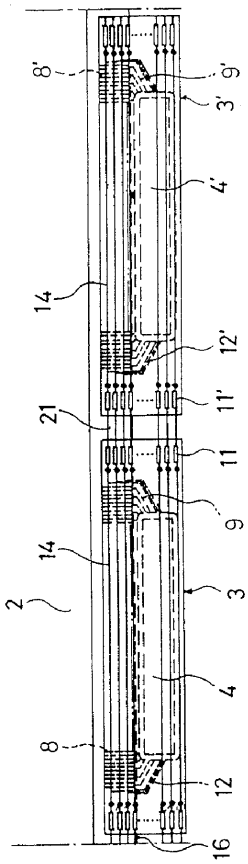
【図３】


A
1
19
18
8
3
11
13
9
23
4
15
12
7
2
17
16

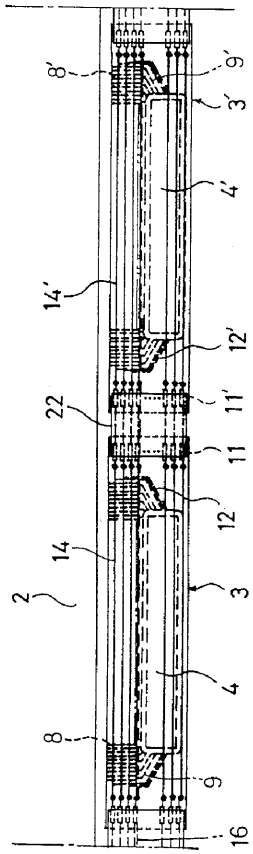
【図４】


A
1
19
18
8
3
11
13
10
2
9
23
4
15
12
7
16
20
17

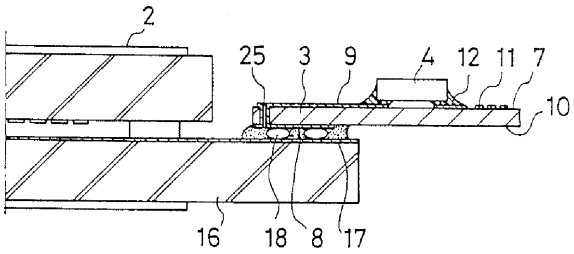
【図５】


8'
9'
3'
4'
14
12'
11'
21
11
9
14
3
2
4
8
12
16

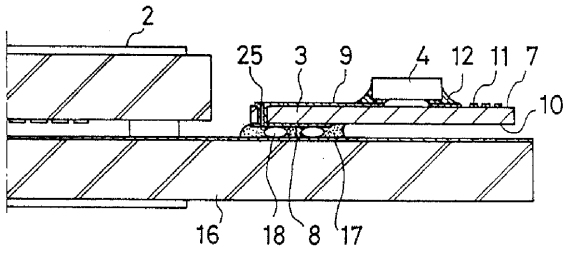
【図６】


8'
9'
3'
4'
14'
12'
22
11'
11
12
14
2
3
4
8
9
16

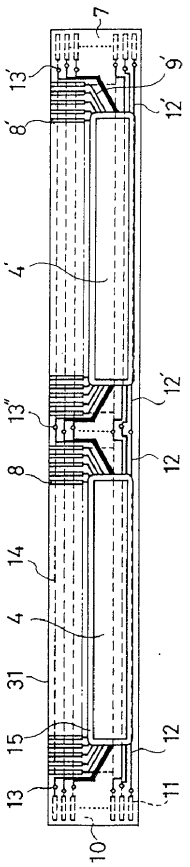
【図７】


2
25
3
9
4
12
11
7
10
16
18
8
17

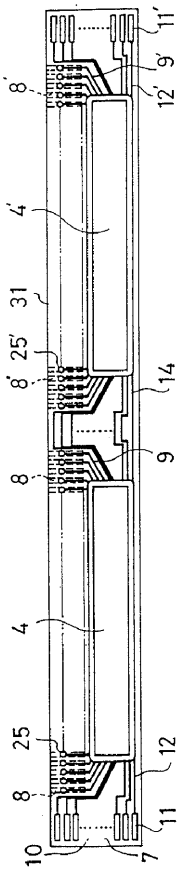
【図８】


2
25
3
9
4
12
11
7
10
16
18
8
17

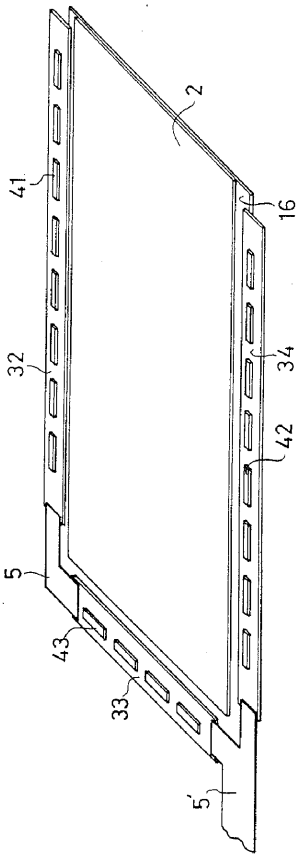
【図９】


7
13'
9'
8'
12'
4'
13"
12'
8
12
14
4
31
15
12
13
11
10

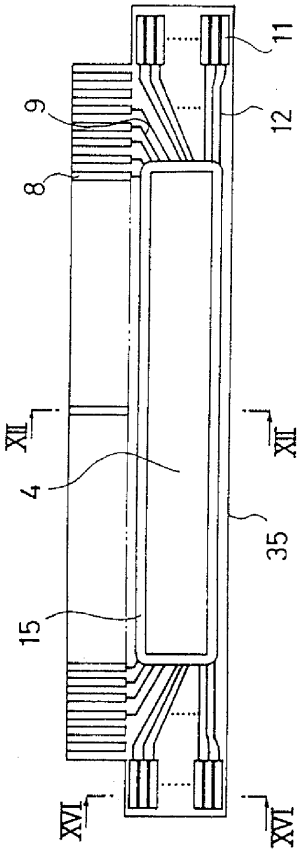
【図１０】



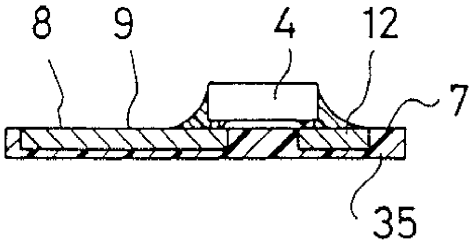
【図１１】



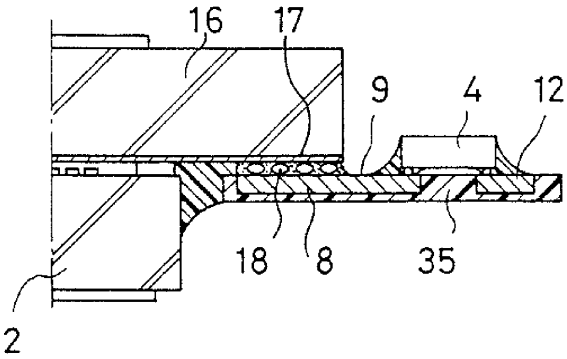
【図１２】



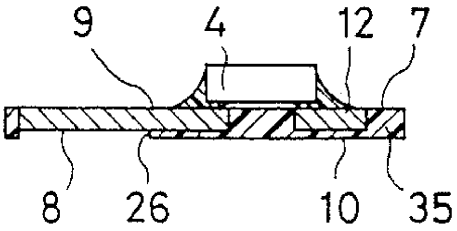
【図１３】



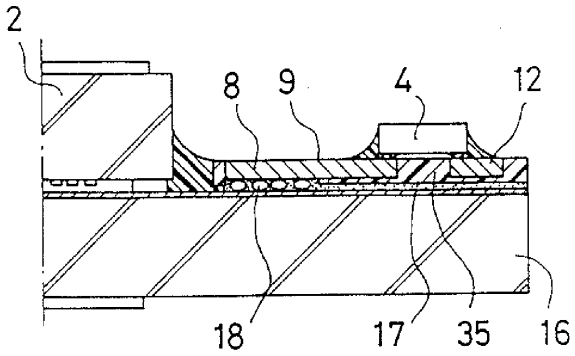
【図１４】



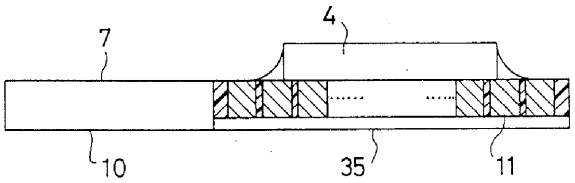
【図１５】



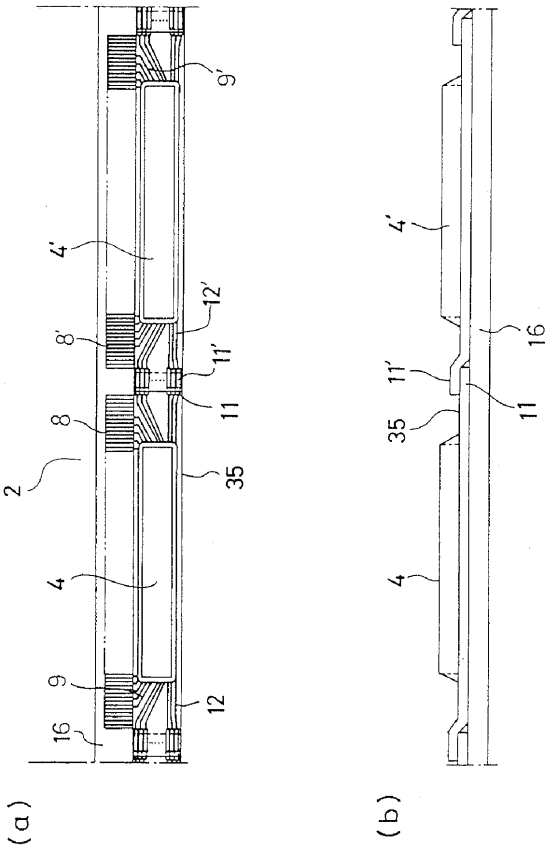
【図１６】



【図１７】

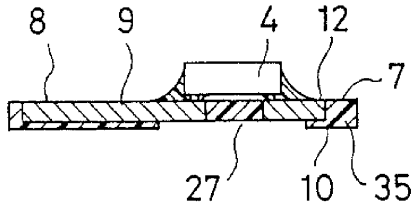


【図１８】

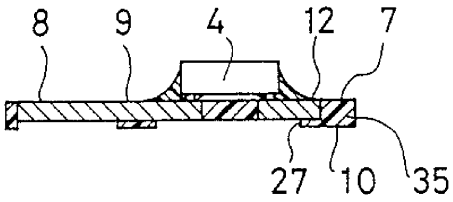


【図１９】

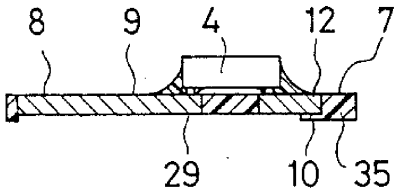
(a)



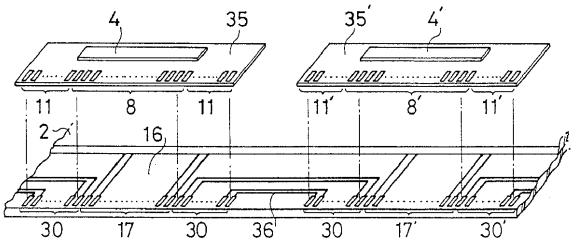
(b)



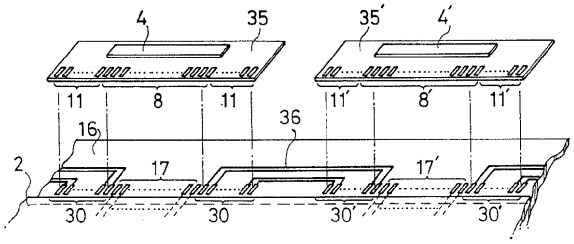
(c)



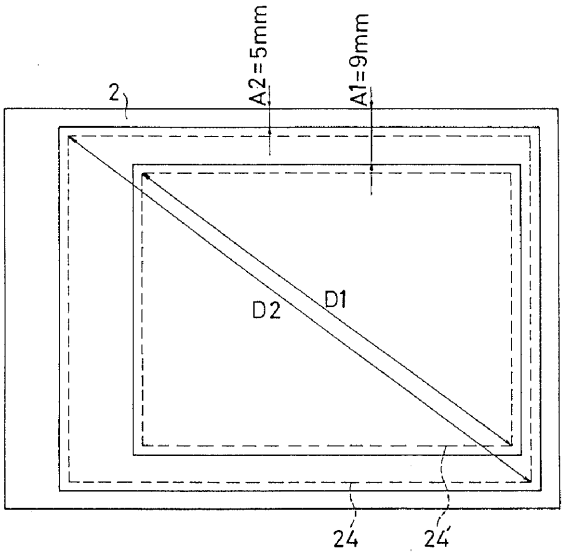
【図２０】



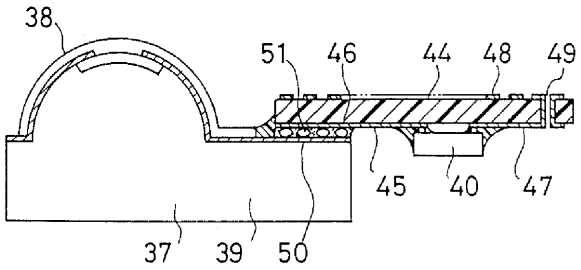
【図２１】



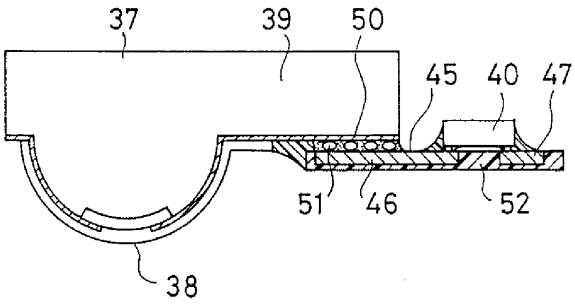
【図２２】



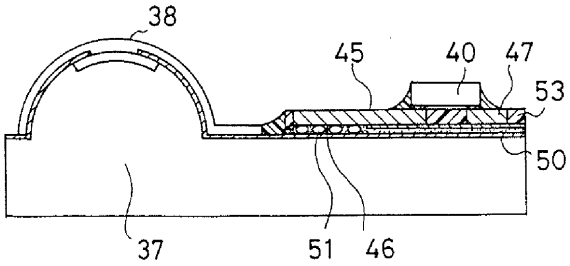
【図２３】



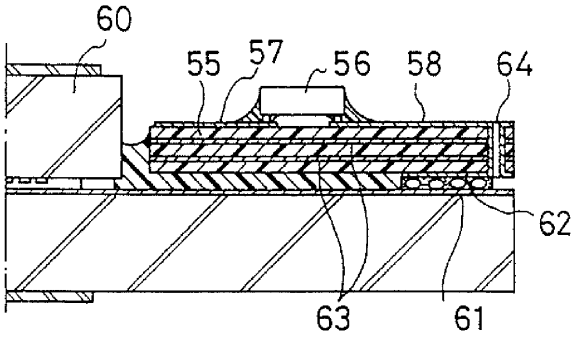
【図２４】



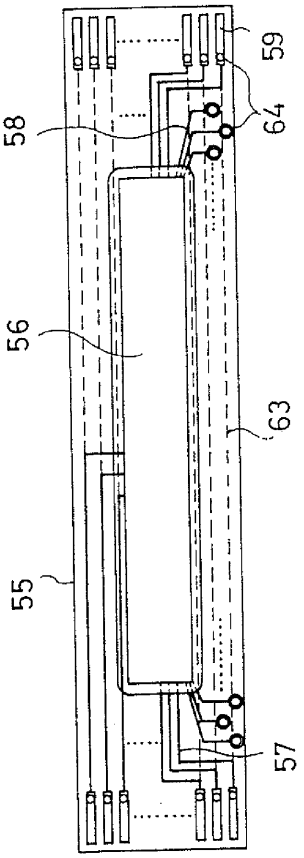
【図２５】



【図２６】



【図２７】



フロントページの続き

(56)参考文献 特開平０４－１４７２２１（ＪＰ，Ａ）
特開平０３－１９１５４１（ＪＰ，Ａ）
特開平０５－２５１５１０（ＪＰ，Ａ）
特開平０４－３５９４４３（ＪＰ，Ａ）
特開平４－２１２４９５（ＪＰ，Ａ）
特開平４－２７４４１３（ＪＰ，Ａ）
特開平４－３２９６４８（ＪＰ，Ａ）
実開平５－４６０３３（ＪＰ，Ｕ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H01L 21/60 311
G02F 1/1345