

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 18 年 4 月 6 日 (2006.4.6)

【公開番号】特開 2003-209228 (P2003-209228A)
 【公開日】平成 15 年 7 月 25 日 (2003.7.25)
 【出願番号】特願 2002-321358 (P2002-321358)
 【国際特許分類】

H 0 1 L 27/105 (2006.01)

H 0 1 L 21/8246 (2006.01)

G 1 1 C 11/15 (2006.01)

H 0 1 L 43/08 (2006.01)

【F I】

H 0 1 L 27/10 4 4 7

G 1 1 C 11/15 1 1 0

G 1 1 C 11/15 1 1 6

H 0 1 L 43/08 Z

【手続補正書】

【提出日】平成 18 年 2 月 21 日 (2006.2.21)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】 第 1 の半導体層と、この第 1 の半導体層上に形成された第 1 の絶縁膜と、この第 1 の絶縁膜上に形成された第 2 の半導体層とを備えた S O I 基板と、

前記第 2 の半導体層の表面から前記第 1 の絶縁膜に達する深さを有し、前記第 2 の半導体層内に選択的に形成された素子分離絶縁膜と、

前記第 2 の半導体層に形成されたダイオードと、

前記ダイオードに接続された磁気抵抗効果素子と、

前記磁気抵抗効果素子の下方に前記磁気抵抗効果素子と離間して配置され、第 1 の方向に延在する第 1 の配線と、

前記磁気抵抗効果素子上に形成され、前記第 1 の方向と異なる第 2 の方向に延在する第 2 の配線と

を具備することを特徴とする磁気記憶装置。

【請求項 2】 前記ダイオードは、

前記第 2 の半導体層上にゲート絶縁膜を介して形成されたゲート電極と、

前記ゲート電極の一端の前記第 2 の半導体層内に形成され、前記磁気抵抗効果素子に接続する第 1 導電型の第 1 の拡散層と、

前記ゲート電極の他端の前記第 2 の半導体層内に形成された第 2 導電型の第 2 の拡散層と

を具備することを特徴とする請求項 1 に記載の磁気記憶装置。

【請求項 3】 前記第 2 の拡散層は、前記第 1 の拡散層と離間して配置されることを特徴とする請求項 2 に記載の磁気記憶装置。

【請求項 4】 前記第 1 及び第 2 の拡散層との間隔は、前記ゲート電極の幅とほぼ等しいことを特徴とする請求項 2 に記載の磁気記憶装置。

【請求項 5】 前記第 1 及び第 2 の拡散層との間隔は、前記ゲート電極の幅の 1 / 2 であることを特徴とする請求項 2 に記載の磁気記憶装置。

【請求項 6】 前記第 1 の拡散層と前記第 2 の拡散層との間の前記第 2 の半導体層は、前記第 1 導電型又は前記第 2 の導電型の第 3 の拡散層であることを特徴とする請求項 3 に記載の磁気記憶装置。

【請求項 7】 前記第 3 の拡散層の不純物濃度は、前記第 1 の拡散層又は前記第 2 の拡散層の不純物濃度よりも低いことを特徴とする請求項 6 に記載の磁気記憶装置。

【請求項 8】 前記ゲート電極の電位は固定されていることを特徴とする請求項 2 に記載の磁気記憶装置。

【請求項 9】 前記ゲート電極の電位はグランド電位に固定されていることを特徴とする請求項 2 に記載の磁気記憶装置。

【請求項 10】 第 1 の半導体層と、この第 1 の半導体層上に形成された第 1 の絶縁膜と、この第 1 の絶縁膜上に形成された第 2 の半導体層とを備えた S O I 基板と、

前記第 2 の半導体層の表面から前記第 1 の絶縁膜に達する深さを有し、前記第 2 の半導体層内に選択的に形成された素子分離絶縁膜と、

前記第 2 の半導体層に形成されたスイッチング素子と、

前記スイッチング素子に接続された磁気抵抗効果素子と、

前記磁気抵抗効果素子の下方に前記磁気抵抗効果素子と離間して配置され、第 1 の方向に延在する第 1 の配線と、

前記磁気抵抗効果素子上に形成され、前記第 1 の方向と異なる第 2 の方向に延在する第 2 の配線と、

前記磁気抵抗効果素子と前記スイッチング素子とを備えたメモリセルアレイ領域の周辺に位置し、前記スイッチング素子を制御する周辺回路を備え、バルク基板を用いた周辺回路領域と

を具備することを特徴とする磁気記憶装置。

【請求項 11】 第 1 の半導体層と、この第 1 の半導体層上に形成された第 1 の絶縁膜と、この第 1 の絶縁膜上に形成された第 2 の半導体層とを備えた S O I 基板と、

前記第 2 の半導体層の表面から前記第 1 の絶縁膜に達する深さを有し、前記第 2 の半導体層内に選択的に形成された素子分離絶縁膜と、

前記 S O I 基板に形成され、一端と他端とを有する第 1 のスイッチング素子と、

前記 S O I 基板に形成され、一端と他端とを有する第 2 のスイッチング素子と、

前記第 1 のスイッチング素子の前記一端に接続された第 1 の配線と、

前記第 2 のスイッチング素子の前記一端に接続された第 2 の配線と、

前記第 1 のスイッチング素子の前記他端と前記第 2 のスイッチング素子の前記他端とに接続された第 3 の配線と、

前記第 3 の配線に接続された磁気抵抗効果素子と

を具備することを特徴とする磁気記憶装置。

【請求項 12】 前記磁気抵抗効果素子の磁化方向は、前記第 3 の配線の延在方向に対して 45 度傾いていることを特徴とする請求項 11 に記載の磁気記憶装置。

【請求項 13】 前記磁気抵抗効果素子に接続された第 3 のスイッチング素子とをさらに具備することを特徴とする請求項 11 に記載の磁気記憶装置。

【請求項 14】 前記第 1 及び第 2 のスイッチング素子をオンにし、前記第 1 及び第 2 の配線間に電流を流し、前記磁気抵抗効果素子にデータを書き込むことを特徴とする請求項 11 に記載の磁気記憶装置。

【請求項 15】 前記磁気抵抗効果素子に接続された第 3 のスイッチング素子をさらに具備し、

前記データを書き込む際、前記第 3 のスイッチング素子はオフにすることを特徴とする請求項 14 に記載の磁気記憶装置。

【請求項 16】 前記第 1 のスイッチング素子をオンにし、前記第 2 のスイッチング素子をオフにし、前記第 1 の配線から前記磁気抵抗効果素子に電流を流し、前記磁気抵抗効果素子のデータを読み出すことを特徴とする請求項 11 に記載の磁気記憶装置。

【請求項 17】 第 1 の半導体層と、この第 1 の半導体層上に配置された第 1 の絶縁

膜と、この第 1 の絶縁膜上に配置された第 2 の半導体層とを備えた S O I 基板を形成する工程と、

前記第 2 の半導体層内に、前記第 2 の半導体層の表面から前記第 1 の絶縁膜に達する深さを有する素子分離絶縁膜を選択的に形成する工程と、

前記第 2 の半導体層にダイオードを形成する工程と、

第 1 の方向に延在する第 1 の配線を形成する工程と、

前記第 1 の配線の上方に前記第 1 の配線と離間して、前記ダイオードに接続する磁気抵抗効果素子を形成する工程と、

前記磁気抵抗効果素子上に、前記第 1 の方向と異なる第 2 の方向に延在する第 2 の配線を形成する工程と

を具備することを特徴とする磁気記憶装置の製造方法。

【請求項 18】 第 1 の半導体層と、この第 1 の半導体層上に配置された第 1 の絶縁膜と、この第 1 の絶縁膜上に配置された第 2 の半導体層とを備えた S O I 基板を形成する工程と、

前記第 2 の半導体層内に、前記第 2 の半導体層の表面から前記第 1 の絶縁膜に達する深さを有する素子分離絶縁膜を選択的に形成する工程と、

前記第 2 の半導体層にスイッチング素子を形成する工程と、

第 1 の方向に延在する第 1 の配線を形成する工程と、

前記第 1 の配線の上方に前記第 1 の配線と離間して、前記スイッチング素子に接続する磁気抵抗効果素子を形成する工程と、

前記磁気抵抗効果素子上に、前記第 1 の方向と異なる第 2 の方向に延在する第 2 の配線を形成する工程と

を具備し、

前記 S O I 基板を用いたメモリセルアレイ領域と、バルク基板を用いた周辺回路領域とを形成することを特徴とする磁気記憶装置の製造方法。

【請求項 19】 前記メモリセルアレイ領域における基板上にマスク層を形成する工程と、

前記マスク層をマスクとして、前記周辺回路領域における前記基板内にイオン注入する工程と、

前記メモリセルアレイ領域における前記基板内に前記第 1 の絶縁膜を形成することで、前記メモリセルアレイ領域には前記 S O I 基板を形成し、前記周辺回路領域には前記バルク基板を形成する工程と

をさらに具備することを特徴とする請求項 18 に記載の磁気記憶装置の製造方法。

【請求項 20】 第 1 の半導体層と、この第 1 の半導体層上に配置された第 1 の絶縁膜と、この第 1 の絶縁膜上に配置された第 2 の半導体層とを備えた S O I 基板を形成する工程と、

前記第 2 の半導体層内に、前記第 2 の半導体層の表面から前記第 1 の絶縁膜に達する深さを有する素子分離絶縁膜を選択的に形成する工程と、

前記 S O I 基板に一端と他端とをそれぞれ有する第 1 及び第 2 のスイッチング素子を形成する工程と、

前記 S O I 基板の上方に磁気抵抗効果素子を形成する工程と、

前記第 1 のスイッチング素子の前記一端に接続する第 1 の配線と、前記第 2 のスイッチング素子の前記一端に接続する第 2 の配線と、前記第 1 のスイッチング素子の前記他端と前記第 2 のスイッチング素子の前記他端と前記磁気抵抗効果素子とに接続する第 3 の配線とを形成する工程と

を具備することを特徴とする磁気記憶装置の製造方法。

【請求項 21】 前記磁気抵抗効果素子の磁化方向が前記第 3 の配線の延在方向に対して 45 度傾くように、前記磁気抵抗効果素子及び前記第 3 の配線を形成することを特徴とする請求項 20 に記載の磁気記憶装置の製造方法。

【請求項 22】 前記磁気抵抗効果素子に接続する第 3 のスイッチング素子を形成す

る工程をさらに具備することを特徴とする請求項 20 に記載の磁気記憶装置の製造方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正の内容】

【0024】

本発明の第 1 の視点による磁気記憶装置は、第 1 の半導体層と、この第 1 の半導体層上に形成された第 1 の絶縁膜と、この第 1 の絶縁膜上に形成された第 2 の半導体層とを備えた S O I 基板と、前記第 2 の半導体層の表面から前記第 1 の絶縁膜に達する深さを有し、前記第 2 の半導体層内に選択的に形成された素子分離絶縁膜と、前記第 2 の半導体層に形成されたダイオードと、前記ダイオードに接続された磁気抵抗効果素子と、前記磁気抵抗効果素子の下方に前記磁気抵抗効果素子と離間して配置され、第 1 の方向に延在する第 1 の配線と、前記磁気抵抗効果素子上に形成され、前記第 1 の方向と異なる第 2 の方向に延在する第 2 の配線とを具備する。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正の内容】

【0025】

本発明の第 2 の視点による磁気記憶装置の製造方法は、第 1 の半導体層と、この第 1 の半導体層上に配置された第 1 の絶縁膜と、この第 1 の絶縁膜上に配置された第 2 の半導体層とを備えた S O I 基板を形成する工程と、前記第 2 の半導体層内に、前記第 2 の半導体層の表面から前記第 1 の絶縁膜に達する深さを有する素子分離絶縁膜を選択的に形成する工程と、前記第 2 の半導体層にダイオードを形成する工程と、第 1 の方向に延在する第 1 の配線を形成する工程と、前記第 1 の配線の上方に前記第 1 の配線と離間して、前記ダイオードに接続する磁気抵抗効果素子を形成する工程と、前記磁気抵抗効果素子上に、前記第 1 の方向と異なる第 2 の方向に延在する第 2 の配線を形成する工程とを具備する。