

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7146150号
(P7146150)

(45)発行日 令和4年10月3日(2022.10.3)

(24)登録日 令和4年9月22日(2022.9.22)

(51)国際特許分類 F I
H 0 4 B 7/06 (2006.01) H 0 4 B 7/06 9 8 2

請求項の数 15 (全25頁)

(21)出願番号	特願2022-545101(P2022-545101)	(73)特許権者	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(86)(22)出願日	令和2年9月10日(2020.9.10)	(74)代理人	100118762 弁理士 高村 順
(86)国際出願番号	PCT/JP2020/034289	(72)発明者	早馬 道也 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
(87)国際公開番号	WO2022/054200	審査官	北村 智彦
(87)国際公開日	令和4年3月17日(2022.3.17)		
審査請求日	令和4年7月25日(2022.7.25)		
早期審査対象出願			

最終頁に続く

(54)【発明の名称】 出力信号発生装置、制御回路、記憶媒体および位相補正方法

(57)【特許請求の範囲】

【請求項1】

異なる遅延時間のデータ信号の振幅を制御して各々が第1のシリアル信号を出力する2以上のシリアル出力回路と、前記2以上のシリアル出力回路から出力される前記第1のシリアル信号を電氣的に合波する信号合波部と、を各々が有し、前記信号合波部で電氣的に合波された第2のシリアル信号を出力する2以上の信号出力ブロックと、

前記2以上の信号出力ブロックから出力される前記第2のシリアル信号の位相を、前記シリアル出力回路から出力される前記第1のシリアル信号の振幅変更によって制御する位相補正部と、

を備えることを特徴とする出力信号発生装置。

10

【請求項2】

前記信号出力ブロックの各々は、前記データ信号を1ビット以上遅延可能であって遅延させた前記データ信号を対応する前記シリアル出力回路に出力する2以上のビット遅延部、を備え、

前記位相補正部は、前記2以上の信号出力ブロックから出力される前記第2のシリアル信号の位相を、さらに、前記ビット遅延部での遅延ビット数によって制御する、

ことを特徴とする請求項1に記載の出力信号発生装置。

【請求項3】

前記位相補正部は、前記2以上の信号出力ブロックから出力される前記第2のシリアル信号の位相を、さらに、前記シリアル出力回路における基準クロックの位相変更によって

20

制御する、

ことを特徴とする請求項 1 に記載の出力信号発生装置。

【請求項 4】

前記信号出力ブロックの各々は、前記データ信号を 1 ビット以上遅延可能であって遅延させた前記データ信号を対応する前記シリアル出力回路に出力する 2 以上のビット遅延部、を備え、

前記位相補正部は、前記 2 以上の信号出力ブロックから出力される前記第 2 のシリアル信号の位相を、さらに、前記ビット遅延部での遅延ビット数によって制御するとともに、前記シリアル出力回路における基準クロックの位相変更によって制御する、

ことを特徴とする請求項 1 に記載の出力信号発生装置。

10

【請求項 5】

前記信号出力ブロックは、帰還型フィルタを備える送信信号生成部に接続され、前記送信信号生成部から、前記帰還型フィルタを用いて前記送信信号生成部で生成された前記データ信号を取得する、

ことを特徴とする請求項 1 から 4 のいずれか 1 つに記載の出力信号発生装置。

【請求項 6】

前記シリアル出力回路を有し、基準シリアル信号を出力する 1 以上の基準信号出力ブロックと、

前記基準信号出力ブロックから取得した前記基準シリアル信号を分配する 1 以上の基準信号分配部と、

20

各々が、前記基準信号分配部から出力される 1 つの前記基準シリアル信号と、1 つの前記信号出力ブロックから出力される前記第 2 のシリアル信号と、を電氣的に合波する 2 以上の基準合波部と、

前記基準合波部で電氣的に合波された第 3 のシリアル信号の出力レベルを測定するレベル測定部と、

を備え、

前記位相補正部は、前記レベル測定部で測定された前記第 3 のシリアル信号の出力レベルに基づいて、前記 2 以上の信号出力ブロックから出力される前記第 2 のシリアル信号の位相を制御する、

ことを特徴とする請求項 1 から 5 のいずれか 1 つに記載の出力信号発生装置。

30

【請求項 7】

前記信号出力ブロックと同じ構成であって、基準シリアル信号を出力する 1 以上の基準信号出力ブロックと、

前記基準信号出力ブロックから出力される前記基準シリアル信号を分配する 1 以上の基準信号分配部と、

各々が、前記基準信号分配部から出力される 1 つの前記基準シリアル信号と、1 つの前記信号出力ブロックから出力される前記第 2 のシリアル信号と、を電氣的に合波する 2 以上の基準合波部と、

前記基準合波部で電氣的に合波された第 3 のシリアル信号の出力レベルを測定するレベル測定部と、

40

を備え、

前記位相補正部は、前記レベル測定部で測定された前記第 3 のシリアル信号の出力レベルに基づいて、前記 2 以上の信号出力ブロックから出力される前記第 2 のシリアル信号の位相を制御する、

ことを特徴とする請求項 1 から 5 のいずれか 1 つに記載の出力信号発生装置。

【請求項 8】

前記基準信号出力ブロックは、帰還型フィルタを備える送信信号生成部に接続され、前記送信信号生成部から、前記帰還型フィルタを用いて前記送信信号生成部で生成された前記データ信号を取得する、

ことを特徴とする請求項 6 または 7 に記載の出力信号発生装置。

50

【請求項 9】

前記データ信号のビット反転を制御するビット反転部、
を備え、

前記基準信号出力ブロックは、帰還型フィルタを備える送信信号生成部に前記ビット反転部を介して接続され、前記ビット反転部を介して前記送信信号生成部から、前記帰還型フィルタを用いて前記送信信号生成部で生成された前記データ信号を取得する、
ことを特徴とする請求項 6 または 7 に記載の出力信号発生装置。

【請求項 10】

前記レベル測定部の前段に、設定された通過周波数の周波数帯を通過させる帯域通過フィルタ、

を備えることを特徴とする請求項 6 から 9 のいずれか 1 つに記載の出力信号発生装置。

【請求項 11】

前記レベル測定部の前段に、設定された阻止周波数の周波数帯の通過を阻止する帯域阻止フィルタ、

を備えることを特徴とする請求項 6 から 9 のいずれか 1 つに記載の出力信号発生装置。

【請求項 12】

前記レベル測定部の前段に、設定された通過周波数の周波数帯を通過させる帯域通過フィルタと、

前記レベル測定部の前段に、設定された阻止周波数の周波数帯の通過を阻止する帯域阻止フィルタと、

を備え、

前記帯域通過フィルタまたは前記帯域阻止フィルタを切り替えて使用可能とする、
ことを特徴とする請求項 6 から 9 のいずれか 1 つに記載の出力信号発生装置。

【請求項 13】

出力信号発生装置を制御するための制御回路であって、

異なる遅延時間のデータ信号の振幅を制御して各々が第 1 のシリアル信号を出力する 2 以上のシリアル出力回路と、前記 2 以上のシリアル出力回路から出力される前記第 1 のシリアル信号を電氣的に合波する信号合波部と、を各々が有する 2 以上の信号出力ブロックから、前記信号合波部で電氣的に合波された第 2 のシリアル信号を出力、

前記 2 以上の信号出力ブロックから出力される前記第 2 のシリアル信号の位相を、前記シリアル出力回路から出力される前記第 1 のシリアル信号の振幅変更によって制御、
を前記出力信号発生装置に実施させることを特徴とする制御回路。

【請求項 14】

出力信号発生装置を制御するためのプログラムを記憶した記憶媒体であって、
前記プログラムは、

異なる遅延時間のデータ信号の振幅を制御して各々が第 1 のシリアル信号を出力する 2 以上のシリアル出力回路と、前記 2 以上のシリアル出力回路から出力される前記第 1 のシリアル信号を電氣的に合波する信号合波部と、を各々が有する 2 以上の信号出力ブロックから、前記信号合波部で電氣的に合波された第 2 のシリアル信号を出力、

前記 2 以上の信号出力ブロックから出力される前記第 2 のシリアル信号の位相を、前記シリアル出力回路から出力される前記第 1 のシリアル信号の振幅変更によって制御、
を前記出力信号発生装置に実施させることを特徴とする記憶媒体。

【請求項 15】

2 以上の信号出力ブロックが、異なる遅延時間のデータ信号の振幅を制御して各々が第 1 のシリアル信号を出力する 2 以上のシリアル出力回路と、前記 2 以上のシリアル出力回路から出力される前記第 1 のシリアル信号を電氣的に合波する信号合波部と、を各々が有し、前記信号合波部で電氣的に合波された第 2 のシリアル信号を出力する第 1 のステップと、

位相補正部が、前記 2 以上の信号出力ブロックから出力される前記第 2 のシリアル信号の位相を、前記シリアル出力回路から出力される前記第 1 のシリアル信号の振幅変更によ

10

20

30

40

50

って制御する第2のステップと、
を含むことを特徴とする位相補正方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、複数のシリアル信号を出力する出力信号発生装置、制御回路、記憶媒体および位相補正方法に関する。

【背景技術】

【0002】

近年、デルタシグマDAC (Digital Analog Converter) を用いてFPGA (Field Programmable Gate Array) から直接RF (Radio Frequency) 信号を出力するダイレクトデジタルRFと呼ばれる手法が検討されている。ダイレクトデジタルRF方式では、出力回路としてFPGAに内蔵されているシリアル出力回路が多く用いられる。FPGAは、一般的に、シリアル出力回路を数10から数100本内蔵しており、前述の技術を併用してFPGA単体でアレーアンテナを構成することが可能である。このようなアレーアンテナでは、アンテナ素子ごとの位相を調整する機構が必要となるほか、アンテナ素子間の位相を揃えるためのキャリブレーションを行う必要がある。

【0003】

FPGAに内蔵されているシリアル出力回路は、隣接するチャンネル間でスキューを低減する遅延調整機能を有しており、高速データ伝送などの用途では、このような遅延調整機能を用いてチャンネル間の位相調整を行っている。また、アレーアンテナなどの分野において送信アレーアンテナをキャリブレーションする方法として、特許文献1には、各アンテナ素子から個別に発生させた既知信号を共通の受信機で受信することで各々の伝達特性を取得し、取得した伝達特性に基づいてアンテナ素子ごとに送信信号を変えて出力する技術が開示されている。

【先行技術文献】

【特許文献】

【0004】

【文献】特開2020-57968号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

FPGAに内蔵されているシリアル出力回路を用いてアレーアンテナを構成する場合、複数あるシリアル出力回路で信号位相のゼロ点を一致させたい一方で、動的に位相を変更する必要がある。FPGAに内蔵されているシリアル出力回路の多くは、出力信号の遅延時間を調整することでチャンネル間のスキューを低減する機能を有している。しかしながら、遅延調整機能によって1UI (Unit Interval) 未満の微調整を行うことは難しい、という問題があった。このような遅延調整機能の多くは、チップ内の物理的に近いチャンネル間のスキュー調整を想定したものであり、数10から数100本規模で位相調整を行う用途には適していない。

【0006】

また、特許文献1の手法は、装置が本来の送信信号を送信していないタイミングでの実行に制限される、という問題があった。特許文献1の手法は、キャリブレーション結果に基づいて送信波形をアンテナ素子ごとに変更する必要があるが、ダイレクトデジタルRFを用いた送信装置に適用する場合、送信信号が1から2ビット程度の低量子化ビット信号であるため、FPGA内の信号処理によって連続的な位相回転を施すことが難しい。この場合、送信信号遅延によって位相調整を行う必要があるが、シリアル出力回路に付帯される遅延調整機能は、前述の通り1UI未満の微調整を行うことが難しい。

【0007】

本開示は、上記に鑑みてなされたものであって、複数のシリアル信号を出力する際にお

10

20

30

40

50

いて各シリアル信号の位相の調整精度を向上可能な出力信号発生装置を得ることを目的とする。

【課題を解決するための手段】

【0008】

上述した課題を解決し、目的を達成するために、本開示の出力信号発生装置は、異なる遅延時間のデータ信号の振幅を制御して各々が第1のシリアル信号を出力する2以上のシリアル出力回路と、2以上のシリアル出力回路から出力される第1のシリアル信号を電氣的に合波する信号合波部と、を各々が有し、信号合波部で電氣的に合波された第2のシリアル信号を出力する2以上の信号出力ブロックと、2以上の信号出力ブロックから出力される第2のシリアル信号の位相を、シリアル出力回路から出力される第1のシリアル信号の振幅変更によって制御する位相補正部と、を備えることを特徴とする。

10

【発明の効果】

【0009】

本開示に係る出力信号発生装置は、複数のシリアル信号を出力する際において各シリアル信号の位相の調整精度を向上させることができる、という効果を奏する。

【図面の簡単な説明】

【0010】

【図1】実施の形態1に係る出力信号発生装置を含むn素子アレーアンテナ送信装置の構成例を示す図

【図2】実施の形態1に係る出力信号発生装置に接続される送信信号生成部の構成例を示す図

20

【図3】実施の形態1に係る送信信号生成部に含まれるフィルタ回路であるデルタシグマDACへの入力スペクトルの例を示す図

【図4】実施の形態1に係る送信信号生成部に含まれるフィルタ回路であるデルタシグマDACからの出力スペクトルの例を示す図

【図5】実施の形態1に係る出力信号発生装置が備える信号出力ブロック内の信号波形の例を示す図

【図6】実施の形態1に係る出力信号発生装置が備える信号出力ブロック内の信号の位相関係をベクトル図で表した例を示す第1の図

【図7】実施の形態1に係る出力信号発生装置が備える信号出力ブロック内の信号の位相関係をベクトル図で表した例を示す第2の図

30

【図8】実施の形態1に係る出力信号発生装置が備える基準信号分配部の構成例を示す図

【図9】実施の形態1に係る出力信号発生装置が備えるレベル測定部の構成例を示す図

【図10】実施の形態1に係る出力信号発生装置が備える位相補正部における各信号出力ブロックの出力信号位相のゼロ点合わせ時の動作の例を示すフローチャート

【図11】実施の形態1に係る出力信号発生装置が備える処理回路をプロセッサおよびメモリで実現する場合の処理回路の構成例を示す図

【図12】実施の形態1に係る出力信号発生装置が備える処理回路を専用のハードウェアで構成する場合の処理回路の例を示す図

【図13】実施の形態2に係る出力信号発生装置を含むn素子アレーアンテナ送信装置の構成例を示す図

40

【図14】実施の形態3に係る出力信号発生装置を含むn素子アレーアンテナ送信装置の構成例を示す図

【図15】実施の形態3に係る出力信号発生装置が備える位相補正部における各信号出力ブロックの出力信号位相のゼロ点合わせ時の動作の例を示すフローチャート

【図16】実施の形態4に係る出力信号発生装置を含むn素子アレーアンテナ送信装置の構成例を示す図

【図17】実施の形態4に係る出力信号発生装置が備える位相補正部における各信号出力ブロックの出力信号位相のゼロ点合わせ時の動作の例を示すフローチャート

【図18】実施の形態4に係る出力信号発生装置が備える位相補正部が出力信号発生装置

50

の動作中に各信号出力ブロックから出力される第2のシリアル信号の位相をキャリブレーションする際の動作を示すフローチャート

【図19】実施の形態5に係る出力信号発生装置を含むn素子アレーアンテナ送信装置の構成例を示す図

【図20】実施の形態5に係る出力信号発生装置が備える位相補正部における各信号出力ブロックの出力信号位相のゼロ点合わせ時の動作の例を示すフローチャート

【発明を実施するための形態】

【0011】

以下に、本開示の実施の形態に係る出力信号発生装置、制御回路、記憶媒体および位相補正方法を図面に基づいて詳細に説明する。

【0012】

実施の形態1.

図1は、実施の形態1に係る出力信号発生装置20を含むn素子アレーアンテナ送信装置60の構成例を示す図である。n素子アレーアンテナ送信装置60は、n本のアンテナ素子50-1~50-nからシリアル信号を送信する装置である。n素子アレーアンテナ送信装置60は、送信信号生成部10と、出力信号発生装置20と、アナログフロントエンド40-1~40-nと、アンテナ素子50-1~50-nと、を備える。出力信号発生装置20は、送信信号生成部10、アナログフロントエンド40-1~40-nに接続される。送信信号生成部10は、n素子アレーアンテナ送信装置60が送信するシリアル信号の元となる送信信号であるデータ信号を生成し、出力信号発生装置20に出力する。

【0013】

図2は、実施の形態1に係る出力信号発生装置20に接続される送信信号生成部10の構成例を示す図である。送信信号生成部10は、変調信号発生器11と、減算器12と、FIR(Finite Impulse Response)フィルタ13と、減算器14と、IIR(Infinite Impulse Response)フィルタ15と、量子化器16と、を備える。減算器12、FIRフィルタ13、減算器14、帰還型フィルタであるIIRフィルタ15、および非線形処理を行う量子化器16は、フィルタ回路17を構成する。フィルタ回路17は、デルタシグマDACと呼ばれる回路として知られている。デルタシグマDACは、帯域外雑音を許容することで、入力信号の量子化ビット数を下げることが可能な回路である。送信信号生成部10は、帰還型フィルタであるIIRフィルタ15を用いて生成したデータ信号を、出力信号発生装置20に出力する。

【0014】

図3は、実施の形態1に係る送信信号生成部10に含まれるフィルタ回路17であるデルタシグマDACへの入力スペクトルの例を示す図である。図4は、実施の形態1に係る送信信号生成部10に含まれるフィルタ回路17であるデルタシグマDACからの出力スペクトルの例を示す図である。図3および図4において、横軸は周波数を示し、縦軸は電力を示している。バンドパス型のデルタシグマDACは、サンプリング周波数を f_s とすると、 $f_s/4$ および $3 \times f_s/4$ の周波数に信号帯域を有する。図3および図4に示す変調信号が該当する。量子化ビット数は入力スペクトル>出力スペクトルの関係があり、出力スペクトルには、図4に示すように信号帯域外に広帯域な雑音が発生する。送信信号生成部10は、生成したデータ信号を、出力信号発生装置20が備える信号出力ブロック22-1~22-n、および基準信号出力ブロック23に出力する。

【0015】

図1の説明に戻る。出力信号発生装置20は、送信信号生成部10で生成されたデータ信号を用いて、n個のシリアル信号を生成し、アナログフロントエンド40-1~40-nに出力する。アナログフロントエンド40-1~40-nは、各々、フィルタ、アンプなどの回路素子を備え、出力信号発生装置20で生成されたシリアル信号を、アンテナ素子50-1~50-nから送信する。以降の説明において、アナログフロントエンド40-1~40-nを区別しない場合はアナログフロントエンド40と称し、アンテナ素子50-1~50-nを区別しない場合はアンテナ素子50と称することがある。

10

20

30

40

50

【 0 0 1 6 】

出力信号発生装置 2 0 の構成および動作について詳細に説明する。図 1 に示すように、出力信号発生装置 2 0 は、位相補正部 2 1 と、信号出力ブロック 2 2 - 1 ~ 2 2 - n と、基準信号出力ブロック 2 3 と、基準信号分配部 2 4 と、信号分波部 2 5 - 1 ~ 2 5 - n と、基準合波部 2 6 - 1 ~ 2 6 - n と、切り替え部 2 7 と、レベル測定部 2 8 と、を備える。信号出力ブロック 2 2 - 1 は、ビット遅延部 2 2 1 - 1 A , 2 2 1 - 1 B と、シリアル出力回路 2 2 2 - 1 A , 2 2 2 - 1 B と、信号合波部 2 2 3 - 1 と、を備える。以降も同様であり、信号出力ブロック 2 2 - n は、ビット遅延部 2 2 1 - n A , 2 2 1 - n B と、シリアル出力回路 2 2 2 - n A , 2 2 2 - n B と、信号合波部 2 2 3 - n と、を備える。

【 0 0 1 7 】

以降の説明において、信号出力ブロック 2 2 - 1 ~ 2 2 - n を区別しない場合は信号出力ブロック 2 2 と称し、ビット遅延部 2 2 1 - 1 A , 2 2 1 - 1 B ~ 2 2 1 - n A , 2 2 1 - n B を区別しない場合はビット遅延部 2 2 1 と称し、シリアル出力回路 2 2 2 - 1 A , 2 2 2 - 1 B ~ 2 2 2 - n A , 2 2 2 - n B を区別しない場合はシリアル出力回路 2 2 2 と称し、信号合波部 2 2 3 - 1 ~ 2 2 3 - n を区別しない場合は信号合波部 2 2 3 と称することがある。図 1 に示すように、信号出力ブロック 2 2 は、送信信号生成部 1 0 からデータ信号を取得するためのデータ信号入力系統、位相補正部 2 1 から遅延制御信号を取得するための遅延制御信号入力系統、および位相補正部 2 1 から振幅制御信号を取得するための振幅制御信号入力系統をそれぞれ 2 系統ずつ有する。

【 0 0 1 8 】

ビット遅延部 2 2 1 は、位相補正部 2 1 からの遅延制御信号、すなわち位相補正部 2 1 の制御に基づいて、送信信号生成部 1 0 から取得したデータ信号のビット列を 1 ビット単位で 1 ビット以上遅延可能な回路である。ビット遅延部 2 2 1 は、遅延させたデータ信号をシリアル出力回路 2 2 2 に出力する。ビット遅延部 2 2 1 は、F P G A 内の組み合わせ回路、フリップフロップの組み合わせなどによって実現される。

【 0 0 1 9 】

シリアル出力回路 2 2 2 は、位相補正部 2 1 からの振幅制御信号、すなわち位相補正部 2 1 の制御に基づいて、ビット遅延部 2 2 1 から取得した遅延後のデータ信号の振幅を変更可能な回路である。シリアル出力回路 2 2 2 は、データ信号の振幅を制御した第 1 のシリアル信号を信号合波部 2 2 3 に出力する。シリアル出力回路 2 2 2 は、F P G A に内蔵されるギガビットトランシーバ、S E R D E S (S E R i a l i z e r / D E S e r i a l i z e r)、汎用デジタル I O (I n p u t O u t p u t) などによって実現される。

【 0 0 2 0 】

信号合波部 2 2 3 は、2 つのシリアル出力回路 2 2 2 から取得した第 1 のシリアル信号、すなわち 2 つの第 1 のシリアル信号を電氣的に合波する。信号合波部 2 2 3 は、2 つの第 1 のシリアル信号を電氣的に合波したシリアル信号を第 2 のシリアル信号として出力する。信号合波部 2 2 3 は、抵抗式のパワーディバイダ、ウィルキンソンディバイダなどの回路構成によって実現される。

【 0 0 2 1 】

図 5 は、実施の形態 1 に係る出力信号発生装置 2 0 が備える信号出力ブロック 2 2 内の信号波形の例を示す図である。図 5 は、信号出力ブロック 2 2 内の信号波形の例として、遅延制御信号に基づいて、ビット遅延部 2 2 1 - k A , 2 2 1 - k B によって 1 ビットの遅延差を設け、振幅制御信号に基づいて、シリアル出力回路 2 2 2 - k A , 2 2 2 - k B の出力振幅を非対称とした際の波形を示したものである。また、図 5 は、信号合波部 2 2 3 - k から出力される第 2 のシリアル信号を示している。図 5 に示すように、1 ビットの遅延差は、サンプリングレート f_s の $1/4$ の周波数において 90 度位相差に相当する。そのため、信号合波部 2 2 3 からの出力である第 2 のシリアル信号は、サンプリングレート f_s の $1/4$ の周期で変化する信号となる。なお、図 5 では、記載を簡潔にするため、ビット遅延部 2 2 1 - k A , 2 2 1 - k B をビット遅延部 A , B で表しており、シリアル出力回路 2 2 2 - k A , 2 2 2 - k B をシリアル出力回路 A , B で表している。k は 1

10

20

30

40

50

k n を満たす整数である。以降においても同様とする。

【0022】

図6は、実施の形態1に係る出力信号発生装置20が備える信号出力ブロック22内の信号の位相関係をベクトル図で表した例を示す第1の図である。図7は、実施の形態1に係る出力信号発生装置20が備える信号出力ブロック22内の信号の位相関係をベクトル図で表した例を示す第2の図である。図6は、ビット遅延部221-kAからの出力、およびビット遅延部221-kBからの出力を合成した場合の出力波形を示している。ここでは振幅制御は行っていないため、ビット遅延部221-kA, 221-kBからの出力を示す各ベクトルの長さは一定である。図7は、シリアル出力回路222-kA, 222-kBからの出力、および信号合波部223からの出力の出力波形を示している。図7に示すように、シリアル出力回路222-kA, 222-kBの振幅比率を変えることによって、周波数 $f_s/4$ における信号合波部223での合成位相を任意に設定することが可能となる。

10

【0023】

ここで、目的とする合成位相を θ とし、シリアル出力回路222-kA, 222-kBに設定すべき振幅比を $a:b$ とすると、 a および b は式(1)の関係を満足すればよい。特に、送信信号生成部10が図2に示すようなフィルタ回路17であるデルタシグマDAC回路を備える場合、送信信号生成部10から出力されるデータ信号の信号周波数は $f_s/4$ であり、図7に示す位相関係を満足する。

【0024】

$$a = \sin \theta, b = \cos \theta \dots (1)$$

20

【0025】

なお、本実施の形態では、信号出力ブロック22は、ビット遅延部221およびシリアル出力回路222を2つ備え、信号合波部223を1つ備える構成としているが一例であり、これに限定されない。信号出力ブロック22は、ビット遅延部221およびシリアル出力回路222を3つ以上備えてもよい。この場合、信号合波部223は、3つ以上のシリアル出力回路222から取得した第1のシリアル信号を電氣的に合波し、第2のシリアル信号として出力する。

【0026】

基準信号出力ブロック23は、ビット遅延部221-($n+1$)と、シリアル出力回路222-($n+1$)と、を備える。ビット遅延部221-($n+1$)はビット遅延部221と同様の構成であり、シリアル出力回路222-($n+1$)はシリアル出力回路222と同様の構成である。以降の説明において、ビット遅延部221-1A, 221-1B~221-nA, 221-nB, 221-($n+1$)を区別しない場合はビット遅延部221と称し、シリアル出力回路222-1A, 222-1B~222-nA, 222-nB, 222-($n+1$)を区別しない場合はシリアル出力回路222と称することがある。基準信号出力ブロック23は、信号出力ブロック22と異なり、送信信号生成部10からデータ信号を取得するためのデータ信号入力系統、位相補正部21から遅延制御信号を取得するための遅延制御信号入力系統、および位相補正部21から振幅制御信号を取得するための振幅制御信号入力系統をそれぞれ1系統ずつ有する。

30

40

【0027】

ビット遅延部221-($n+1$)は、位相補正部21からの遅延制御信号、すなわち位相補正部21の制御に基づいて、送信信号生成部10から取得したデータ信号を1ビット単位で1ビット以上遅延可能な回路である。ビット遅延部221-($n+1$)は、遅延させたデータ信号をシリアル出力回路222-($n+1$)に出力する。

【0028】

シリアル出力回路222-($n+1$)は、位相補正部21からの振幅制御信号、すなわち位相補正部21の制御に基づいて、ビット遅延部221-($n+1$)から取得した遅延後のデータ信号の振幅を変更可能な回路である。シリアル出力回路222-($n+1$)は、データ信号の振幅を制御したシリアル信号を基準シリアル信号として基準信号分配部2

50

4 に出力する。基準シリアル信号を単に基準信号と称することがある。

【 0 0 2 9 】

なお、出力信号発生装置 2 0 は、図 1 の例では、基準信号出力ブロック 2 3 を 1 つ備えているが、基準信号出力ブロック 2 3 を 2 つ以上備えていてもよい。

【 0 0 3 0 】

基準信号分配部 2 4 は、基準信号出力ブロック 2 3 から取得した基準シリアル信号を分配する。基準信号分配部 2 4 は、図 1 の例では、基準信号出力ブロック 2 3 から取得した基準シリアル信号を n 個に分配し、基準合波部 2 6 - 1 ~ 2 6 - n の各々に 1 つの基準シリアル信号を出力する。図 8 は、実施の形態 1 に係る出力信号発生装置 2 0 が備える基準信号分配部 2 4 の構成例を示す図である。基準信号分配部 2 4 は、例えば、図 8 に示すように、パワーディバイダなどの回路構成、すなわち電力分配回路 2 4 1 ~ 2 4 7 をツリー状に配置して電力分配を行う回路構成などが考えられる。なお、出力信号発生装置 2 0 は、2 以上の基準信号出力ブロック 2 3 を備える場合、基準信号出力ブロック 2 3 の数と同数の基準信号分配部 2 4 を備えるようにしてもよい。

10

【 0 0 3 1 】

信号分波部 2 5 - 1 ~ 2 5 - n は、各々、対応する信号出力ブロック 2 2 から取得した第 2 のシリアル信号を分波する。具体的には、信号分波部 2 5 - 1 は、信号出力ブロック 2 2 - 1 から取得した第 2 のシリアル信号を、アナログフロントエンド 4 0 - 1、および基準合波部 2 6 - 1 に出力する。以降も同様に、信号分波部 2 5 - n は、信号出力ブロック 2 2 - n から取得した第 2 のシリアル信号を、アナログフロントエンド 4 0 - n 、および基準合波部 2 6 - n に出力する。信号分波部 2 5 - 1 ~ 2 5 - n は、例えば、抵抗式のパワーディバイダ、ウィルキンソンディバイダ、方向性結合器など、電力を規定された比率で分配する回路素子によって実現される。以降の説明において、信号分波部 2 5 - 1 ~ 2 5 - n を区別しない場合は信号分波部 2 5 と称することがある。

20

【 0 0 3 2 】

基準合波部 2 6 - 1 ~ 2 6 - n は、各々、基準信号分配部 2 4 から取得した基準シリアル信号と、対応する信号分波部 2 5 から取得した分波後の第 2 のシリアル信号と、を電氣的に合波する。基準合波部 2 6 - 1 ~ 2 6 - n は、例えば、抵抗式のパワーコンバイナ、ウィルキンソンディバイダなど、電力を一定の比率で合成する回路素子によって実現される。基準合波部 2 6 - 1 ~ 2 6 - n は、合波後のシリアル信号である第 3 のシリアル信号を、切り替え部 2 7 に出力する。以降の説明において、基準合波部 2 6 - 1 ~ 2 6 - n を区別しない場合は基準合波部 2 6 と称することがある。

30

【 0 0 3 3 】

切り替え部 2 7 は、基準合波部 2 6 - 1 ~ 2 6 - n から第 3 のシリアル信号、すなわち n 個の第 3 のシリアル信号を取得する。切り替え部 2 7 は、位相補正部 2 1 からの制御信号である切り替え信号に基づいて、どの基準合波部 2 6 から取得した第 3 のシリアル信号をレベル測定部 2 8 に出力するのかが選択する。切り替え部 2 7 は、例えば、位相補正部 2 1 からの切り替え信号によって基準合波部 2 6 - 1 が設定された場合、基準合波部 2 6 - 1 から取得した第 3 のシリアル信号を選択してレベル測定部 2 8 に出力する。切り替え部 2 7 は、例えば、半導体または機構部品によって作られたスイッチなどによって実現される。

40

【 0 0 3 4 】

レベル測定部 2 8 は、切り替え部 2 7 から取得した第 3 のシリアル信号の出力レベルとして、電力または振幅を測定する。レベル測定部 2 8 は、第 3 のシリアル信号の出力レベルの測定値を示すレベル信号を位相補正部 2 1 に出力する。図 9 は、実施の形態 1 に係る出力信号発生装置 2 0 が備えるレベル測定部 2 8 の構成例を示す図である。レベル測定部 2 8 は、図 9 に示すように、検波回路 2 8 1 と、アナログデジタル変換回路 2 8 2 と、を備える。検波回路 2 8 1 は、第 3 のシリアル信号の電力または振幅を測定する。アナログデジタル変換回路 2 8 2 は、検波回路 2 8 1 の測定値を、位相補正部 2 1 で扱うことが可能な形式に変換、すなわちアナログ形式からデジタル形式に変換し、レベル信号として出

50

力する。なお、レベル測定部 28 は、第 3 のシリアル信号の平均的な電力または振幅を測定することができればよく、図 9 に示す回路構成以外の構成であってもよい。レベル測定部 28 は、例えば、高速なアナログデジタル変換回路によって直接高周波信号である第 3 のシリアル信号をサンプリングし、FPGA 内の信号処理によって平均電力または振幅を求める構成であってもよい。

【0035】

n 素子アレーアンテナ送信装置 60 において、アナログフロントエンド 40 は、図 1 に示すように、対応する信号分波部 25 からシリアル信号である第 2 のシリアル信号を取得する。アナログフロントエンド 40 は、第 2 のシリアル信号に対して、フィルタ処理、増幅処理などを行って、対応するアンテナ素子 50 を介して送信する。

10

【0036】

このように、出力信号発生装置 20 において、信号分波部 25 は、信号出力ブロック 22 で生成された第 2 のシリアル信号の一部を基準合波部 26 に供給し、第 2 のシリアル信号の残りの部分を、アナログフロントエンド 40 を介してアンテナ素子 50 に供給する。

【0037】

なお、図 1 に示すように、出力信号発生装置 20 のうち、位相補正部 21、ビット遅延部 221、およびシリアル出力回路 222 は、FPGA の内部、すなわち FPGA によって構成される。出力信号発生装置 20 のうち、信号合波部 223、基準信号分配部 24、信号分波部 25、基準合波部 26、切り替え部 27、およびレベル測定部 28 は、FPGA の外部、すなわちアナログ回路などによって構成される。図 1 に示すように、点線の左側が FPGA の内部の構成となり、点線の右側が FPGA の外部の構成となる。後述する実施の形態の構成例の図においても同様とする。

20

【0038】

位相補正部 21 は、各信号出力ブロック 22 から出力される第 2 のシリアル信号の位相、すなわち出力信号位相のゼロ点合わせ、また、外部から取得したアンテナ素子 50 - 1 ~ 50 - n に対するアンテナ位相設定 ($\phi_1 \sim \phi_n$) などに基づいて、各信号出力ブロック 22 に対して出力する遅延制御信号および振幅制御信号を制御する。また、位相補正部 21 は、レベル測定部 28 で測定された第 3 のシリアル信号の出力レベル、すなわち測定値に基づいて、2 以上の信号出力ブロック 22 から出力される第 2 のシリアル信号の位相を制御する。図 10 は、実施の形態 1 に係る出力信号発生装置 20 が備える位相補正部 21 における各信号出力ブロック 22 の出力信号位相のゼロ点合わせ時の動作の例を示すフローチャートである。

30

【0039】

図 10 のフローチャートに示すように、はじめに、位相補正部 21 は、信号出力ブロック 22 - k のシリアル出力回路 222 - k A の出力タイミング、および基準信号出力ブロック 23 の出力タイミングができるだけ一致するようなビット遅延部 221 - k A の設定値である遅延量 d_{kA_max} を探索する。次に、位相補正部 21 は、信号出力ブロック 22 - k のシリアル出力回路 222 - k B の出力タイミング、および基準信号出力ブロック 23 の出力タイミングができるだけ一致するようなビット遅延部 221 - k B の設定値である遅延量 d_{kB_max} を探索する。最後に、位相補正部 21 は、信号出力ブロック 22 - k から出力される第 2 のシリアル信号、および基準信号出力ブロック 23 から出力される基準シリアル信号ができるだけ一致するような位相 ϕ_{k_max} を探索する。位相補正部 21 は、上記の探索をレベル測定部 28 の測定値が最大になる点を探索することによって行う。

40

【0040】

図 10 において、 d は位相 ϕ_{k_max} 探索時の探索分解能を表している。位相補正部 21 は、例えば、1 度単位で探索を行う際は $d = 1$ として図 10 に示すフローチャートを実施する。また、図 10 では、記載を簡潔にするため、信号出力ブロック 22 - k を、信号出力ブロック k で表している。また、前述のように、ビット遅延部 221 - k A, 221 - k B をビット遅延部 A, B で表しており、シリアル出力回路 222 - k A, 222

50

- k_B をシリアル出力回路 A, B で表している。以降においても同様とする。

【0041】

具体的には、位相補正部 21 は、 $k = 1$ を設定し、基準信号出力ブロック 23 のビット遅延部 221 - ($n + 1$) に対する遅延量を $L / 2$ に設定する (ステップ S101)。なお、 L は送信信号生成部 10 から出力されるデータ信号のビット数とする。 $k = n$ の場合 (ステップ S102: Yes)、位相補正部 21 は、切り替え部 27 を信号出力ブロック 22 - k に設定する。位相補正部 21 は、信号出力ブロック 22 - k のシリアル出力回路 222 - k_A の振幅を 1 に設定し、信号出力ブロック 22 - k のシリアル出力回路 222 - k_B の振幅を 0 に設定する (ステップ S103)。位相補正部 21 は、信号出力ブロック 22 - k のビット遅延部 221 - k_A の遅延量 d_{kA} を $0 \sim L - 1$ まで変化させ、レベル測定部 28 の測定値 P_{dkA} が最大となる遅延量 d_{kA_max} を記録する (ステップ S104)。位相補正部 21 は、信号出力ブロック 22 - k のシリアル出力回路 222 - k_A の振幅を 0 に設定し、信号出力ブロック 22 - k のシリアル出力回路 222 - k_B の振幅を 1 に設定する (ステップ S105)。位相補正部 21 は、信号出力ブロック 22 - k のビット遅延部 221 - k_B の遅延量 d_{kB} を $0 \sim L - 1$ まで変化させ、レベル測定部 28 の測定値 P_{dkB} が最大となる遅延量 d_{kB_max} を記録する (ステップ S106)。

10

【0042】

位相補正部 21 は、信号出力ブロック 22 - k のビット遅延部 221 - k_A の遅延量として d_{kA_max} を設定し、信号出力ブロック 22 - k のビット遅延部 221 - k_B の遅延量として $d_{kB_max} + 1$ を設定し、 $\theta = -90$ 度を設定する (ステップ S107)。

20

< 90 度の場合 (ステップ S108: Yes)、位相補正部 21 は、信号出力ブロック 22 - k のシリアル出力回路 222 - k_A の振幅を $\sin \theta$ に設定し、信号出力ブロック 22 - k のシリアル出力回路 222 - k_B の振幅を $\cos \theta$ に設定する (ステップ S109)。位相補正部 21 は、レベル測定部 28 の測定値 P_{dk} が最大となる位相 θ_{k_max} を記録する (ステップ S110)。位相補正部 21 は、 $\theta = \theta_{k_max} + d$ として d の値をインクリメントする (ステップ S111)。位相補正部 21 は、ステップ S108 に戻って、

90 度になるまでステップ S109 からステップ S111 までの動作を繰り返し行う。

90 度の場合 (ステップ S108: No)、位相補正部 21 は、 $k = k + 1$ として k の値をインクリメントする (ステップ S112)。位相補正部 21 は、ステップ S102 に戻って、 $k > n$ になるまでステップ S103 からステップ S112 までの動作を繰り返し行う。 $k > n$ の場合 (ステップ S102: No)、位相補正部 21 は、図 10 に示すフローチャートの動作を終了する。

30

【0043】

このように、位相補正部 21 は、外部から入力されたアンテナ位相設定 ($\theta_1 \sim \theta_n$) に基づいて各信号出力ブロック 22 に対して出力する遅延制御信号および振幅制御信号を制御する場合、ゼロ点合わせの制御によって取得した遅延量 d_{kA_max} , d_{kB_max} 、位相 θ_{k_max} を用いる。具体的には、位相補正部 21 は、信号出力ブロック 22 - k のビット遅延部 221 - k_A の遅延量を d_{kA_max} 、ビット遅延部 221 - k_B の遅延量を d_{kB_max} 、シリアル出力回路 222 - k_A , 222 - k_B の振幅比を $\sin (\theta_{k_max} + \theta_k) : \cos (\theta_{k_max} + \theta_k)$ に設定する。

40

【0044】

このように、出力信号発生装置 20 は、2 以上の信号出力ブロック 22 と、位相補正部 21 と、を備える。信号出力ブロック 22 は、各々が、データ信号を 1 ビット以上遅延可能であって遅延させたデータ信号を対応するシリアル出力回路 222 に出力する 2 以上のビット遅延部 221 と、異なる遅延時間のデータ信号の振幅を制御して各々が第 1 のシリアル信号を出力する 2 以上のシリアル出力回路 222 と、2 以上のシリアル出力回路 222 から出力される第 1 のシリアル信号を電氣的に合波する信号合波部 223 と、を備える。位相補正部 21 は、2 以上の信号出力ブロック 22 から出力される第 2 のシリアル信号の位相を、シリアル出力回路 222 から出力される第 1 のシリアル信号の振幅変更によって制御する。位相補正部 21 は、2 以上の信号出力ブロック 22 から出力される第 2 のシ

50

リアル信号の位相を、さらに、ビット遅延部 2 2 1 での遅延ビット数によって制御する。

【 0 0 4 5 】

なお、出力信号発生装置 2 0 において、信号出力ブロック 2 2 は、ビット遅延部 2 2 1 を備えない構成にすることも可能である。例えば、位相補正部 2 1 は、2 以上の信号出力ブロック 2 2 から出力される第 2 のシリアル信号の位相を、さらに、シリアル出力回路 2 2 2 における基準クロックの位相変更によって制御してもよい。また、位相補正部 2 1 は、信号出力ブロック 2 2 がビット遅延部 2 2 1 を備えたうえで、さらにシリアル出力回路 2 2 2 における基準クロックの位相変更によって制御してもよい。この場合、位相補正部 2 1 は、2 以上の信号出力ブロック 2 2 から出力される第 2 のシリアル信号の位相を、さらに、ビット遅延部 2 2 1 での遅延ビット数によって制御するとともに、シリアル出力回路 2 2 2 における基準クロックの位相変更によって制御する。

10

【 0 0 4 6 】

つづいて、出力信号発生装置 2 0 のハードウェア構成について説明する。出力信号発生装置 2 0 において、位相補正部 2 1 以外の構成は、前述のような回路構成によって実現される。位相補正部 2 1 は処理回路により実現される。処理回路は、FPGA に内蔵されるものであり、メモリに格納されるプログラムを実行するプロセッサおよびメモリであってもよいし、専用のハードウェアであってもよい。処理回路は制御回路とも呼ばれる。

【 0 0 4 7 】

図 1 1 は、実施の形態 1 に係る出力信号発生装置 2 0 が備える処理回路をプロセッサ 9 1 およびメモリ 9 2 で実現する場合の処理回路 9 0 の構成例を示す図である。図 1 1 に示す処理回路 9 0 は制御回路であり、プロセッサ 9 1 およびメモリ 9 2 を備える。処理回路 9 0 がプロセッサ 9 1 およびメモリ 9 2 で構成される場合、処理回路 9 0 の各機能は、ソフトウェア、ファームウェア、またはソフトウェアとファームウェアとの組み合わせにより実現される。ソフトウェアまたはファームウェアはプログラムとして記述され、メモリ 9 2 に格納される。処理回路 9 0 では、メモリ 9 2 に記憶されたプログラムをプロセッサ 9 1 が読み出して実行することにより、各機能を実現する。すなわち、処理回路 9 0 は、出力信号発生装置 2 0 の処理が結果的に実行されることになるプログラムを格納するためのメモリ 9 2 を備える。このプログラムは、処理回路 9 0 により実現される各機能を出力信号発生装置 2 0 に実行させるためのプログラムであるともいえる。このプログラムは、プログラムが記憶された記憶媒体により提供されてもよいし、通信媒体など他の手段により提供されてもよい。

20

30

【 0 0 4 8 】

上記プログラムは、2 以上の信号出力ブロック 2 2 が、異なる遅延時間のデータ信号の振幅を制御して各々が第 1 のシリアル信号を出力する 2 以上のシリアル出力回路 2 2 2 と、2 以上のシリアル出力回路 2 2 2 から出力される第 1 のシリアル信号を電氣的に合波する信号合波部 2 2 3 と、を各々が有し、信号合波部 2 2 3 で電氣的に合波された第 2 のシリアル信号を出力する第 1 のステップと、位相補正部 2 1 が、2 以上の信号出力ブロック 2 2 から出力される第 2 のシリアル信号の位相を、シリアル出力回路 2 2 2 から出力される第 1 のシリアル信号の振幅変更によって制御する第 2 のステップと、を出力信号発生装置 2 0 に実行させるプログラムであるとも言える。

40

【 0 0 4 9 】

ここで、プロセッサ 9 1 は、例えば、CPU (Central Processing Unit)、処理装置、演算装置、マイクロプロセッサ、マイクロコンピュータ、または DSP (Digital Signal Processor) などである。また、メモリ 9 2 は、例えば、RAM (Random Access Memory)、ROM (Read Only Memory)、フラッシュメモリ、EPROM (Erasable Programmable ROM)、EEPROM (登録商標) (Electrically EPROM) などの、不揮発性または揮発性の半導体メモリ、磁気ディスク、フレキシブルディスク、光ディスク、コンパクトディスク、ミニディスク、または DVD (Digital Versatile Disc) などが該当する。

【 0 0 5 0 】

50

図 1 2 は、実施の形態 1 に係る出力信号発生装置 2 0 が備える処理回路を専用のハードウェアで構成する場合の処理回路 9 3 の例を示す図である。図 1 2 に示す処理回路 9 3 は、例えば、単回路、複合回路、プログラム化したプロセッサ、並列プログラム化したプロセッサ、ASIC (Application Specific Integrated Circuit)、FPGA、またはこれらを組み合わせたものが該当する。処理回路については、一部を専用のハードウェアで実現し、一部をソフトウェアまたはファームウェアで実現するようにしてもよい。このように、処理回路は、専用のハードウェア、ソフトウェア、ファームウェア、またはこれらの組み合わせによって、上述の各機能を実現することができる。

【 0 0 5 1 】

以上説明したように、本実施の形態によれば、出力信号発生装置 2 0 は、シリアル出力回路 2 2 2 を 2 系統使用し、2 系統のシリアル出力回路 2 2 2 から 1 ビットの遅延差を持つ第 1 のシリアル信号を異なる振幅で出力し、2 系統の第 1 のシリアル信号を合波し、第 2 のシリアル信号として出力する。出力信号発生装置 2 0 は、2 系統の第 1 のシリアル信号が合波された第 2 のシリアル信号と、基準信号出力ブロック 2 3 から出力される基準シリアル信号とを合波した第 3 のシリアル信号の振幅が最大となるビット遅延量および振幅比率を基準とすることで、所望の位相差を持つ複数の信号を得ることができる。出力信号発生装置 2 0 は、複数のシリアル信号を出力する際において、各シリアル信号の位相の調整精度を向上させることができる。

10

【 0 0 5 2 】

本実施の形態では、1 ビット遅延が周波数 $f_s / 4$ における 90 度位相差に相当することを利用し、出力信号発生装置 2 0 は、1 ビットの遅延差を設けた 2 つのデータ信号の振幅を制御したものを合波してシリアル信号として出力することで、1 UI 未満の位相調整を可能にする。また、出力信号発生装置 2 0 は、信号出力ブロック 2 2 から出力される第 2 のシリアル信号と基準シリアル信号とを合波した第 3 のシリアル信号の出力レベルに基づいて位相調整を行うことで、各シリアル出力回路 2 2 2 の位相補正を行うことを可能にする。また、出力信号発生装置 2 0 は、FPGA 外部のアナログ回路を削減することが可能となり、複数のシリアル出力信号間の位相を、少ない部品で制御および補正することができる。

20

【 0 0 5 3 】

実施の形態 2 .

実施の形態 1 では、 n 素子アレーアンテナ送信装置 6 0 において、アナログフロントエンド 4 0 は、出力信号発生装置 2 0 の外部にあった。実施の形態 2 では、出力信号発生装置が、アナログフロントエンドの一部を備える場合について説明する。

30

【 0 0 5 4 】

図 1 3 は、実施の形態 2 に係る出力信号発生装置 2 0 a を含む n 素子アレーアンテナ送信装置 6 0 a の構成例を示す図である。 n 素子アレーアンテナ送信装置 6 0 a は、図 1 に示す実施の形態 1 の n 素子アレーアンテナ送信装置 6 0 に対して、出力信号発生装置 2 0 およびアナログフロントエンド 4 0 - 1 ~ 4 0 - n を、出力信号発生装置 2 0 a およびアナログフロントエンド 4 0 a - 1 ~ 4 0 a - n に置き換えたものである。出力信号発生装置 2 0 a は、図 1 に示す実施の形態 1 の出力信号発生装置 2 0 に対して、アナログフロントエンド 2 9 - 1 ~ 2 9 - n を追加したものである。以降の説明において、アナログフロントエンド 4 0 a - 1 ~ 4 0 a - n を区別しない場合はアナログフロントエンド 4 0 a と称し、アナログフロントエンド 2 9 - 1 ~ 2 9 - n を区別しない場合はアナログフロントエンド 2 9 と称することがある。

40

【 0 0 5 5 】

実施の形態 2 では、図 1 に示す実施の形態 1 のアナログフロントエンド 4 0 の一部の機能を、アナログフロントエンド 2 9 として、出力信号発生装置 2 0 a の信号分波部 2 5 の前段に移動させている。すなわち、図 1 3 に示すアナログフロントエンド 2 9 の機能およびアナログフロントエンド 4 0 a の機能を併せたものが、図 1 に示す実施の形態 1 のアナログフロントエンド 4 0 の機能となる。実施の形態 2 では、図 1 3 に示すような構成にす

50

ることによって、出力信号発生装置 20 a は、実施の形態 1 のアナログフロントエンド 40 に存在していたアナログ特性のばらつきによる位相誤差の一部を、図 10 に示すフローチャートの動作を行うことによって取り除くことができる。アナログフロントエンド 40 のうち、アナログフロントエンド 29 として信号分波部 25 の前段に移動させる回路素子としては、例えば、アンプ、フィルタなどが該当する。

【0056】

以上説明したように、本実施の形態によれば、出力信号発生装置 20 a は、信号分波部 25 の前段に、アナログフロントエンド 29 を備えることとした。これにより、出力信号発生装置 20 a は、実施の形態 1 のアナログフロントエンド 40 に存在していたアナログ特性のばらつきによる位相誤差の一部を取り除くことができる。

10

【0057】

実施の形態 3 .

実施の形態 3 では、出力信号発生装置が、基準信号出力ブロック 23 の前段にビット反転部を備える場合について説明する。なお、実施の形態 3 については、実施の形態 1 および実施の形態 2 に適用可能であるが、ここでは、一例として、実施の形態 1 を例にして説明する。

【0058】

図 14 は、実施の形態 3 に係る出力信号発生装置 20 b を含む n 素子アレーアンテナ送信装置 60 b の構成例を示す図である。n 素子アレーアンテナ送信装置 60 b は、図 1 に示す実施の形態 1 の n 素子アレーアンテナ送信装置 60 に対して、出力信号発生装置 20 を出力信号発生装置 20 b に置き換えたものである。出力信号発生装置 20 b は、図 1 に示す実施の形態 1 の出力信号発生装置 20 に対して、ビット反転部 30 を追加したものである。ビット反転部 30 は、基準信号出力ブロック 23 の前段に設置され、位相補正部 21 からのビット反転信号、すなわち位相補正部 21 の制御に基づいて、送信信号生成部 10 から取得したデータ信号のビット反転を制御して、基準信号出力ブロック 23 に出力する。基準信号出力ブロック 23 は、ビット反転部 30 を介して送信信号生成部 10 に接続され、ビット反転部 30 を介して送信信号生成部 10 からデータ信号を取得する。

20

【0059】

ビット反転信号が反転の場合、基準信号出力ブロック 23 は、実施の形態 1 および実施の形態 2 のときと比較して、ビット反転したデータ信号を取得する。この場合、基準信号出力ブロック 23 は、実施の形態 1 および実施の形態 2 のときと比較して、ビット反転した基準シリアル信号を出力することになる。なお、ビット反転信号が非反転の場合、基準信号出力ブロック 23 は、実施の形態 1 および実施の形態 2 のときと同様のデータ信号を取得する。この場合、基準信号出力ブロック 23 は、実施の形態 1 および実施の形態 2 のときと同様の基準シリアル信号を出力することになる。

30

【0060】

図 15 は、実施の形態 3 に係る出力信号発生装置 20 b が備える位相補正部 21 における各信号出力ブロック 22 の出力信号位相のゼロ点合わせ時の動作の例を示すフローチャートである。図 15 に示すように、実施の形態 3 において、位相補正部 21 は、ビット遅延部 221 の遅延量 d_{kA_min} 、 d_{kB_min} の探索の際、ビット反転部 30 のビット反転を有効にするとともに、レベル測定部 28 の測定値が最小になる点を探索する。また、位相補正部 21 は、位相 k_max の探索の際、ビット反転部 30 のビット反転を無効にするとともに、レベル測定部 28 の測定値が最大となる点を探索する。

40

【0061】

具体的には、位相補正部 21 は、 $k = 1$ を設定し、基準信号出力ブロック 23 のビット遅延部 221 - $(n + 1)$ に対する遅延量を $L / 2$ に設定する (ステップ S201)。 $k = n$ の場合 (ステップ S202 : Yes)、位相補正部 21 は、ビット反転部 30 に対するビット反転信号を反転に設定する (ステップ S203)。位相補正部 21 は、切り替え部 27 を信号出力ブロック 22 - k に設定し、信号出力ブロック 22 - k のシリアル出力回路 222 - kA の振幅を 1 に設定し、信号出力ブロック 22 - k のシリアル出力回路 2

50

22 - k Bの振幅を0に設定する(ステップS204)。位相補正部21は、信号出力ブロック22 - kのビット遅延部221 - k Aの遅延量 d_{kA} を0 ~ L - 1まで変化させ、レベル測定部28の測定値 P_{dkA} が最小となる遅延量 d_{kA_min} を記録する(ステップS205)。位相補正部21は、信号出力ブロック22 - kのシリアル出力回路222 - k Aの振幅を0に設定し、信号出力ブロック22 - kのシリアル出力回路222 - k Bの振幅を1に設定する(ステップS206)。位相補正部21は、信号出力ブロック22 - kのビット遅延部221 - k Bの遅延量 d_{kB} を0 ~ L - 1まで変化させ、レベル測定部28の測定値 P_{dkB} が最小となる遅延量 d_{kB_min} を記録する(ステップS207)。

【0062】

位相補正部21は、ビット反転部30に対するビット反転信号を非反転に設定する(ステップS208)。位相補正部21は、信号出力ブロック22 - kのビット遅延部221 - k Aの遅延量として d_{kA_min} を設定し、信号出力ブロック22 - kのビット遅延部221 - k Bの遅延量として $d_{kB_min} + 1$ を設定し、 $\theta = -90$ 度を設定する(ステップS209)。 $\theta < 90$ 度の場合(ステップS210: Yes)、位相補正部21は、信号出力ブロック22 - kのシリアル出力回路222 - k Aの振幅を \sin に設定し、信号出力ブロック22 - kのシリアル出力回路222 - k Bの振幅を \cos に設定する(ステップS211)。位相補正部21は、レベル測定部28の測定値 P_k が最大となる位相 θ_{k_max} を記録する(ステップS212)。位相補正部21は、 $\theta = \theta_{k_max} + d$ として d の値をインクリメントする(ステップS213)。位相補正部21は、ステップS210に戻って、 $\theta = 90$ 度になるまでステップS211からステップS213までの動作を繰り返し行う。 $\theta = 90$ 度の場合(ステップS210: No)、位相補正部21は、 $k = k + 1$ として k の値をインクリメントする(ステップS214)。位相補正部21は、ステップS202に戻って、 $k > n$ になるまでステップS203からステップS214までの動作を繰り返し行う。 $k > n$ の場合(ステップS202: No)、位相補正部21は、図15に示すフローチャートの動作を終了する。

【0063】

以上説明したように、本実施の形態によれば、出力信号発生装置20bは、基準信号出力ブロック23の前段にビット反転部30を備え、ビット反転部30は、位相補正部21の制御によって、送信信号生成部10から取得したデータ信号を、反転または非反転して基準信号出力ブロック23に出力することとした。出力信号発生装置20bは、実施の形態1と異なる条件を用いた場合でも、実施の形態1と同様の効果を得ることができる。

【0064】

実施の形態4。

実施の形態4では、基準シリアル信号を出力する基準信号出力ブロックの構成が、信号出力ブロック22と同様の構成の場合について説明する。なお、実施の形態4については、実施の形態1から実施の形態3に適用可能であるが、ここでは、一例として、実施の形態1を例にして説明する。

【0065】

図16は、実施の形態4に係る出力信号発生装置20cを含む n 素子アレーアンテナ送信装置60cの構成例を示す図である。 n 素子アレーアンテナ送信装置60cは、図1に示す実施の形態1の n 素子アレーアンテナ送信装置60に対して、出力信号発生装置20を出力信号発生装置20cに置き換えたものである。出力信号発生装置20cは、図1に示す実施の形態1の出力信号発生装置20に対して、基準信号出力ブロック23、基準信号分配部24、および切り替え部27を、基準信号出力ブロック23c、基準信号分配部24c、および切り替え部27cに置き換えたものである。

【0066】

基準信号出力ブロック23cは、ビット遅延部221 - (n + 1) A, 221 - (n + 1) Bと、シリアル出力回路222 - (n + 1) A, 222 - (n + 1) Bと、信号合波部223 - (n + 1)と、を備える。このように、基準信号出力ブロック23cは、信号

10

20

30

40

50

出力ブロック 2 2 と同様の構成である。基準信号出力ブロック 2 3 c は、信号合波部 2 2 3 - (n + 1) で電氣的に合波されたシリアル信号を基準シリアル信号として出力する。基準信号分配部 2 4 c は、基準信号出力ブロック 2 3 c から取得した基準シリアル信号を n + 1 個に分配する。基準信号分配部 2 4 c は、切り替え部 2 7 c にも基準シリアル信号を分配するため、基準信号分配部 2 4 よりも 1 個多く分配する。切り替え部 2 7 c は、基準合波部 2 6 - 1 ~ 2 6 - n から n 個の第 3 のシリアル信号を取得し、基準信号分配部 2 4 c から基準シリアル信号を取得する。切り替え部 2 7 c は、位相補正部 2 1 からの制御信号である切り替え信号に基づいて、n 個の第 3 のシリアル信号および基準シリアル信号から、レベル測定部 2 8 に出力する 1 つを選択する。

【 0 0 6 7 】

なお、出力信号発生装置 2 0 c は、図 1 6 の例では、基準信号出力ブロック 2 3 c を 1 つ備えているが、基準信号出力ブロック 2 3 c を 2 つ以上備えていてもよい。出力信号発生装置 2 0 c は、2 以上の基準信号出力ブロック 2 3 c を備える場合、基準信号出力ブロック 2 3 c の数と同数の基準信号分配部 2 4 c を備えるようにしてもよい。

【 0 0 6 8 】

図 1 7 は、実施の形態 4 に係る出力信号発生装置 2 0 c が備える位相補正部 2 1 における各信号出力ブロック 2 2 の出力信号位相のゼロ点合わせ時の動作の例を示すフローチャートである。図 1 7 に示すように、実施の形態 4 において、位相補正部 2 1 は、はじめに基準信号出力ブロック 2 3 c のシリアル出力回路 2 2 2 - k A , 2 2 2 - k B の出力信号タイミングを一致させるための遅延量 d_{0B_max} を探索する。なお、図 1 7 では、記載を簡潔にするため、基準信号出力ブロック 2 3 c のビット遅延部 2 2 1 - (n + 1) A , 2 2 1 - (n + 1) B をビット遅延部 A , B で表しており、基準信号出力ブロック 2 3 c のシリアル出力回路 2 2 2 - (n + 1) A , 2 2 2 - (n + 1) B をシリアル出力回路 A , B で表している。以降においても同様とする。

【 0 0 6 9 】

具体的には、位相補正部 2 1 は、切り替え部 2 7 c を基準信号分配部 2 4 c に設定する。位相補正部 2 1 は、基準信号出力ブロック 2 3 c のシリアル出力回路 2 2 2 - (n + 1) A , 2 2 2 - (n + 1) B の振幅を 1 に設定し、基準信号出力ブロック 2 3 c のビット遅延部 2 2 1 - (n + 1) A の遅延量 d_{0A} を $L / 2$ に設定する (ステップ S 3 0 1)。位相補正部 2 1 は、基準信号出力ブロック 2 3 c のビット遅延部 2 2 1 - (n + 1) B の遅延量 d_{0B} を 0 ~ $L - 1$ まで変化させ、レベル測定部 2 8 の測定値 $P_{d_{0B}}$ が最大となる遅延量 d_{0B_max} を記録する (ステップ S 3 0 2)。位相補正部 2 1 は、基準信号出力ブロック 2 3 c のビット遅延部 2 2 1 - (n + 1) B の遅延量 d_{0B} を $d_{0B_max} + 1$ に設定する (ステップ S 3 0 3)。以降のステップ S 3 0 4 からステップ S 3 1 4 までの動作は、図 1 0 に示す実施の形態 1 のフローチャートのステップ S 1 0 2 からステップ S 1 1 2 までの動作と同様である。

【 0 0 7 0 】

図 1 8 は、実施の形態 4 に係る出力信号発生装置 2 0 c が備える位相補正部 2 1 が出力信号発生装置 2 0 c の動作中に各信号出力ブロック 2 2 から出力される第 2 のシリアル信号の位相をキャリブレーションする際の動作を示すフローチャートである。位相補正部 2 1 は、キャリブレーション処理として、アンテナ位相設定 ($1 \sim n$) に基づいて、基準信号出力ブロック 2 3 c から出力される基準シリアル信号の位相を設定したうえで、各信号出力ブロック 2 2 から出力される第 2 のシリアル信号の位相 k を微小角度 d だけずらした際のレベル測定部 2 8 の測定値の変化を観測し、測定値が最大となる第 2 のシリアル信号の位相 k を更新する。

【 0 0 7 1 】

具体的には、位相補正部 2 1 は、基準信号出力ブロック 2 3 c のビット遅延部 2 2 1 - (n + 1) A の遅延量 d_{0A} を $L / 2$ に設定し、基準信号出力ブロック 2 3 c のビット遅延部 2 2 1 - (n + 1) B の遅延量 d_{0B} を $d_{0B_max} + 1$ に設定する。また、位相補正部 2 1 は、 $k = 1$ を設定する (ステップ S 4 0 1)。 $k = n$ の場合 (ステップ S 4 0 2

10

20

30

40

50

: Yes)、位相補正部 21 は、切り替え部 27c を信号出力ブロック 22 - k に設定する。位相補正部 21 は、基準信号出力ブロック 23c のシリアル出力回路 222 - (n + 1) A の振幅を $\sin \theta_k$ に設定し、基準信号出力ブロック 23c のシリアル出力回路 222 - (n + 1) B の振幅を $\cos \theta_k$ に設定し、レベル測定部 28 の測定値 P_{min} を記録する (ステップ S403)。位相補正部 21 は、 $\theta_k = \theta_k + d$ として θ_k の値をインクリメントする (ステップ S404)。位相補正部 21 は、信号出力ブロック 22 - k のシリアル出力回路 222 - k A の振幅を $\sin \theta_k$ に設定し、信号出力ブロック 22 - k のシリアル出力回路 222 - k B の振幅を $\cos \theta_k$ に設定する (ステップ S405)。

【0072】

現在のレベル測定部 28 の測定値が P_{min} より小さい場合 (ステップ S406 : Yes)、位相補正部 21 は、 $\theta_k = \theta_k + d$ として θ_k の値をインクリメントする (ステップ S407)。位相補正部 21 は、信号出力ブロック 22 - k のシリアル出力回路 222 - k A の振幅を $\sin \theta_k$ に設定し、信号出力ブロック 22 - k のシリアル出力回路 222 - k B の振幅を $\cos \theta_k$ に設定する (ステップ S408)。現在のレベル測定部 28 の測定値が P_{min} 以下の場合 (ステップ S409 : No)、位相補正部 21 は、レベル測定部 28 の測定値を P_{min} として記録する (ステップ S410)。位相補正部 21 は、再度ステップ S407 およびステップ S408 の動作を行う。現在のレベル測定部 28 の測定値が P_{min} より大きい場合 (ステップ S409 : Yes)、位相補正部 21 は、 $\theta_k = \theta_k - d$ として θ_k の値をデクリメントする (ステップ S411)。また、位相補正部 21 は、 $k = k + 1$ として k の値をインクリメントする (ステップ S412)。

【0073】

現在のレベル測定部 28 の測定値が P_{min} 以上の場合 (ステップ S406 : No)、位相補正部 21 は、 $\theta_k = \theta_k - d$ として θ_k の値をデクリメントする (ステップ S413)。位相補正部 21 は、信号出力ブロック 22 - k のシリアル出力回路 222 - k A の振幅を $\sin \theta_k$ に設定し、信号出力ブロック 22 - k のシリアル出力回路 222 - k B の振幅を $\cos \theta_k$ に設定する (ステップ S414)。現在のレベル測定部 28 の測定値が P_{min} 以下の場合 (ステップ S415 : No)、位相補正部 21 は、レベル測定部 28 の測定値を P_{min} として記録する (ステップ S416)。位相補正部 21 は、再度ステップ S413 およびステップ S414 の動作を行う。現在のレベル測定部 28 の測定値が P_{min} より大きい場合 (ステップ S415 : Yes)、位相補正部 21 は、 $\theta_k = \theta_k + d$ として θ_k の値をインクリメントする (ステップ S417)。また、位相補正部 21 は、 $k = k + 1$ として k の値をインクリメントする (ステップ S412)。

【0074】

位相補正部 21 は、ステップ S412 の後、ステップ S402 に戻って、 $k > n$ になるまでステップ S403 からステップ S417 までの動作を繰り返し行う。 $k > n$ の場合 (ステップ S402 : No)、位相補正部 21 は、図 18 に示すフローチャートの動作を終了する。

【0075】

以上説明したように、本実施の形態によれば、出力信号発生装置 20c において、位相補正部 21 は、出力信号発生装置 20c からシリアル信号を送信中においても、キャリブレーション処理を行うことができる。これにより、位相補正部 21 は、出力信号発生装置 20c が出力するシリアル信号の時間変化を逐一補正することが可能となる。

【0076】

実施の形態 5 .

実施の形態 5 では、出力信号発生装置が、切り替え部 27 とレベル測定部 28 との間に、帯域通過フィルタおよび帯域阻止フィルタを備える場合について説明する。なお、実施の形態 5 については、実施の形態 1 から実施の形態 4 に適用可能であるが、ここでは、一例として、実施の形態 1 を例にして説明する。

【0077】

図 19 は、実施の形態 5 に係る出力信号発生装置 20d を含む n 素子アレーアンテナ送

10

20

30

40

50

信装置 60d の構成例を示す図である。n 素子アレーアンテナ送信装置 60d は、図 1 に示す実施の形態 1 の n 素子アレーアンテナ送信装置 60 に対して、出力信号発生装置 20 を出力信号発生装置 20d に置き換えたものである。出力信号発生装置 20d は、図 1 に示す実施の形態 1 の出力信号発生装置 20 に対して、帯域通過フィルタ 31、および帯域阻止フィルタ 32 を追加したものである。出力信号発生装置 20d は、2 種類のフィルタ、すなわち帯域通過フィルタ 31 または帯域阻止フィルタ 32 を切り替えて使用可能とした構成である。

【0078】

帯域通過フィルタ 31 は、設定された通過周波数の周波数帯を通過させる。帯域阻止フィルタ 32 は、設定された阻止周波数の周波数帯の通過を阻止する。例えば、送信信号生成部 10 が図 2 に示すデルタシグマ DAC を用いる場合、帯域通過フィルタ 31 の通過周波数はサンプリングレートを f_s とすると $f_s / 4$ に設定され、同様に、帯域阻止フィルタ 32 の阻止周波数は $f_s / 4$ に設定される。なお、帯域通過フィルタ 31 または帯域阻止フィルタ 32 を有効にする方法については、例えば、位相補正部 21 が、図 19 に示す帯域通過フィルタ 31 および帯域阻止フィルタ 32 の前段および後段の切り替えスイッチの接続先を制御する。または、図 19 の構成と異なり、出力信号発生装置 20d が、切り替え部 27 帯域通過フィルタ 31 レベル測定部 28 の経路、および切り替え部 27 帯域阻止フィルタ 32 レベル測定部 28 の経路を備え、切り替え部 27 が、位相補正部 21 からの切り替え信号に基づいて、いずれかの経路を選択して所望の基準合波部 26 からの第 3 のシリアル信号を出力してもよい。

【0079】

図 20 は、実施の形態 5 に係る出力信号発生装置 20d が備える位相補正部 21 における各信号出力ブロック 22 の出力信号位相のゼロ点合わせ時の動作の例を示すフローチャートである。図 20 に示すように、実施の形態 5 において、位相補正部 21 は、ビット遅延部 221 の遅延量 d_{kA_min} 、 d_{kB_min} の探索の際、帯域阻止フィルタ 32 を有効にするとともに、レベル測定部 28 の測定値が最大になる点を探索する。また、位相補正部 21 は、位相 k_max の探索の際、帯域通過フィルタ 31 を有効にするとともに、レベル測定部 28 の測定値が最大となる点を探索する。

【0080】

具体的には、位相補正部 21 は、 $k = 1$ を設定し、基準信号出力ブロック 23 のビット遅延部 221 - $(n + 1)$ に対する遅延量を $L / 2$ に設定する (ステップ S501)。 $k = n$ の場合 (ステップ S502: Yes)、位相補正部 21 は、使用するフィルタを帯域阻止フィルタ 32 に設定する (ステップ S503)。位相補正部 21 は、切り替え部 27 を信号出力ブロック 22 - k に設定する。位相補正部 21 は、信号出力ブロック 22 - k のシリアル出力回路 222 - kA の振幅を 1 に設定し、信号出力ブロック 22 - k のシリアル出力回路 222 - kB の振幅を 0 に設定する (ステップ S504)。位相補正部 21 は、信号出力ブロック 22 - k のビット遅延部 221 - kA の遅延量 d_{kA} を $0 \sim L - 1$ まで変化させ、レベル測定部 28 の測定値 P_{dkA} が最大となる遅延量 d_{kA_max} を記録する (ステップ S505)。位相補正部 21 は、信号出力ブロック 22 - k のシリアル出力回路 222 - kA の振幅を 0 に設定し、信号出力ブロック 22 - k のシリアル出力回路 222 - kB の振幅を 1 に設定する (ステップ S506)。位相補正部 21 は、信号出力ブロック 22 - k のビット遅延部 221 - kB の遅延量 d_{kB} を $0 \sim L - 1$ まで変化させ、レベル測定部 28 の測定値 P_{dkB} が最大となる遅延量 d_{kB_max} を記録する (ステップ S507)。

【0081】

位相補正部 21 は、使用するフィルタを帯域通過フィルタ 31 に設定する (ステップ S508)。位相補正部 21 は、信号出力ブロック 22 - k のビット遅延部 221 - kA の遅延量として d_{kA_max} を設定し、信号出力ブロック 22 - k のビット遅延部 221 - kB の遅延量として $d_{kB_max} + 1$ を設定し、 $\theta = -90$ 度を設定する (ステップ S509)。 $\theta < 90$ 度の場合 (ステップ S510: Yes)、位相補正部 21 は、信号出力

10

20

30

40

50

ブロック 22 - k のシリアル出力回路 222 - k A の振幅を $s_i n$ に設定し、信号出力ブロック 22 - k のシリアル出力回路 222 - k B の振幅を $c_o s$ に設定する（ステップ S511）。位相補正部 21 は、レベル測定部 28 の測定値 P_k が最大となる位相 k_{max} を記録する（ステップ S512）。位相補正部 21 は、 $= + d$ として k の値をインクリメントする（ステップ S513）。位相補正部 21 は、ステップ S510 に戻って、90 度になるまでステップ S511 からステップ S513 までの動作を繰り返し行う。90 度の場合（ステップ S510 : No）、位相補正部 21 は、 $k = k + 1$ として k の値をインクリメントする（ステップ S514）。位相補正部 21 は、ステップ S502 に戻って、 $k > n$ になるまでステップ S503 からステップ S514 までの動作を繰り返し行う。 $k > n$ の場合（ステップ S502 : No）、位相補正部 21 は、図 20 に示すフローチャートの動作を終了する。

10

【0082】

送信信号生成部 10 に図 2 に示すデルタシグマ DAC を用いる場合、送信信号生成部 10 から出力されるデータ信号は、図 4 に示すような周波数スペクトルを有する。当該周波数スペクトルにおいて、信号帯域外に存在する雑音は広帯域かつ高いランダム性を有しており、鋭い自己相関特性が得られる。また、図 7 に示すような信号出力ブロック 22 が持つ位相合成機能は、 $f_s / 4$ 近傍の周波数帯域のみで機能するものであり、位相 k_{max} を探索する際は、 $f_s / 4$ 近傍のみの信号を抽出して相関をとることが望ましい。

【0083】

なお、出力信号発生装置 20 d は、帯域通過フィルタ 31 および帯域阻止フィルタ 32 の 2 つのフィルタを備えず、一方のフィルタのみを備える構成であってもよい。すなわち、出力信号発生装置 20 d は、帯域通過フィルタ 31 のみを備えてもよいし、帯域阻止フィルタ 32 のみを備えてもよい。この場合、出力信号発生装置 20 d は、帯域通過フィルタ 31 のみ備える場合は図 19 に示す構成において帯域阻止フィルタ 32 の部分を単なる配線に置き換え、帯域阻止フィルタ 32 のみ備える場合は図 19 に示す構成において帯域通過フィルタ 31 の部分を単なる配線に置き換える。また、出力信号発生装置 20 d は、帯域通過フィルタ 31 のみ備える場合は図 20 に示すフローチャートにおいてステップ S503 の動作を省略し、帯域阻止フィルタ 32 のみ備える場合は図 20 に示すフローチャートにおいてステップ S508 の動作を省略する。

20

【0084】

以上説明したように、本実施の形態によれば、出力信号発生装置 20 d において、位相補正部 21 は、ビット遅延部 221 の遅延量 d_{kA_min} , d_{kB_min} を探索する際に帯域阻止フィルタ 32 を用いることによって、信号帯域外の雑音を持つ鋭い自己相関特性を利用することが可能になる。また、位相補正部 21 は、位相 k_{max} を探索する際は帯域通過フィルタ 31 を用いることによって、 $f_s / 4$ 近傍のみの信号を抽出して相関をとることが可能になる。

30

【0085】

以上の実施の形態に示した構成は、一例を示すものであり、別の公知の技術と組み合わせることも可能であるし、実施の形態同士を組み合わせることも可能であるし、要旨を逸脱しない範囲で、構成の一部を省略、変更することも可能である。

40

【符号の説明】

【0086】

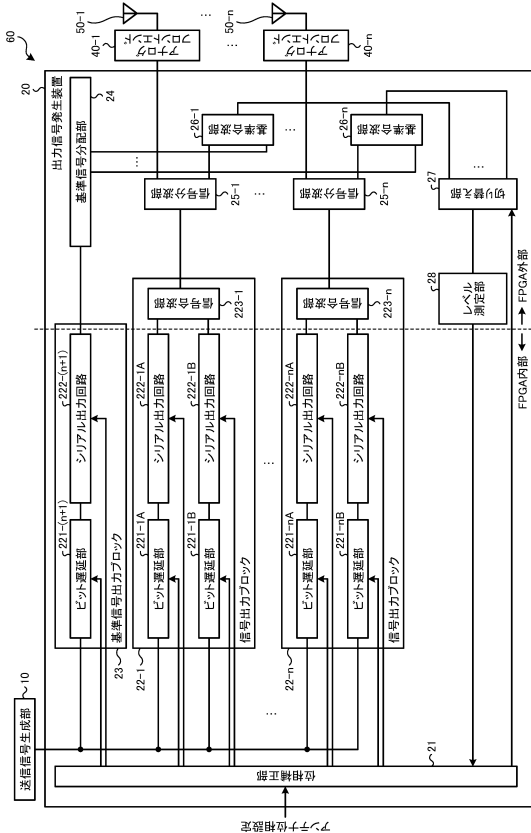
10 送信信号生成部、11 変調信号発生器、12, 14 減算器、13 FIR フィルタ、15 IIR フィルタ、16 量子化器、17 フィルタ回路、20, 20a, 20b, 20c, 20d 出力信号発生装置、21 位相補正部、22-1 ~ 22-n 信号出力ブロック、23, 23c 基準信号出力ブロック、24, 24c 基準信号分配部、25-1 ~ 25-n 信号分波部、26-1 ~ 26-n 基準合波部、27, 27c 切り替え部、28 レベル測定部、29-1 ~ 29-n, 40-1 ~ 40-n, 40a-1 ~ 40a-n アナログフロントエンド、30 ビット反転部、31 帯域通過フィルタ、32 帯域阻止フィルタ、50-1 ~ 50-n アンテナ素子、60, 60a, 60b, 60c

50

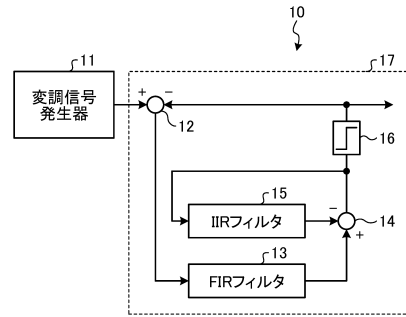
、60 d n素子アレーアンテナ送信装置、221-1A, 221-1B~221-nA, 221-nB, 221-(n+1), 221-(n+1)A, 221-(n+1)B ビット遅延部、222-1A, 222-1B~222-nA, 222-nB, 222-(n+1), 222-(n+1)A, 222-(n+1)B シリアル出力回路、223-1~223-(n+1) 信号合波部、241~247 電力分配回路、281 検波回路、282 アナログデジタル変換回路。

【図面】

【図1】



【図2】

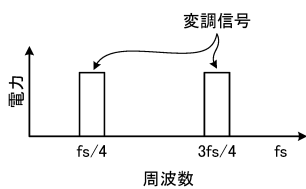


10

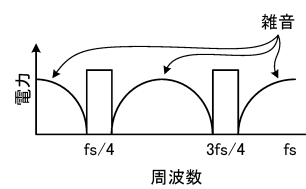
20

30

【図3】



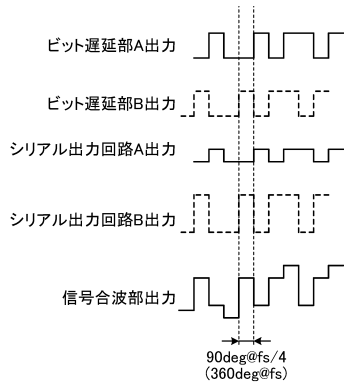
【図4】



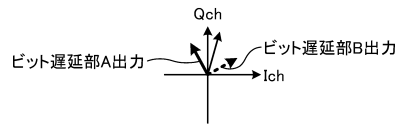
40

50

【 図 5 】



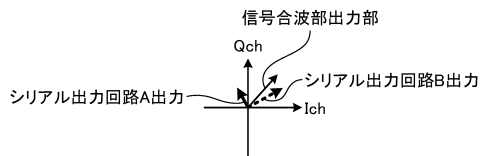
【 図 6 】



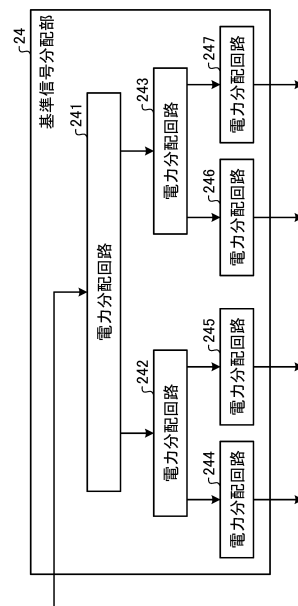
10

20

【 図 7 】



【 図 8 】

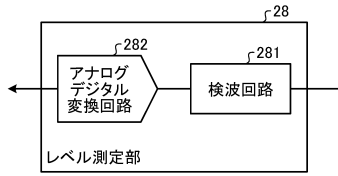


30

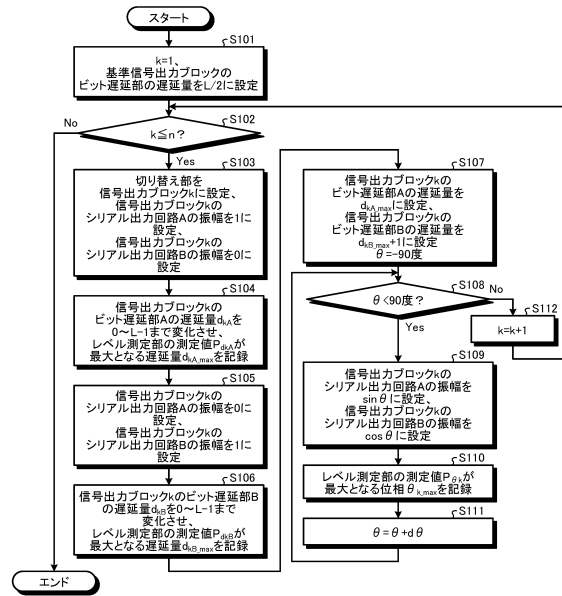
40

50

【図 9】



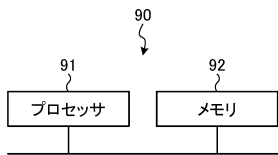
【図 10】



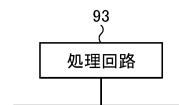
10

20

【図 11】



【図 12】

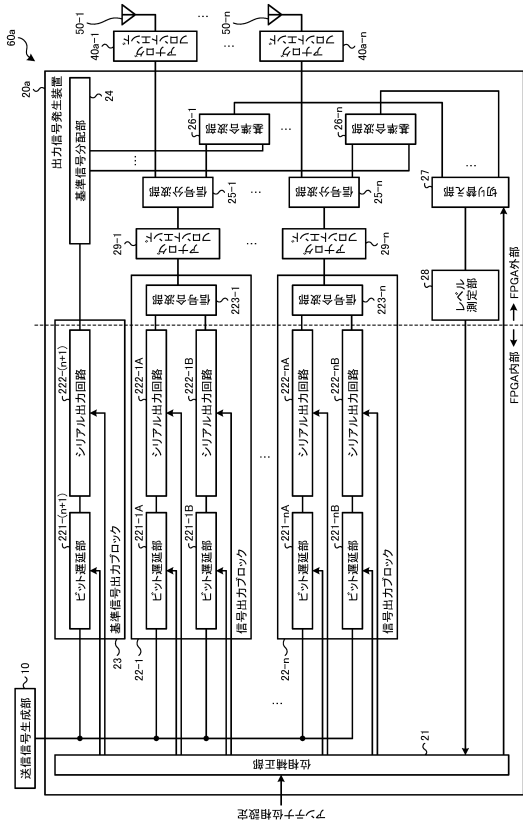


30

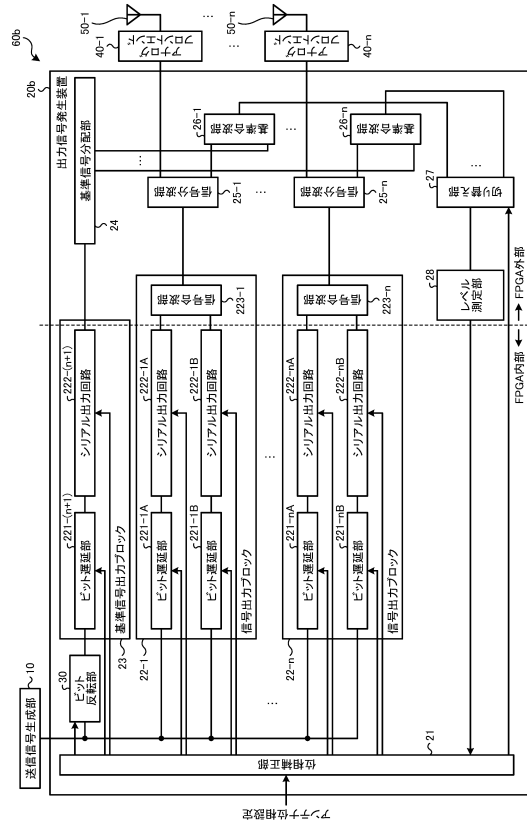
40

50

【図 13】



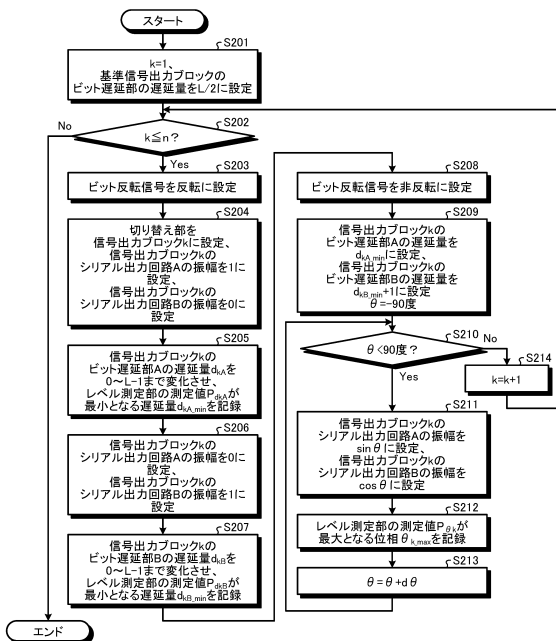
【図 14】



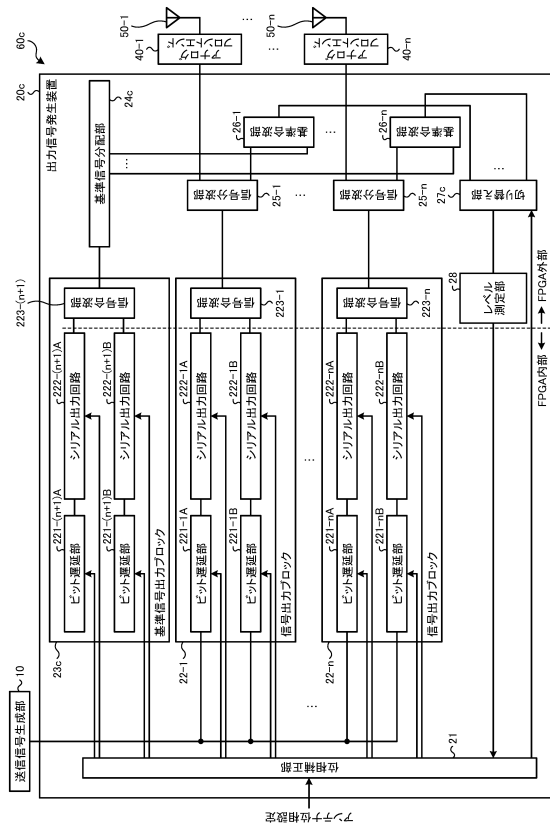
10

20

【図 15】



【図 16】

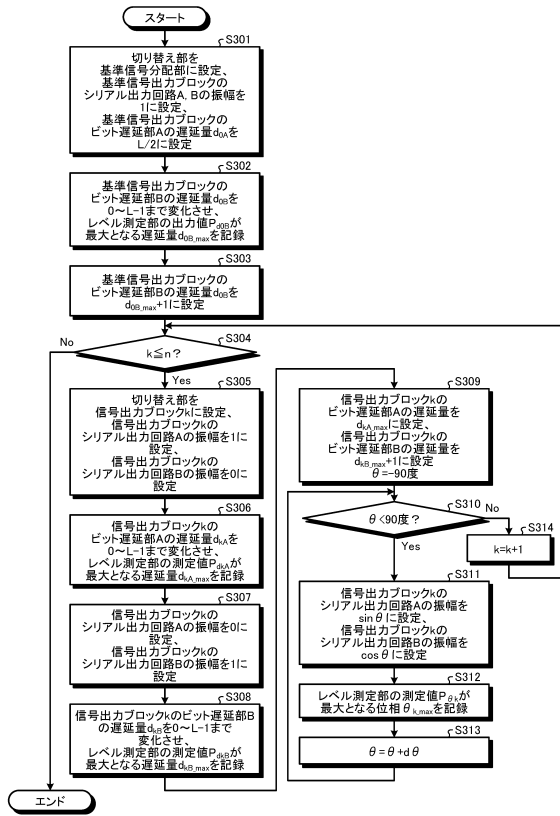


30

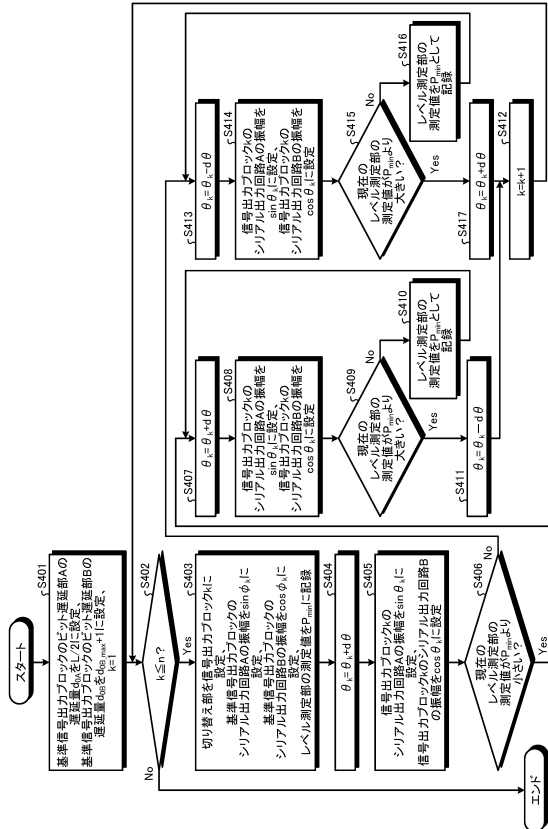
40

50

【図 17】



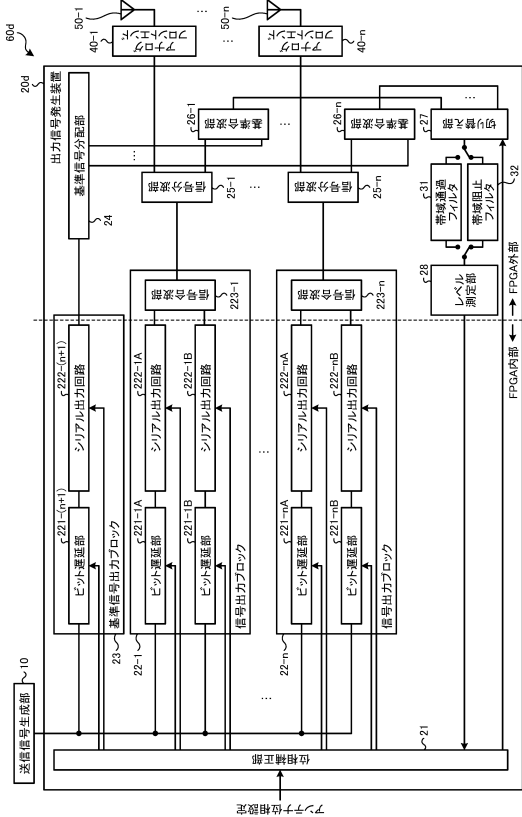
【図 18】



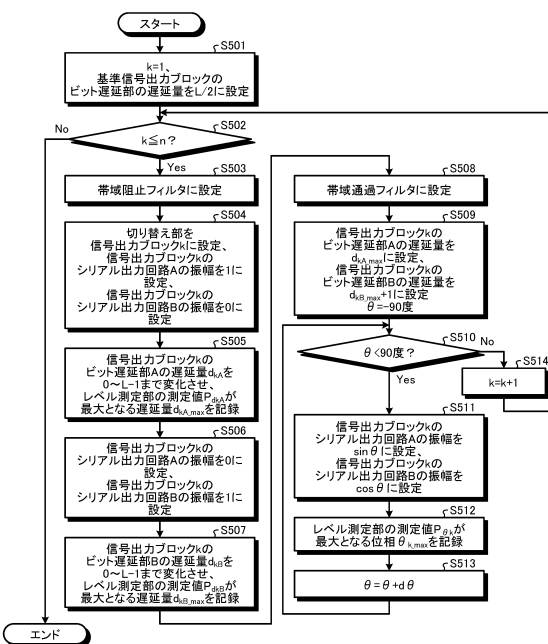
10

20

【図 19】



【図 20】



30

40

50

フロントページの続き

- (56)参考文献 特開2017-17421(JP,A)
特開2019-161489(JP,A)
国際公開第2006/051776(WO,A1)
- (58)調査した分野 (Int.Cl., DB名)
H04B 7/02 - 7/08
IEEE Xplore
3GPP TSG RAN WG1 - 4
SA WG1 - 2
CT WG1