

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5145675号
(P5145675)

(45) 発行日 平成25年2月20日(2013.2.20)

(24) 登録日 平成24年12月7日(2012.12.7)

(51) Int.Cl.

F I

G 1 O H 1/18 (2006.01)

G 1 O H 1/18 1 O 1

請求項の数 8 (全 20 頁)

(21) 出願番号 特願2006-246321 (P2006-246321)
(22) 出願日 平成18年9月12日(2006.9.12)
(65) 公開番号 特開2008-70407 (P2008-70407A)
(43) 公開日 平成20年3月27日(2008.3.27)
審査請求日 平成21年8月27日(2009.8.27)

前置審査

(73) 特許権者 000001443
カシオ計算機株式会社
東京都渋谷区本町1丁目6番2号
(72) 発明者 金子 洋二
東京都羽村市栄町3丁目2番1号 カシオ
計算機株式会社 羽村技術センター内

審査官 小宮 慎司

最終頁に続く

(54) 【発明の名称】 タッチレスポンス検出装置および電子楽器

(57) 【特許請求の範囲】

【請求項1】

鍵盤を構成する各鍵に離間して配置された2つのスイッチのオン時間差を計測することにより、押鍵速度を示すタッチレスポンスデータを算出するタッチレスポンス検出装置であって、

前記鍵の2つのスイッチのうち第1のスイッチのオンに伴って、当該鍵に関するカウント値の計数を開始し、所定のタイミングで、現在のカウント値に、カウントレート値を加算するベロシティカウント手段と、

前記現在のカウント値及び複数のカウントレート値を記憶する記憶手段と、

前記鍵の2つのスイッチのうち第2のスイッチのオンに伴って、前記鍵の現在のカウン
ト値に基づくタッチレスポンスデータを出力するインタフェース手段と、

前記記憶手段に記憶された複数のカウントレート値の中から前記現在のカウント値に
応じたカウントレート値を読み出すとともに、当該読み出されたカウントレート値に基づ
いて前記現在のカウント値に加算すべきカウントレート値を算出するカウントレート値算出
手段と、を備え、

前記記憶手段がさらに、前記鍵ごとに前記カウントレート値を補正するための補正デー
タを記憶し、

前記カウントレート値算出手段が、前記算出されたカウントレート値を、前記補正デー
タに基づいて補正することにより、補正されたカウントレート値を算出し、前記補正され
たカウントレート値を、前記ベロシティカウント手段に出力することを特徴とするタッチ

10

20

レスポンス検出装置。

【請求項 2】

前記インタフェース手段が、前記現在のカウンタ値のビットを反転することで、タッチレスポンスデータを得ることを特徴とする請求項 1 に記載のタッチレスポンス検出装置。

【請求項 3】

前記記憶手段に記憶された、前記カウンタレートを補正するための補正データが、前記カウンタレートを増大させ、或いは、減少させるための比の値であり、

前記カウンタレート値算出手段が、前記カウンタレート値と、前記補正データとを乗算することを特徴とする請求項 1 又は 2 に記載のタッチレスポンス検出装置。

【請求項 4】

前記記憶手段に記憶された、前記カウンタレートを補正するための補正データが、鍵ごとの第 1 のスイッチのオンから第 2 のスイッチのオンに至る時間差の誤差をキャンセルする値であることを特徴とする請求項 3 に記載のタッチレスポンス装置。

【請求項 5】

前記記憶手段に記憶された、前記カウンタレートを補正するための補正データが、音高の変化にしたがって、その値が増大し、或いは、減少することを特徴とする請求項 3 に記載のタッチレスポンス装置。

【請求項 6】

前記記憶手段に記憶された、前記カウンタレートを補正するための補正データが、楽音発生手段により発音される音色ごとに、当該音色が割り当てられる音域にしたがった値であることを特徴とする請求項 3 に記載のタッチレスポンス装置。

【請求項 7】

複数の鍵を備え、各鍵において、離間して配置された 2 つのスイッチを有する鍵盤と、前記鍵盤を構成する各鍵の 2 つのスイッチのオン時間差を計測することにより、押鍵速度を示すタッチレスポンスデータを算出するタッチレスポンス検出手段と、

当該タッチレスポンスデータおよび押鍵された鍵の音高を受信して、かつ、指定された音色で、受信した音高で、かつ、当該タッチレスポンスデータに基づくペロシティの楽音の生成を、楽音発生手段に指示する制御手段と、

前記制御手段から指示された音色、音高、および、ペロシティの楽音データを生成する楽音発生手段と、

を備えた電子楽器であって、

前記タッチレスポンス検出手段は、

前記鍵の 2 つのスイッチのうち第 1 のスイッチのオンに伴って、当該鍵に関するカウンタ値の計数を開始し、所定のタイミングで、現在のカウンタ値に、カウンタレートを加算するペロシティカウンタ手段、

前記現在のカウンタ値及び複数のカウンタレート値を記憶する記憶手段、

前記鍵の 2 つのスイッチのうち第 2 のスイッチのオンに伴って、前記鍵の現在のカウンタ値に基づくタッチレスポンスデータを出力するインタフェース手段、並びに、

前記記憶手段に記憶された複数のカウンタレート値の中から前記現在のカウンタ値に応じたカウンタレート値を読み出すとともに、当該読み出されたカウンタレート値に基づいて前記現在のカウンタ値に加算すべきカウンタレート値を算出するカウンタレート値算出手段、を有し、

前記記憶手段がさらに、前記鍵ごとに前記カウンタレートを補正するための補正データを記憶し、かつ、前記カウンタレート値算出手段が、前記算出されたカウンタレート値を、前記補正データに基づいて補正することにより、補正されたカウンタレート値を算出し、前記補正されたカウンタレート値を、前記ペロシティカウンタ手段に出力する、

ことを特徴とする電子楽器。

【請求項 8】

さらに、前記カウンタレートを補正するための、鍵ごとの第 1 のスイッチのオンから第 2 のスイッチのオンに至る時間差の誤差をキャンセルする値である第 1 の補正データと

10

20

30

40

50

、
音高の変化にしたがって、その値が増大し、或いは、減少するような第2の補正データ、および/または、楽音発生手段により発音される音色ごとに、当該音色が割り当てられる音域に基づく第3の補正データと、を記憶する補正データ記憶手段を備え、

前記制御手段が、前記タッチレスポンス検出手段の、インタフェース手段を介して、前記タッチレスポンス検出手段の記憶手段に、前記第1の補正データ、第2の補正データ或いは第3の補正データを書き込むように構成されたことを特徴とする請求項7に記載の電子楽器。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、鍵など演奏操作子の操作の速さを検出するためのタッチレスポンス検出装置およびタッチレスポンス検出装置を備えた電子楽器に関する。

【背景技術】

【0002】

従来、電子鍵盤楽器の鍵など演奏操作子の操作の速さ、つまり、演奏操作子の押下速度を、段差のある2つのゴム接点のスイッチがオンするときの時間差を計測することにより検出することが一般的である。しかしながら、これらスイッチの配置される間隔は、数mmにすぎず、製造工程において、その間隔には数%のばらつきが発生してしまう。したがって、ある電子鍵盤楽器において、その間隔のばらつきなどによって、同じ押下速度で演奏した場合であっても、鍵盤によって検出される押下速度のデータ、つまり、鍵タッチデータが異なってしまう、意図しない音量の音が出てしまうという問題点があった。そこで、接点の間隔のばらつきを補正するために、たとえば、特許文献1に開示された技術においては、鍵盤ごとの補正係数 $M_1 \sim M_{88}$ ($= K / V_1 \sim K / V_{88}$ $V_1 \sim V_{88}$: 打鍵速度)をEPROM14に記憶しておき、発音動作を行う際に、CPUが、音色パラメータなどをROM13から読み出すとともに、EEPROMから打鍵された鍵盤の補正係数Mを読み出す。

20

【特許文献1】特開平7-295568号公報

【発明の開示】

【発明が解決しようとする課題】

30

【0003】

特許文献1に開示された技術においては、CPUが、押下された鍵に対応する楽音を発音させる際に、打鍵速度に対応した補正係数をメモリ(EEPROM)から読み出して、読み出された補正係数を考慮した発音処理を行っている。したがって、CPUにおける発音開始時の処理負荷が大きくなるという欠点があった。

【0004】

また、鍵盤のスイッチの誤差を補正することのほか、処理負荷の増大を抑制しつつ、鍵域や音色に応じて、鍵タッチ感を設定できる望ましい。

【0005】

本発明は、小さい処理負荷で、適切なタッチレスポンスデータを得ることができるタッチレスポンス検出装置、および、当該タッチレスポンス検出装置を備えた電子楽器を提供することを目的とする。

40

【課題を解決するための手段】

【0006】

本発明の目的は、鍵盤を構成する各鍵に離間して配置された2つのスイッチのオン時間差を計測することにより、押鍵速度を示すタッチレスポンスデータを算出するタッチレスポンス検出装置であって、前記鍵の2つのスイッチのうち第1のスイッチのオンに伴って、当該鍵に関するカウント値の計数を開始し、所定のタイミングで、現在のカウント値に、カウントレート値を加算するペロシティカウント手段と、前記現在のカウント値及び複数のカウントレート値を記憶する記憶手段と、前記鍵の2つのスイッチのうち第2のスイ

50

タッチのオンに伴って、前記鍵の現在のカウント値に基づくタッチレスポンスデータを出力するインタフェース手段と、前記記憶手段に記憶された複数のカウントレート値の中から前記現在のカウント値に応じたカウントレート値を読み出すとともに、当該読み出されたカウントレート値に基づいて前記現在のカウント値に加算すべきカウントレート値を算出するカウントレート値算出手段と、を備え、前記記憶手段がさらに、前記鍵ごとに前記カウントレート値を補正するための補正データを記憶し、前記カウントレート値算出手段が、前記算出されたカウントレート値を、前記補正データに基づいて補正することにより、補正されたカウントレート値を算出し、前記補正されたカウントレート値を、前記ペロシティカウント手段に出力することを特徴とするタッチレスポンス検出装置により達成される。

10

【0007】

本発明によれば、タッチレスポンス検出装置において、カウント値の係数中に、そのカウント値に加算すべきカウントレート値を補正データにより補正し、補正されたカウントレート値を現在のカウント値に加算している。これにより、処理負荷を大きくすることなく適切なタッチレスポンスデータを算出することが可能となる。

【0008】

好ましい実施態様においては、前記インタフェース手段が、前記現在のカウント値のビットを反転することで、タッチレスポンスデータを得る。

【0010】

別の好ましい実施態様においては、前記記憶手段に記憶された、前記カウントレート値を補正するための補正データが、前記カウントレート値を増大させ、或いは、減少させるための比の値であり、前記カウントレート値算出手段が、前記カウントレート値と、前記補正データとを乗算する。

20

【0011】

たとえば、前記記憶手段に記憶された、前記カウントレート値を補正するための補正データは、鍵ごとの第1のスイッチのオンから第2のスイッチのオンに至る時間差の誤差をキャンセルする値である。

【0012】

或いは、前記記憶手段に記憶された、前記カウントレート値を補正するための補正データは、音高の変化にしたがって、その値が増大し、或いは、減少するものである。

30

【0013】

或いは、前記記憶手段に記憶された、前記カウントレート値を補正するための補正データが、楽音発生手段により発音される音色ごとに、当該音色が割り当てられる音域にしたがった値である。

【0014】

また、本発明の目的は、複数の鍵を備え、各鍵において、離間して配置された2つのスイッチを有する鍵盤と、前記鍵盤を構成する各鍵の2つのスイッチのオン時間差を計測することにより、押鍵速度を示すタッチレスポンスデータを算出するタッチレスポンス検出手段と、当該タッチレスポンスデータおよび押鍵された鍵の音高を受信して、かつ、指定された音色で、受信した音高で、かつ、当該タッチレスポンスデータに基づくペロシティの楽音の生成を、楽音発生手段に指示する制御手段と、前記制御手段から指示された音色、音高、および、ペロシティの楽音データを生成する楽音発生手段と、を備えた電子楽器であって、前記タッチレスポンス検出手段は、前記鍵の2つのスイッチのうち第1のスイッチのオンに伴って、当該鍵に関するカウント値の計数を開始し、所定のタイミングで、現在のカウント値に、カウントレート値を加算するペロシティカウント手段、前記現在のカウント値及び複数のカウントレート値を記憶する記憶手段、前記鍵の2つのスイッチのうち第2のスイッチのオンに伴って、前記鍵の現在のカウント値に基づくタッチレスポンスデータを出力するインタフェース手段、並びに、前記記憶手段に記憶された複数のカウントレート値の中から前記現在のカウント値に応じたカウントレート値を読み出すとともに、当該読み出されたカウントレート値に基づいて前記現在のカウント値に加算すべきカ

40

50

ウントレート値を算出するカウントレート値算出手段、を有し、前記記憶手段がさらに、前記鍵ごとに前記カウントレート値を補正するための補正データを記憶し、かつ、前記カウントレート値算出手段が、前記算出されたカウントレート値を、前記補正データに基づいて補正することにより、補正されたカウントレート値を算出し、前記補正されたカウントレート値を、前記ペロシティカウント手段に出力する、ことを特徴とする電子楽器により達成される。

【 0 0 1 5 】

好ましい実施態様においては、さらに、前記カウントレート値を補正するための、鍵ごとの第 1 のスイッチのオンから第 2 のスイッチのオンに至る時間差の誤差をキャンセルする値である第 1 の補正データと、音高の変化にしたがって、その値が増大し、或いは、減少するような第 2 の補正データ、および / または、楽音発生手段により発音される音色ごとに、当該音色が割り当てられる音域に基づく第 3 の補正データと、を記憶する補正データ記憶手段を備え、前記制御手段が、前記タッチレスポンス検出手段の、インタフェース手段を介して、前記タッチレスポンス検出手段の記憶手段に、前記第 1 の補正データ、第 2 の補正データ或いは第 3 の補正データを書き込むように構成されている。

【 発明の効果 】

【 0 0 1 6 】

本発明によれば、小さい処理負荷で、適切なタッチレスポンスデータを得ることができるタッチレスポンス検出装置、および、当該タッチレスポンス検出装置を備えた電子楽器を提供することが可能となる。

【 発明を実施するための最良の形態 】

【 0 0 1 7 】

以下、添付図面を参照して、本発明の実施の形態について説明する。図 1 は、本発明の実施の形態にかかる電子楽器の概略を示すブロックダイヤグラムである。図 1 に示すように、電子楽器は、マイクロコンピュータ 1、ROM (Read Only Memory) 2、RAM (Random Access Memory) 3、スイッチ類 4、タッチ検出回路 5、鍵盤 6、楽音発生回路 7、波形 ROM 8、D/A 変換器 (DAC) 9、増幅回路 10 およびスピーカ 11、12 を備えている。マイクロコンピュータ 1、ROM 2、RAM 3 および楽音発生回路 7 は、バス 13 と接続されており、タッチ検出回路 5 はマイクロコンピュータ 1 とシリアルインタフェースで接続されている。

【 0 0 1 8 】

マイクロコンピュータ 1 は、電子楽器全体を制御し、プログラムやデータを格納した ROM 2 から、プログラムやデータを読み出して、プログラムを実行する。プログラムの実行にて生成されるデータなどはワークエリアである RAM 3 に記憶される。スイッチ類 4 は、電子楽器のコンソールパネル上に配置されている。マイクロコンピュータ 1 は、演奏者によるスイッチ類 4 の操作を検出する。タッチ検出回路 5 は、後に詳述するように所定のタイミングで鍵盤 6 に対して走査信号を送出し、各鍵盤 6 の鍵に配置された 2 つのスイッチのオンに応答して、演奏操作データ (音高およびタッチレスポンスデータ) を生成して、マイクロコンピュータ 1 に出力する。本実施の形態において、鍵盤 6 は 88 個の鍵を有し、各鍵には、その長手方向に 2 つのスイッチが配置され、鍵の押下によってまず第 1 のスイッチがオンされ、さらに、鍵が押下されることにより第 2 のスイッチがオンされるようになっている。

【 0 0 1 9 】

マイクロコンピュータ 1 は、スイッチ類 4 の操作により指定された音色、および、タッチ検出回路 5 から出力されたタッチレスポンスデータを含む演奏操作データに基づき、楽音発生回路 7 を制御して、所定の楽音を発生させる。楽音発生回路 7 は、波形 ROM 8 から指定された音色の波形データを読み出して、演奏操作データにしたがった音高および音量 (ペロシティ) の楽音を生成して DAC 9 に出力する。DAC 9 は、楽音発生回路 7 から出力されたデジタルデータをアナログ信号に変換する。アナログ信号は増幅回路 10 を介してスピーカ 11、12 から放音される。

【 0 0 2 0 】

図 2 は、本実施の形態にかかるタッチ検出回路の構成をより詳細に示すブロックダイアグラムである。図 2 においては、タッチ検出回路 5 を構成する部材のほか、図 1 の鍵盤 6 も表示している。図 2 に示すように、タッチ検出回路 5 は、U A R T (Universal Asynchronous Receiver Transmitter) 2 1、インタフェースユニット 2 2、セクタ (S E L) 2 3、R A M 2 4、タイミング発生器 2 5、キーインユニット 2 7、ペロシティカウントレート発生器 2 8、および、ペロシティカウントユニット 2 9 を有する。

【 0 0 2 1 】

U A R T 2 1 は非同期のシリアルインタフェースであり、マイクロコンピュータ 1 との間のデータ送受信を制御する。マイクロコンピュータ 1 からシリアル形式で送られるデータは、パラレル形式に変換され、さらにインタフェースユニット 2 2 およびセクタ 2 3 を介して、R A M 2 4 の所定の領域に書き込まれる。また、タッチ検出回路 5 における演算により得られたタッチレスポンスデータは、インタフェースユニット 2 2 および U A R T を介してマイクロコンピュータ 1 に転送される。

【 0 0 2 2 】

インタフェースユニット 2 2 は、U A R T 2 1 経由で書き込まれたタッチ検出用制御データを、もう一方の入力にペロシティカウントユニット 2 9 からの出力が接続されているセクタ 2 3 を介して、R A M 2 4 の所定の領域に格納する。タッチ検出用制御データには、ペロシティレートデータおよびペロシティ補正データが含まれる。

【 0 0 2 3 】

セクタ 2 3 は、上述したようにインタフェースユニット 2 2 が U A R T 経由でタッチ検出用制御データを出力する場合には、このタッチ検出用制御データを選択して、R A M 2 4 に出力する。それ以外の場合には、ペロシティカウントユニット 2 9 からの出力 (ペロシティカウント値) を選択して、これを R A M 2 4 に出力する。

【 0 0 2 4 】

タイミング発生器 2 5 は、鍵盤 6 に対して、鍵盤 6 のスイッチのオン / オフを検出するためのタイミング信号を出力するとともに、R A M 2 4 のアドレスとなる C N T [6 : 0] を出力する。前述したように、本実施の形態においては、8 8 鍵のそれぞれに 2 つずつスイッチが設けられ、鍵盤 6 には 1 7 6 個のスイッチが配置される。スイッチは 8 × 2 2 のマトリクスを構成している。キーインユニット 2 7 は、マトリクスを走査して、タイミング発生器 2 5 のタイミング信号にしたがって、鍵盤 6 の各鍵のスイッチのオン / オフを検出する。キーインユニット 2 7 は、取り込んだスイッチの状態を示す信号を時分割化して、ペロシティカウントユニット 2 9 に出力する。

【 0 0 2 5 】

ペロシティカウントレート発生器 2 8 は、後に詳述するように、ペロシティカウント値、ペロシティレートデータおよびペロシティ補正データに基づいて、ペロシティカウントレートを算出して、ペロシティカウントユニット 2 9 に出力する。ペロシティカウントユニット 2 9 は、ペロシティカウント値と、ペロシティカウントレート発生器 2 8 から出力されたペロシティカウントレートとを加算して、新たなペロシティカウント値を算出する。新たなペロシティカウント値は、セクタ 2 3 を介して、R A M 2 4 の所定の領域に格納される。

【 0 0 2 6 】

本実施の形態においては、R A M 2 4 は 3 0 ビットのデータを格納できる。アドレス 0 ~ 8 7 には、各アドレスに対応して S T [3 : 0]、V C [1 9 : 0] および C O R [5 : 0] が格納される。3 0 ビットのデータ S T [3 : 0]、V C [1 9 : 0] および C O R [5 : 0] は、鍵盤ごとの情報を表す。ステータス S T [3 : 0] は、その鍵のカウントのステータスを示す。たとえば、この 4 ビットの値により、カウント準備中、カウント中などのステータスが特定される。ペロシティカウント値 V C [1 9 : 0] は、鍵盤 6 のある鍵において、第 1 のスイッチがオンされた後、第 2 のスイッチがオンされるまでの間にカウントされる値を示す。ペロシティカウント値 V C [1 9 : 0] は、ステータス S T

10

20

30

40

50

が「カウント中」を示す間、所定のタイミングで、後述するように算出されるペロシティカウントレートが加算されていく。ペロシティ補正データ $COR[5:0]$ は、鍵盤 6 の鍵ごとにペロシティカウント値を補正するため（より詳細には、ペロシティカウント値に加算するペロシティカウントレートを補正するため）の値である。上記データは、後述する信号 $CNT[6:0]$ をアドレスとすることで指定される。

【0027】

また、RAM のアドレス 88 ~ 105 には、各アドレスに対応して $VR[7:0]$ が格納されている。これらは、後述する信号 $VC[19:16]$ をアドレスとすることで指定される。

【0028】

10

図 2 に示すタッチ検出回路 5 において、キーインユニット 27 が、ある鍵の第 1 スwitch のオンを検出すると、その鍵に対応するアドレスのデータ中、ステータス $ST[3:0]$ が、カウント中を示す値に変更され、ペロシティカウント値 $VC[19:0]$ のカウントが開始される。

【0029】

ペロシティカウントユニット 29 は、所定のタイミングで、ペロシティカウント値 $VC[19:0]$ に、ペロシティカウントレート発生器 28 で算出されたペロシティカウントレートを加算する。ペロシティカウント値 VC は、セレクタ 23 を介して、RAM 24 中、鍵のアドレスに格納される。ペロシティカウント値 VC に対するペロシティカウントレートの加算は、キーインユニット 27 により同じ鍵の第 2 のスウィッチのオンが検出されるまで繰り返される。

20

【0030】

キーインユニット 27 が、上記鍵の第 2 のスウィッチのオンを検出すると、その時点での当該鍵のペロシティカウント値 VC が、インタフェースユニット 22 に与えられ、かつ、インタフェースユニット 22 において、ペロシティカウント値の各ビット値が反転される。この反転された値が、鍵の押下速度を示すタッチレスポンスデータとなる。タッチレスポンスデータは、鍵の情報（たとえば、音高情報）とともに、UART 21 を介して、マイクロコンピュータ 1 に対して出力される。マイクロコンピュータ 1 は、音高情報およびタッチレスポンスデータに基づいて、ある音高をある強度（或いは速度）でキーオンしたときの演奏操作データを生成して、これを楽音発生回路 7 に出力する。

30

【0031】

また、キーインユニット 27 が、鍵のスウィッチのオフを検出すると、ペロシティカウントユニット 29 からインタフェース 22 に対して、鍵の情報（音高情報）とキーオフを示す情報が与えられる。与えられた情報は、UART 21 を介して、マイクロコンピュータ 1 に対して出力される。マイクロコンピュータ 1 は、キーオフを示す情報の受信に 응답して、キーオフを示す演奏操作データを生成して、これを楽音発生回路 7 に出力する。

【0032】

図 3 は、本実施の形態にかかるペロシティカウントレート発生器の構成を詳細に示すブロックダイアグラムである。図 3 に示すように、ペロシティカウントレート発生器 28 は、セレクタ (SEL) 31 と、FF 32 ~ 35 と、減算器 36 と、乗算器 37、40 と、加算器 38 と、変換テーブル 39 とを有する。

40

【0033】

FF 33 は、ペロシティカウント値 VC のうちの上位ビット $VC[19:12]$ を保持する。セレクタ 31 の一方の入力には、タイミング発生器 25 からの $CNT[6:0]$ が与えられ、他方の入力には、 VC のうちのさらに上位の所定ビット $VC[19:16]$ が与えられ、タイミングにより何れか一方を出力するようになっている。セレクタ 31 の出力は、RAM 24 のアドレスとなる。

【0034】

FF 34 には、RAM 24 においてアドレス $VC[19:16]$ で指定して読み出されたペロシティレートデータ VR が格納される（以下、このデータを、 $VR(VC[19:$

50

16])と記す。)。FF33には、アドレス(VC[19:16]+1)で指定して読み出されたベロシティデータが格納される(以下、このデータを、VR(VC[19:12]+1)と記す。)。また、FF35には、ベロシティ補正データCOR[5:0]が格納される。

【0035】

前述したように、FF32からの出力のうち、上位のビットVC[19:12]のうち上位側VC[19:16]はセクタ31に出力され、その一方、下位側VC[15:12]は乗算器37に出力される。

【0036】

以下、図3に示すベロシティカウントレート発生器28における動作について説明する。図4は、本実施の形態にかかるベロシティカウントレート発生器の動作を示すフローチャートである。ベロシティカウントレート発生器28は、タイミング発生器25の出力CNT[6:0]の値で特定される鍵について、RAM24からアドレスCNT[6:0]のデータを読み出す。RAM24から読み出されたデータのうち、ベロシティカウントレート値の上位ビットVC[19:12]は、FF32に格納される(ステップ401)。また、RAM24から読み出されたデータのうち、ベロシティ補正データCOR[5:0]は、FF35に格納される(ステップ402)。

【0037】

次いで、FF32に格納されたベロシティカウントレート値の上位データVC[19:12]のうちさらに上位のデータVC[19:12]をアドレスとして、RAM24からベロシティレートデータVR(VC[19:16])が読み出され、FF34に格納される(ステップ403)。また、(VC[19:12]+1)をアドレスとして、RAM24からベロシティレートデータVR(VC[19:12]+1)が読み出され、FF33に格納される(ステップ404)。

【0038】

FF33の出力VR(VC[19:12]+1)およびFF34の出力VR(VC[19:16])は減算器36に印加され、差分値Diff[7:0]=VR(VC[19:12]+1)-VR(VC[19:16])が算出される。さらに、差分値Diffは、VC[19:12]の下位側のデータVC[15:12]と乗算器37により乗算され、さらに、加算器38によりVR(VC[19:16])と加算される。これにより、補間値Int=VR(VC[19:16])+VC[15:12]×Diffが得られる(ステップ405)。

【0039】

本実施の形態において、減算器36、乗算器37、加算器38は、VR(VC[19:12]+1)とVR(VC[19:16])との差であるDiffを、VC[15:12]で直線補完するための演算系を構成する。DiffとVC[15:12]との積を、VR(VC[19:16])に加えることにより、アドレスVC[19:16]による比較的粗い値であるVR[7:0]を、アドレス下位の値VC[15:12]で補間した補間値Intを得ることができる。

【0040】

図5(a)は、本実施の形態にかかるベロシティレートデータを説明する図である。図5(a)において、左側はベロシティカウントレート値の上位データVC[19:12]に相当する。このように、ベロシティカウントレート値の所定の上位ビット(最上位4ビット)ごとに、これをアドレスとしてRAM24からベロシティレートデータVR[7:0]が読み出される。上述した補間により図6に示すような補間値を得ることができる。図6のグラフにおいて、縦軸がベロシティレート値の補間値に相当し、横軸がベロシティカウントレート値の上位データVC[19:12]に相当する。

【0041】

さらに、補間値Intは、変換テーブル39に出力され、変換テーブル39から変換値が出力される。図5(b)は、本実施の形態にかかる変換テーブルの構成例を示す図であ

10

20

30

40

50

る。図5(b)に示すように、変換テーブル39は、補間値Int、VR[7:0]と示されている。)を入力として、変換データに示すような値を出力する。図5(b)から理解できるように、変換テーブル39は、直線補間された補間値を、指数変換する。

【0042】

図7は、変換テーブル39を経た補間値を説明するためのグラフである。図7において、縦軸が、指数変換されたベロシティレート値の補間値に相当し、横軸がベロシティカウント値に相当する。

【0043】

このように指数変換された補間値は、後述するベロシティ補正データによる補正を経て、ベロシティカウントレートとして、ベロシティカウントユニット29において、ベロシ
10
ティカウント値と加算される。このように、指数変換された補間値をカウントすることにより、図8のグラフに示すようなベロシティカウントカーブを得ることができる。このベロシ
ティカーブにおいて、縦軸はベロシティデータ(つまりベロシティカウント値の反転
値)、横軸は時間である。

【0044】

このように、本実施の形態においては、折れ線のベロシティレートを補間し、かつ、これを指数変換してレンジを拡張したものをカウント(積分)する。したがって、得られる
ベロシティカーブ(図8)は曲線状となる。

【0045】

次に、本実施の形態にかかる補正について説明する。変換テーブル39の出力である指
20
数変換された補間値は、乗算器40の一方の入力に与えられる。乗算器40の他方の入力
には、FF35からのベロシティ補正データCOR[5:0]が与えられる。ここで、補
正範囲を制限することによって補正データのビット長を削減しているため、補正データC
OR[5:0]は上位に11(2進数)を付加され、11000000~1111111
1(2進数)の範囲の8ビットデータとして乗算器40に与えられる。したがって、乗算
器40において、変換値とベロシティ補正データとが乗算されて出力される。この出力が
、ベロシティカウントレートとして、ベロシティカウントユニット29において、ベロシ
ティカウント値VC[19:0]と加算される。

【0046】

なお、変換後の補正值11100000(2進数)を補正ゼロとすると、
30
11000000(2進数)=192(10進数)
11100000(2進数)=224(10進数) : 補正ゼロ
11111111(2進数)=255(10進数)

であるから、補正範囲としては、

$$(192 - 224) / 224 = -14.286\%$$

から

$$(255 - 224) / 224 = 13.839\%$$

となる。

【0047】

本実施の形態においては、鍵毎に、スイッチの接点間のばらつきを補正するための補正
40
データを、ベロシティ補正データとしてRAM24に格納している。鍵に配置された2つ
のスイッチの物理的な配置位置のずれや、スイッチ自体の特性から、同じ強さで鍵をオン
した場合であっても、第1スイッチのオンから第2スイッチのオンにいたるまでの時間が
鍵によって異なる場合がある。本実施の形態においては、これをスイッチ接点間の誤差と
いう。そこで、本実施の形態においては、別途、鍵盤のスイッチ接点間の誤差を測定し、
その誤差に基づく鍵ごとのベロシティ補正データCORを、マイクロコンピュータ1から
、UART21、インタフェースユニット22およびセレクタ23を介して、RAM24
に格納している。

【0048】

図9は、本実施の形態にかかるベロシティ補正データを説明するためのグラフである。

10

20

30

40

50

図 9 において、横軸は鍵を示す。また、縦軸は、測定された鍵ごとのスイッチ接点間の誤差を示す。この例では、測定装置（図示せず）において、ベロシティデータを 0 ~ 1 2 7 とした場合に、ベロシティデータが「7 2」に相当するように押鍵し、実際に、第 1 スwitch のオンから第 2 スwitch のオンに至るまでの時間差に基づいて、本実施の形態にかかるタッチ検出回路 5 から、ベロシティ補正データによる補正なしで出力されたベロシティデータを取得している。実際に測定され、出力されたベロシティデータは、図 9 に示すように、鍵により若干のばらつきがある。そこで、本実施の形態においては、鍵ごとに誤差をキャンセルするための値を算出して、この値を、その鍵についてのベロシティ補正データとして、RAM 2 4 に格納している。このベロシティ補正データの RAM 2 4 への格納は、マイクロコンピュータ 1 から、UART 2 1、インタフェースユニット 2 2、セレクト 2 3 を介して、RAM 2 4 に鍵ごとのベロシティ補正データを与え、RAM 2 4 に書き込むことにより実現される。

10

【0049】

図 9 の例では、ベロシティ補正データは、誤差をキャンセルするための比の値である（ $100 + A$ ）/ 100 とすれば良い。ここで、A は、符号付きの誤差の割合（パーセント）、つまり、（実測値 - 理論値）/ 理論値である。たとえば、上記例で、ある鍵について、実際に測定されたベロシティデータが「6 6」であれば、ベロシティ補正データは、（ $100 + (66 - 72) / 72$ ）/ 100 となる。

【0050】

ベロシティカウント値は、基本的には、2 接点間距離をカウントレートで除したものである。つまり、以下のように書くことができる。

20

【0051】

ベロシティカウント値 = 2 接点間距離 / カウントレート

そこで、誤差が A % であれば、

ベロシティカウント値 = （2 接点間距離 × （ $100 + A$ ）/ 100） /
（カウントレート × ベロシティ補正值）

ベロシティ補正值 = （ $100 + A$ ）/ 100

上記ベロシティ補正データを、カウントレートに乗じて補正值を得ることによって、接点間のばらつきをキャンセルすることが可能となる。

【0052】

30

本実施の形態によれば、鍵ごとに、スイッチ接点間のばらつき（誤差）をキャンセルするベロシティ補正データを RAM 2 4 に格納し、ベロシティ補正データを、カウントレート（本実施の形態では、指数変換されたベロシティレートデータ）と乗算することで、ベロシティカウント値に加算すべき、最終的な補正されたベロシティカウントレートを得ている。これにより、鍵ごとのスイッチ接点間のばらつきをキャンセルすることができ、鍵ごとの誤差のないタッチレスポンスデータを得ることが可能となる。

【0053】

本発明は、以上の実施の形態に限定されることなく、特許請求の範囲に記載された発明の範囲内で、種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることは言うまでもない。

40

【0054】

たとえば、前記実施の形態においては、鍵ごとのスイッチ接点間のばらつきをキャンセルするためのベロシティ補正データを RAM 2 4 に格納しておき、これを、ベロシティレートデータと乗算することで、補正值を得て、これにより、鍵ごとの誤差が無いタッチレスポンスデータを求めている。しかしながら、ベロシティ補正データはこれに限定されるものではない。

【0055】

図 10 は、ベロシティ補正データの他の例を示すグラフである。図 10 のグラフにおいて、横軸は鍵、縦軸は、レート補正值（パーセント）である。この例では、鍵が高域となるのにしたがって、ベロシティカウントレートは増大する。つまり、ベロシティカウント

50

値が大きくなりやすくなる。したがって、ペロシティカウント値の反転値であるタッチレスポンスデータは、高域になるのにしたがって小さくなる。これにより、高域ほどタッチ感が軽くなるように設定することが可能となる。

【0056】

図11は、ペロシティ補正データのさらに他の例を示すグラフである。図11のグラフにおいては、61鍵(0番~60番)の鍵のうち、17番の鍵と、18番の鍵との間をスプリットポイントとしている。スプリットポイントを境に、楽音発生回路7は、低域側と高域側とで異なる音色で楽音を発生する。この例では、低音側のペロシティカウントレートは、5%だけ小さくなり、その一方、高音側のペロシティカウントレートは、5%だけ大きくなる。つまり、低域側ではペロシティカウント値が通常より大きくなりやすく、高域側ではペロシティカウント値は大きくなりやすい。したがって、ペロシティカウント値の反転値であるタッチレスポンスデータは、低域側ではより大きくなり、高域側ではより小さくなる。これにより、高域側のメロディはより表情をつけることができ、その一方、低域側の伴奏(たとえば自動伴奏)は安定した音量とすることができる。

【0057】

このように、本発明によれば、RAM24に記憶するペロシティ補正データを変更することにより、鍵域に応じたタッチレスポンスデータや、音色に応じたタッチレスポンスデータを得ることが可能となる。以下、本実施の形態にかかるペロシティ補正データの変更について説明する。

【0058】

たとえば、初期的には、RAM24には接点間のばらつきをキャンセルする値が格納されている。また、図12に示すように、電子楽器のROM2にも、接点間のばらつきをキャンセルする一群の値が格納される(第1のペロシティ補正データ群:符号1201参照)。また、ROM2には、図10に示すような一群の補正值(第2のペロシティ補正データ群:符号1202参照)、並びに、音色ごとに、スプリットの際の低域用の補正值および高域用の補正值(第3のペロシティ補正データ群:符号1203参照)が記憶される。第2のペロシティ補正データも、第3のペロシティ補正データも、カウントレートに乗算すべき比の値となっている。

【0059】

図13に示すように、たとえば、マイクロコンピュータ1が、高音域のタッチ感を軽くするような設定を指示するユーザのスイッチ群4の操作を受信すると(ステップ1301)、ROM2から、第2のペロシティ補正データ群および第1のペロシティデータ群を読み出す(ステップ1302、1303)。次いで、同じ鍵に関する第1のペロシティ補正データおよび第2のペロシティ補正データを乗算し(ステップ1304)、各鍵についての乗算値を、新たなペロシティ補正データとして、タッチ検出回路5のRAM24に書き込む(ステップ1305)。このようにして得られた乗算値は、接点間のばらつきを考慮しつつ、音域によるタッチ感を考慮した、カウントレートに乗算すべき比の値となる。

【0060】

また、図14に示すように、マイクロコンピュータ1が、高音域の音色および低音域の音色、および、スプリットポイントを含むキースプリットの指示を受信すると(ステップ1401)、ROM2から、低域について設定された音色についての低域用の補正值を読み出すとともに(ステップ1402)、高域について設定された音色についての高域用の補正值を読み出す(ステップ1403)。また、マイクロコンピュータ1は、ROM2から、第1のペロシティデータ群を読み出す(ステップ1404)。

【0061】

次いで、マイクロコンピュータ1は、低域に属する鍵について、同じ鍵に関する第1のペロシティ補正データ、および、低域用補正值を乗算し(ステップ1405)、かつ、高域に属する鍵について、同じ鍵に関する第1のペロシティ補正データ、および、高域用補正值を乗算する(ステップ1406)。マイクロコンピュータ1は、各鍵についての乗算値を、新たなペロシティ補正データとして、タッチ検出回路5のRAM24に書き込む(

10

20

30

40

50

ステップ 1 4 0 7)。このようにして得られた乗算値は、接点間のばらつきを考慮しつつ、スプリットのときの高域、低域の音量差を考慮したものとなる。

【 0 0 6 2 】

無論、叙述したように、第 1 のベロシティ補正データと乗算することなく、第 2 のベロシティ補正データ、或いは、第 3 のベロシティ補正データを、ベロシティ補正データとして、タッチ検出回路 5 の R A M 2 4 に書き込んでも良い。

【図面の簡単な説明】

【 0 0 6 3 】

【図 1】図 1 は、本発明の実施の形態にかかる電子楽器の概略を示すブロックダイアグラムである。

10

【図 2】図 2 は、本実施の形態にかかるタッチ検出回路の構成をより詳細に示すブロックダイアグラムである。

【図 3】図 3 は、本実施の形態にかかるベロシティカウントレート発生器の構成を詳細に示すブロックダイアグラムである。

【図 4】図 4 は、本実施の形態にかかるベロシティカウントレート発生器の動作を示すフローチャートである。

【図 5】図 5 (a) は、本実施の形態にかかるベロシティレートデータを説明する図、図 5 (b) は、本実施の形態にかかる変換テーブルの構成例を示す図である。

【図 6】図 6 は、本実施の形態にかかる補間値の例を示すグラフである。

【図 7】図 7 は、本実施の形態にかかる変換テーブルを経た補間値を説明するためのグラフである。

20

【図 8】図 8 は、本実施の形態にかかるベロシティカーブを説明するためのグラフである。

【図 9】図 9 は、本実施の形態にかかるベロシティ補正データを説明するためのグラフである。

【図 1 0】図 1 0 は、ベロシティ補正データの他の例を示すグラフである。

【図 1 1】図 1 1 は、ベロシティ補正データのさらに他の例を示すグラフである。

【図 1 2】図 1 2 は、本発明の他の実施の形態にかかる R O M に記憶されたベロシティ補正データを説明する図である。

【図 1 3】図 1 3 は、他の実施の形態にかかるマイクロコンピュータにおいて実行される処理の例を示すフローチャートである。

30

【図 1 4】図 1 4 は、他の実施の形態にかかるマイクロコンピュータにおいて実行される処理の例を示すフローチャートである。

【符号の説明】

【 0 0 6 4 】

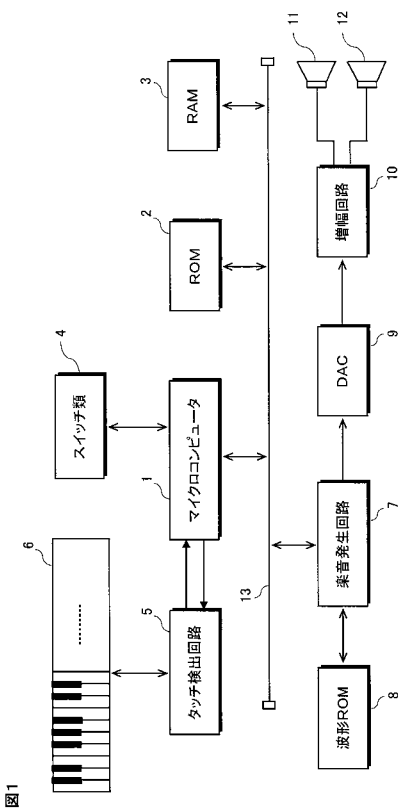
- 1 マイクロコンピュータ
- 2 R O M
- 3 R A M
- 4 スイッチ類
- 5 タッチ検出回路
- 6 鍵盤
- 7 楽音発生回路
- 8 波形 R O M
- 9 D A C
- 1 0 増幅回路
- 1 1、1 2 スピーカ
- 2 1 U A R T
- 2 2 インタフェースユニット
- 2 3 セレクタ
- 2 4 R A M

40

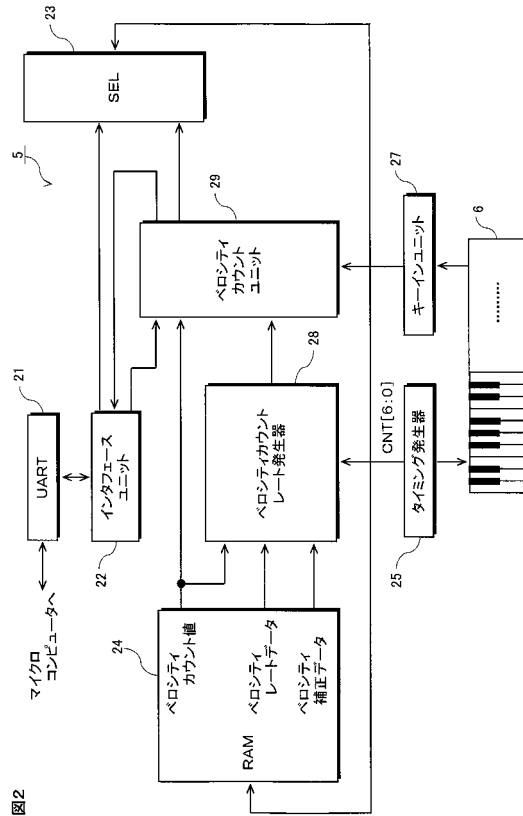
50

- 2 5 タイミング発生器
- 2 7 キーユニット
- 2 8 ベロシティカウントレート発生器
- 2 9 ベロシティカウンユニット

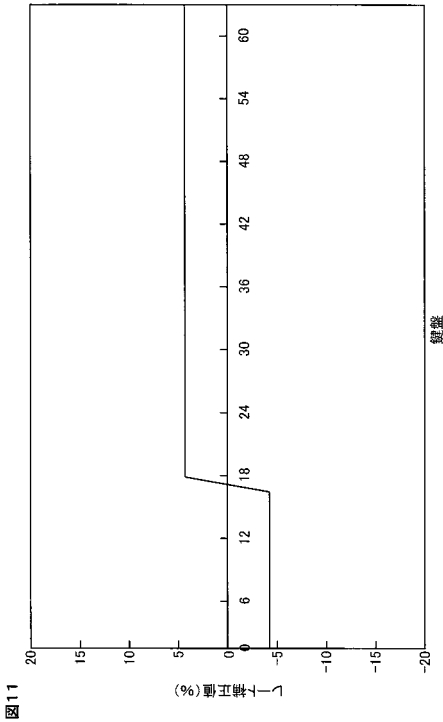
【図 1】



【図 2】



【図 1 1】



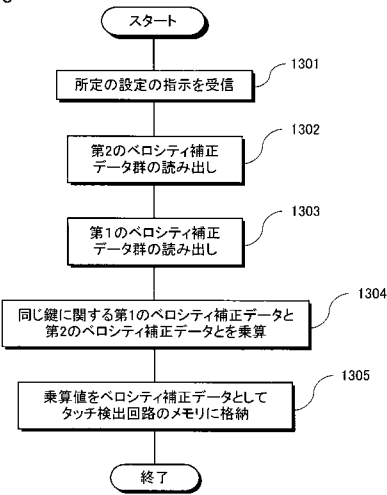
【図 1 2】

図 12

音高	0	1	2	...	87	1201
第1のペロシティ補正データ	aaa...	bbb...	ccc...	...	ddd...	1202
第2のペロシティ補正データ	eee...	fff...	ggg...	...	hhh...	
音色/音域	A/高域	A/低域	B/高域	B/低域	...	1203
第3のペロシティ補正データ	iii...	jjj...	kkk...	

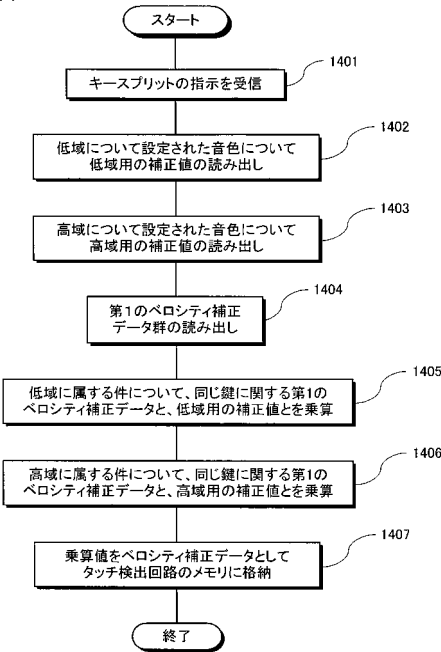
【図 1 3】

図 13



【図 1 4】

図 14



【図6】

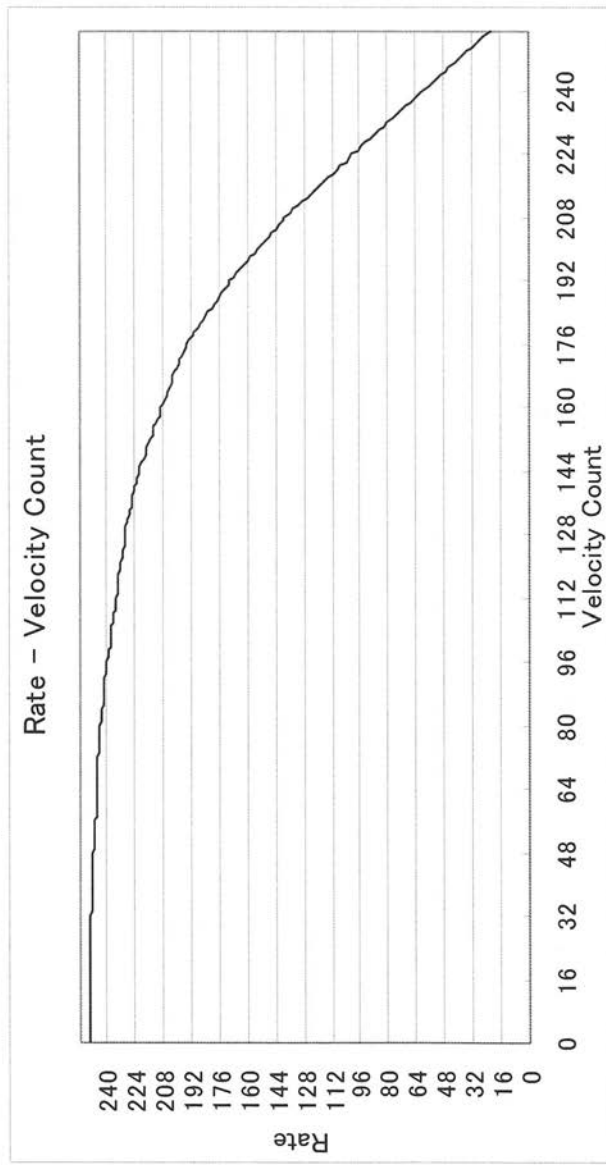
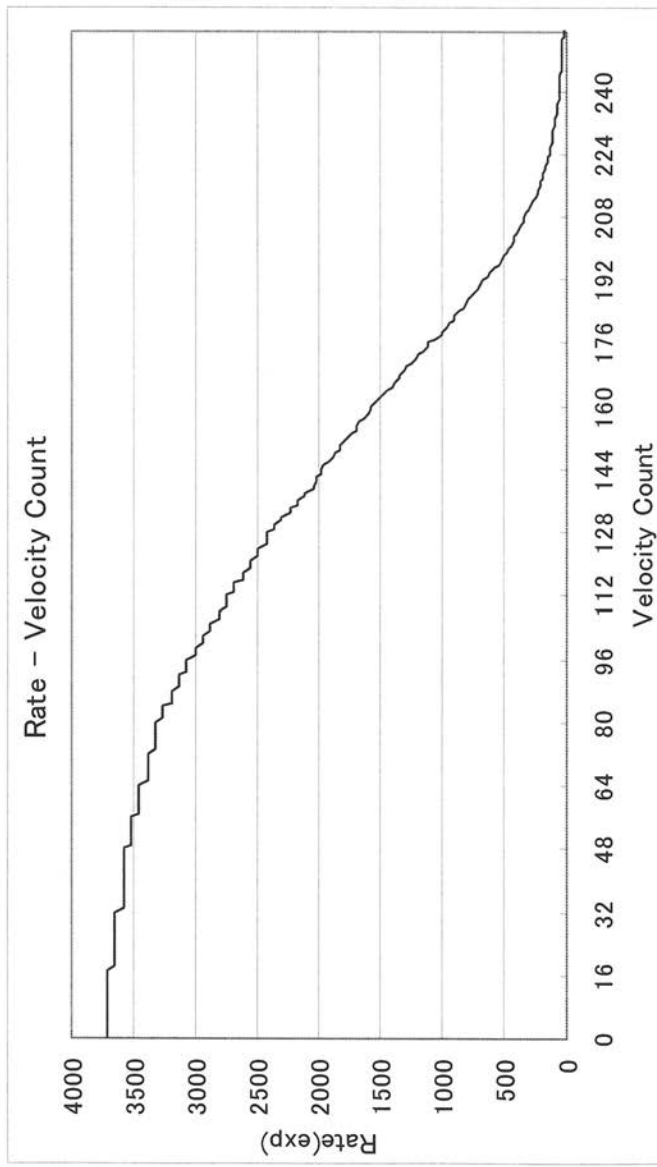


図6

【図 7】

図 7



【図 8】

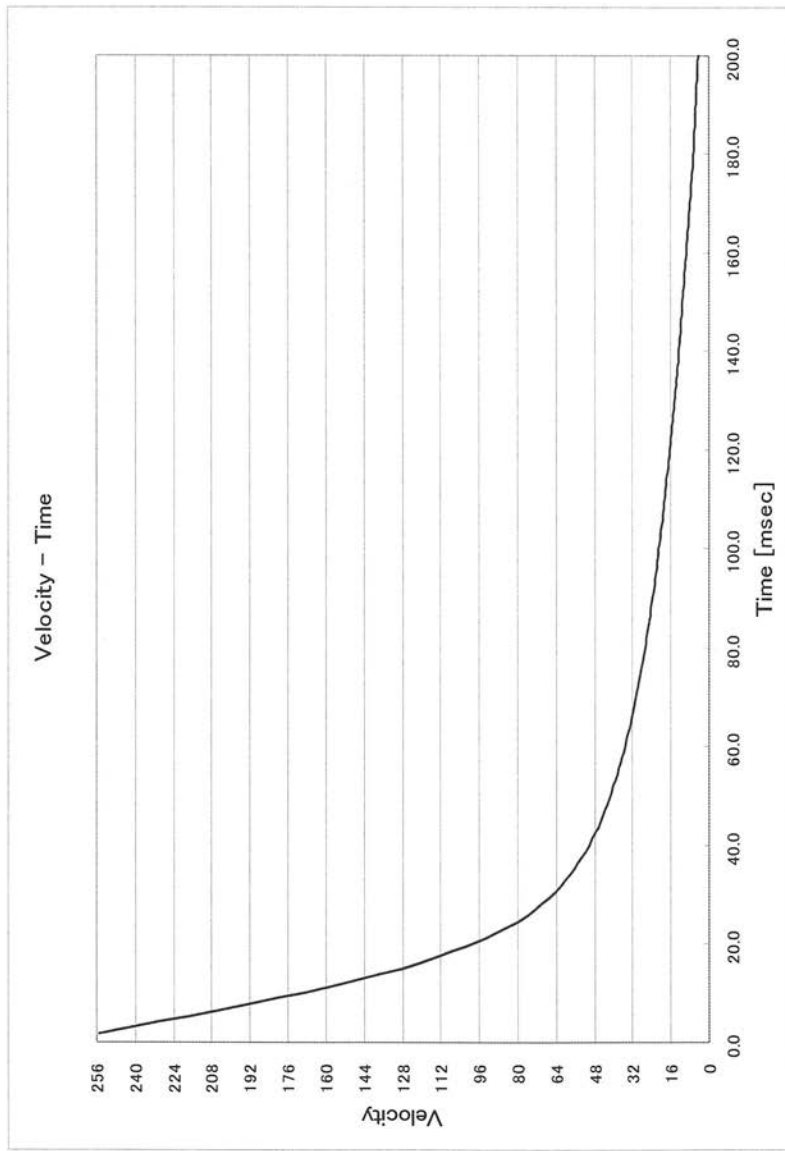
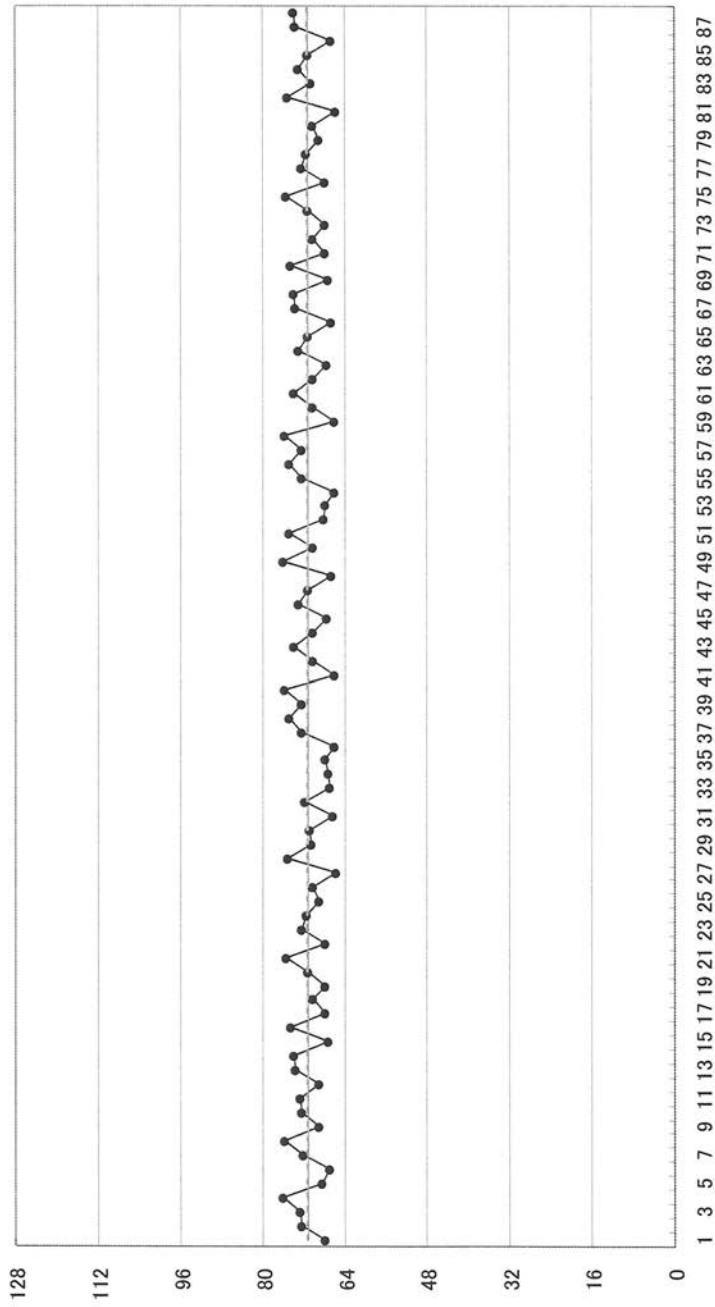


図 8

ペロシティ



フロントページの続き

- (56)参考文献 特開平 0 7 - 2 9 5 5 6 8 (J P , A)
特開昭 6 3 - 2 7 1 4 9 8 (J P , A)
特公昭 5 8 - 0 4 3 7 5 7 (J P , B 1)
特開平 0 9 - 0 3 4 4 5 8 (J P , A)
特開平 1 0 - 1 2 4 0 5 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 1 0 H 1 / 0 0 - 7 / 1 2