

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-174346  
(P2016-174346A)

(43) 公開日 平成28年9月29日 (2016.9.29)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 17/687 (2006.01)	H03K 17/687 D	5F038
H03K 17/22 (2006.01)	H03K 17/22 B	5J055
H04L 25/02 (2006.01)	H04L 25/02 303B	5K029
H01L 21/822 (2006.01)	H01L 27/04 E	
H01L 27/04 (2006.01)		

審査請求 未請求 請求項の数 15 O L (全 29 頁)

(21) 出願番号 特願2015-180395 (P2015-180395)  
 (22) 出願日 平成27年9月14日 (2015.9.14)  
 (31) 優先権主張番号 特願2015-53444 (P2015-53444)  
 (32) 優先日 平成27年3月17日 (2015.3.17)  
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 302062931  
 ルネサスエレクトロニクス株式会社  
 東京都江東区豊洲三丁目2番24号  
 (74) 代理人 100103894  
 弁理士 冢入 健  
 (72) 発明者 武田 晃一  
 東京都江東区豊洲三丁目2番24号 ルネ  
 サスエレクトロニクス株式会社内  
 (72) 発明者 長瀬 寛和  
 東京都江東区豊洲三丁目2番24号 ルネ  
 サスエレクトロニクス株式会社内  
 (72) 発明者 渡部 真平  
 東京都江東区豊洲三丁目2番24号 ルネ  
 サスエレクトロニクス株式会社内  
 Fターム(参考) 5F038 AZ04 BE07 CD02 EZ07 EZ20  
 最終頁に続く

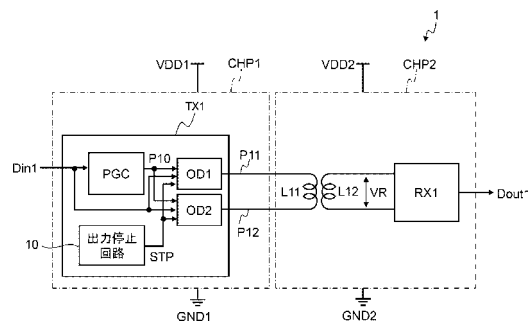
(54) 【発明の名称】 送信回路、半導体装置及びデータ送信方法

(57) 【要約】

【課題】 静電破壊試験時の故障を抑制すること。

【解決手段】 一実施の形態に係る送信回路は、入力データのエッジに基づくパルス信号を生成するパルス生成回路と、パルス信号に基づいて、前記エッジの一方に係る第1の出力パルス信号を外部の絶縁結合素子の第1端に出力する第1の出力ドライバと、パルス信号に基づいて、前記エッジの他方に係る第2の出力パルス信号を絶縁結合素子の第2端に出力する第2の出力ドライバと、電源電圧の起動から所定の期間、第1及び第2の出力パルス信号の出力を停止する出力停止回路と、を備える。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

入力データのエッジに基づくパルス信号を生成するパルス生成回路と、  
前記パルス信号に基づいて、前記エッジの一方に係る第 1 の出力パルス信号を外部の絶縁結合素子の第 1 端に出力する第 1 の出力ドライバと、  
前記パルス信号に基づいて、前記エッジの他方に係る第 2 の出力パルス信号を前記絶縁結合素子の第 2 端に出力する第 2 の出力ドライバと、  
電源電圧の起動から所定の期間、前記第 1 及び第 2 の出力パルス信号の出力を停止する出力停止回路と、を備える、  
送信回路。

10

**【請求項 2】**

前記出力停止回路は、  
前記電源電圧の起動を検知し、前記第 1 及び第 2 の出力パルス信号の出力の停止を維持するラッチ回路と、  
タイマと、を備え、  
前記ラッチ回路は、前記タイマから出力された信号に応じて、前記第 1 及び第 2 の出力パルス信号の出力の停止を解除する、  
請求項 1 に記載の送信回路。

**【請求項 3】**

前記出力停止回路は、  
第 1 及び第 2 の容量素子をさらに備え、  
前記ラッチ回路は、  
第 1 の記憶ノードが前記第 1 の容量素子を介して電源に接続され、第 2 の記憶ノードが前記第 2 の容量素子を介してグランドに接続されており、  
前記第 1 及び第 2 の記憶ノードに互いに反転させた電圧を保持し、  
前記タイマから出力された信号に応じて、前記第 1 及び第 2 の記憶ノードに保持された前記電圧が遷移することにより、前記第 1 及び第 2 の出力パルス信号の出力の停止を解除する、  
請求項 2 に記載の送信回路。

20

**【請求項 4】**

前記出力停止回路は、  
第 1 及び第 2 の容量素子と、  
ソースがグランドに接続され、ドレインが前記第 1 の容量素子を介して電源に接続された N 型トランジスタと、  
ソースが電源に接続され、ドレインが前記第 2 の容量素子を介してグランドに接続された P 型トランジスタと、を備え、  
前記 N 型トランジスタのゲートは前記 P 型トランジスタのドレインに接続され、前記 P 型トランジスタのゲートは前記 N 型トランジスタのドレインに接続されており、  
前記 N 型トランジスタのゲート電圧と前記 P 型トランジスタのゲート電圧とに応じて、  
前記第 1 及び第 2 の出力パルス信号の出力の停止が解除される、  
請求項 1 に記載の送信回路。

30

40

**【請求項 5】**

前記出力停止回路は、  
電源及びグランドのいずれか一方に接続された容量素子と、  
電源及びグランドの他方に接続された抵抗素子と、を備え、  
前記容量素子と前記抵抗素子との接続ノードの電圧に応じて、前記第 1 及び第 2 の出力パルス信号の出力の停止が解除される、  
請求項 1 に記載の送信回路。

**【請求項 6】**

前記出力停止回路が、

50

電源電圧の起動から所定の期間、前記パルス生成回路による前記パルス信号の生成を停止することにより、前記第 1 及び第 2 の出力パルス信号の出力を停止する、  
請求項 1 に記載の送信回路。

【請求項 7】

入力データに基づく第 1 及び第 2 の出力パルス信号を送信する送信回路と、  
前記第 1 及び第 2 の出力パルス信号を受信し、前記入力データを復元する受信回路と、  
前記送信回路と前記受信回路とを電磁氣的に結合する一次絶縁結合素子及び二次絶縁結合素子と、を備え、  
前記送信回路は、  
前記入力データのエッジに基づくパルス信号を生成するパルス生成回路と、  
前記パルス信号に基づいて、前記エッジの一方に係る前記第 1 の出力パルス信号を前記一次絶縁結合素子の第 1 端に出力する第 1 の出力ドライバと、  
前記パルス信号に基づいて、前記エッジの他方に係る前記第 2 の出力パルス信号を前記一次絶縁結合素子の第 2 端に出力する第 2 の出力ドライバと、  
電源電圧の起動から所定の期間、前記第 1 及び第 2 の出力パルス信号の出力を停止する出力停止回路と、を備える、  
半導体装置。

10

【請求項 8】

前記出力停止回路は、  
前記電源電圧の起動を検知し、前記第 1 及び第 2 の出力パルス信号の出力の停止を維持するラッチ回路と、  
タイマと、を備え、  
前記ラッチ回路は、前記タイマから出力された信号に応じて、前記第 1 及び第 2 の出力パルス信号の出力の停止を解除する、  
請求項 7 に記載の半導体装置。

20

【請求項 9】

前記出力停止回路は、  
第 1 及び第 2 の容量素子をさらに備え、  
前記ラッチ回路は、  
第 1 の記憶ノードが前記第 1 の容量素子を介して電源に接続され、第 2 の記憶ノードが前記第 2 の容量素子を介してグランドに接続されており、  
前記第 1 及び第 2 の記憶ノードに互いに反転させた電圧を保持し、  
前記タイマから出力された信号に応じて、前記第 1 及び第 2 の記憶ノードに保持された前記電圧が遷移することにより、前記第 1 及び第 2 の出力パルス信号の出力の停止を解除する、  
請求項 8 に記載の半導体装置。

30

【請求項 10】

前記出力停止回路は、  
第 1 及び第 2 の容量素子と、  
ソースがグランドに接続され、ドレインが前記第 1 の容量素子を介して電源に接続された N 型トランジスタと、  
ソースが電源に接続され、ドレインが前記第 2 の容量素子を介してグランドに接続された P 型トランジスタと、を備え、  
前記 N 型トランジスタのゲートは前記 P 型トランジスタのドレインに接続され、前記 P 型トランジスタのゲートは前記 N 型トランジスタのドレインに接続されており、  
前記 N 型トランジスタのゲート電圧と前記 P 型トランジスタのゲート電圧とに応じて、前記第 1 及び第 2 の出力パルス信号の出力の停止が解除される、  
請求項 7 に記載の半導体装置。

40

【請求項 11】

前記出力停止回路は、

50

電源及びグラウンドのいずれか一方に接続された容量素子と、  
電源及びグラウンドの他方に接続された抵抗素子と、を備え、  
前記容量素子と前記抵抗素子との接続ノードの電圧に応じて、前記第 1 及び第 2 の出力  
パルス信号の出力の停止が解除される、  
請求項 7 に記載の半導体装置。

【請求項 1 2】

前記出力停止回路が、  
電源電圧の起動から所定の期間、前記パルス生成回路による前記パルス信号の生成を停  
止することにより、前記第 1 及び第 2 の出力パルス信号の出力を停止する、  
請求項 7 に記載の半導体装置。

10

【請求項 1 3】

前記一次絶縁結合素子及び前記二次絶縁結合素子は、  
半導体チップ内において、上下方向に積層された 2 層の配線層のそれぞれに形成された  
コイルである、  
請求項 7 に記載の半導体装置。

【請求項 1 4】

入力データのエッジに基づくパルス信号を生成し、  
前記パルス信号に基づいて、前記エッジの一方に係る第 1 の出力パルス信号を絶縁結合  
素子の第 1 端に出力するとともに、前記エッジの他方に係る第 2 の出力パルス信号を前記  
絶縁結合素子の第 2 端に出力するデータ送信方法であって、  
電源電圧の起動から所定の期間、前記第 1 及び第 2 の出力パルス信号の出力を停止する  
、  
データ送信方法。

20

【請求項 1 5】

前記第 1 及び第 2 の出力パルス信号の出力を停止する際、  
前記電源電圧の起動を検知し、前記第 1 及び第 2 の出力パルス信号の出力の停止を維持  
し、  
タイマから出力された信号に応じて、前記第 1 及び第 2 の出力パルス信号の出力の停止  
を解除する、  
請求項 1 4 に記載のデータ送信方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、送信回路、半導体装置及びデータ送信方法に関する。

【背景技術】

【0002】

電源電圧の異なる複数の半導体チップ間で信号を送受信する場合、半導体チップ間を絶  
縁結合素子によって電氣的に絶縁しつつ信号を送受信する必要がある。絶縁結合素子とし  
ては、コンデンサやコイルなどを用いた交流結合素子あるいは光結合素子（フォトカプラ  
）などが知られている。特許文献 1 には、絶縁結合素子としてコイルを用いて、信号を送  
受信する半導体装置いわゆるマイクロアイソレータが開示されている。

40

【0003】

特許文献 1 では、データ信号のエッジをトリガとするパルス信号を送信回路から送信す  
る。ここで、送信回路からは、データ信号の立ち上がりエッジ（ライズエッジ）と立ち下  
がりエッジ（フォールエッジ）との区別が可能なパルス信号が送信される。そのため、受  
信回路においてデータ信号を復元することができる。

【0004】

ところで、特許文献 2 ~ 4 には、電源グラウンド間に設けられた静電保護回路が開示され  
ている。静電保護回路は、静電気放電により発生した高電圧パルスから半導体装置の内部  
回路を保護するために組み込まれている。特許文献 2、3 に記載された静電保護回路では

50

、急峻な電源上昇を検知してNMOSトランジスタをオンさせる。特許文献4に記載された静電保護回路（GGNMOS：Gate Grounded NMOS）では、一定以上の電源電位においてNMOSトランジスタの寄生パイポラをオンさせる。これらにより、電源電圧電位が内部回路の絶縁耐圧に達する前に、静電保護回路が働き電源電圧の上昇が抑制されて、内部回路が保護される。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2013-229812号公報

【特許文献2】特開2005-045100号公報

10

【特許文献3】特開2012-253241号公報

【特許文献4】特許第4750746号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

発明者は以下の課題を見出した。

特許文献1に示したようなマイクロアイソレータにおいて、例えば静電破壊試験の1つである人体モデル（HBM：Human Body Model）試験を行った際に、送信回路の破壊や絶縁結合素子の断線などの故障が発生し得ることが分かった。このような故障は、サージ電流印加によって、電源電圧が規定電圧を超えるとともに、送信回路が誤パルスを出力するために起こることが分かった。

20

【0007】

高速動作性、低消費電力、小面積性、ノイズ耐性はマイクロアイソレータの重要な性能指標であり、これらをもつための一つ的手段として、絶縁結合素子であるトランスフォーマーに対して、送信回路から短時間の間に大きな電流を流す。例えば、特許文献1に示したようなマイクロアイソレータにおける送信回路は、短パルスを出力するパルス生成部と高い駆動能力を有する出力ドライバ部とで構成される。一方で、パルス生成部は、電源投入直後において、パルス生成部を構成する遅延素子において内部ノードの状態が不安定であり、誤パルスを出力しやすい課題を有する。また、出力ドライバ部は、通常、規格電圧（例えば5V）においてトランスフォーマーに、例えば100mA以下の電流が流れるように設計するが、規格電圧よりも遥かに高い電源電圧が印加されると、動作時にドライバやトランスフォーマーにおいて許容値以上の電流が流れる課題を有する。

30

【0008】

各々の構成要素はそれぞれ課題を有するが、通常は二つの課題が同時に発生することではなく問題とはならない。しかしながら、HBM試験が電源グランド間において実施された場合、規格電圧よりも遥かに高い電圧（例えば10数V）で電源投入された状態となり、パルス生成部に発生された誤パルスが発生している間に、ドライバやトランスフォーマーにおいて許容値以上の電流（例えば数100mA）が流れて送信回路の破壊や絶縁結合素子の断線などの故障が発生した。

【0009】

40

特許文献2～4に開示されたような静電保護回路では、サージ電流印加による電源電圧の上昇を絶縁耐圧（例えば10数V）以下に抑制することはできても、規格電圧（例えば5V）付近に抑制することは困難である。また、送信回路を構成するパルス生成部からの誤パルスの出力を防ぐことはできない。そのため、結果として、規格電圧より高い電流電圧が、誤パルスによってドライバやトランスフォーマーまで届けられ、上記のような故障をもたらす。

以上のように、従来の静電保護回路では、静電破壊試験時の故障を効果的に抑制することができない。

【0010】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるである

50

う。

【課題を解決するための手段】

【0011】

一実施の形態に係る送信回路は、電源電圧の起動から所定の期間、第1及び第2の出力パルス信号の出力を停止する出力停止回路を備えている。

【発明の効果】

【0012】

前記一実施の形態によれば、静電破壊試験時の故障を抑制することができる。

【図面の簡単な説明】

【0013】

【図1】第1の実施の形態に係る半導体装置を示すブロック図である。

【図2】第1の実施の形態に係る半導体装置の実装例を示す模式図である。

【図3】第1の実施の形態に係る送信回路TX1の具体的な回路構成の一例を示す回路図である。

【図4】第1の実施の形態に係る送信回路TX1の動作の一例を示すタイミングチャートである。

【図5】第1の実施の形態に係る受信回路RX1の具体的な回路構成の一例を示す回路図である。

【図6】第1の実施の形態に係る受信回路RX1の動作の一例を示すタイミングチャートである。

【図7】第1の実施の形態の比較例に係る送信回路TX10の具体的な回路構成の一例を示す回路図である。

【図8】比較例に係る送信回路TX10において、HBM試験時の故障が発生するメカニズムについて説明するためのタイミングチャートである。

【図9】送信回路TX1において、HBM試験時の故障を抑制するメカニズムについて説明するためのタイミングチャートである。

【図10】第1の実施の形態に係る出力停止回路10の具体的な回路構成の一例を示す回路図である。

【図11】第1の実施の形態に係る出力停止回路10の電源電圧起動時の動作を説明するためのタイミングチャートである。

【図12】第1の実施の形態に係る送信回路TX1の変形例を示す回路図である。

【図13】第1の実施の形態に係る送信回路TX1の変形例を示す回路図である。

【図14】第1の実施の形態に係るパルス生成回路PGCの変形例を示す回路図である。

【図15】第2の実施の形態に係る出力停止回路20の具体的な回路構成の一例を示す回路図である。

【図16】第2の実施の形態に係る出力停止回路20の電源電圧起動時の動作を説明するためのタイミングチャートである。

【図17】第3の実施の形態に係る出力停止回路30の具体的な回路構成の一例を示す回路図である。

【図18】第3の実施の形態に係る出力停止回路30の電源電圧起動時の動作を説明するためのタイミングチャートである。

【図19】第3の実施の形態に係る半導体装置システム2の構成を示すブロック図である。

【図20】半導体装置システム2が適用されるインバータ装置を示す図である。

【図21】半導体装置システム2が適用されるインバータ装置の動作を示すタイミングチャートである。

【図22】絶縁結合素子としてコンデンサを用いた場合の半導体装置の実装例である。

【図23】絶縁結合素子としてGMR素子を用いた場合の半導体装置の実装例である。

【発明を実施するための形態】

【0014】

10

20

30

40

50

以下、具体的な実施の形態について、図面を参照しながら詳細に説明する。但し、説明の明確化のため、以下の記載及び図面は、適宜、省略、及び簡略化がなされている。また、様々な処理を行う機能ブロックとして図面に記載される各要素は、ハードウェア的には、CPU、メモリ、その他の回路で構成することができ、ソフトウェア的には、メモリにロードされたプログラムなどによって実現される。したがって、これらの機能ブロックがハードウェアのみ、ソフトウェアのみ、またはそれらの組合せによっていろいろな形で実現できることは当業者には理解されるところであり、いずれかに限定されるものではない。なお、各図面において、同一の要素には同一の符号が付されており、必要に応じて重複説明は省略されている。

#### 【0015】

(第1の実施の形態)

<半導体装置1の構成>

まず、図1を参照して、第1の実施の形態に係る半導体装置について説明する。図1は、第1の実施の形態に係る半導体装置1の構成を示すブロック図である。第1の実施の形態に係る半導体装置1は、送信回路TX1、一次コイルL11、二次コイルL12、受信回路RX1を備え、マイクロアイソレータを構成している。

#### 【0016】

送信回路TX1は、半導体チップCHP1に形成される。なお、半導体チップCHP1は、第1の電源系に属する第1の電源(電源電圧VDD1、接地電圧GND1:電位差VDD1-GND1は、例えば5V)によって駆動される。

#### 【0017】

一次コイルL11、二次コイルL12、受信回路RX1は、半導体チップCHP2に形成される。なお、半導体チップCHP2は、第1の電源系と異なる第2の電源系に属する第2の電源(電源電圧VDD2、接地電圧GND2:電位差VDD2-GND2は、例えば5V)によって駆動される。

#### 【0018】

一次コイルL11、二次コイルL12は、電源電圧の異なる2つの半導体チップCHP1、CHP2を電気的に絶縁しつつ磁界または電界により結合する絶縁結合素子を構成している。この絶縁結合素子により、半導体チップCHP1上の送信回路TX1から電源電圧の異なる半導体チップCHP2上の受信回路RX1へデータ信号を送信することができる(電位差VDD1-VDD2は、例えば-数100V~数100V)。

#### 【0019】

ここで、図2を参照して、半導体装置1の実装例について説明する。図2は、半導体装置1の実装例を示す図である。なお、図2は、主として送信回路TX1、受信回路RX1及びこれらの間に設けられた一次コイルL11、二次コイルL12の実装例を説明するものである。

#### 【0020】

図2に示す実装例は、半導体パッケージPKGに2つの半導体チップCHP1、CHP2が搭載される。半導体チップCHP1、CHP2は、それぞれパッドPdを有する。そして、半導体チップCHP1、CHP2のそれぞれのパッドPdは、図示しないボンディングワイヤを介して半導体パッケージPKGに設けられた複数のリード端子(外部端子)Tに接続される。

#### 【0021】

図2に示すように、半導体チップCHP1には送信回路TX1が形成される。半導体チップCHP2には、受信回路RX1、一次コイルL11、及び二次コイルL12が形成される。また、半導体チップCHP1には、送信回路TX1の出力に接続されるパッドが形成され、半導体チップCHP2には、一次コイルL11の両端にそれぞれ接続されるパッドが形成される。そして、送信回路TX1は、これらパッドとボンディングワイヤBWとを介して、半導体チップCHP2に形成された一次コイルL11と接続される。

#### 【0022】

10

20

30

40

50

なお、図 2 に示す例では、一次コイル L 1 1 及び二次コイル L 1 2 が、それぞれ 1 つの半導体チップ C H P 2 内において上下方向に積層される第 1 の配線層及び第 2 の配線層に形成されている。また、一次コイル L 1 1 及び二次コイル L 1 2 は、送信回路 T X 1 とともに半導体チップ C H P 1 に形成されていてもよい。あるいは、一次コイル L 1 1 及び二次コイル L 1 2 は、送信回路 T X 1 が形成された半導体チップ C H P 1 と受信回路 R X 1 が形成された半導体チップ C H P 2 との間に設けられた第 3 の半導体チップに形成されていてもよい。

さらに、半導体チップ C H P 1 に一次コイル L 1 1 及び送信回路 T X 1 を形成し、半導体チップ C H P 2 に二次コイル L 1 2 及び受信回路 R X 1 を形成し、両者を貼り合わせてもよい。

あるいは、1 つの半導体チップ上に送信回路 T X 1、受信回路 R X 1、一次コイル L 1 1 及び二次コイル L 1 2 が形成されていてもよい。この場合、送信回路 T X 1 が配置される領域と受信回路 R X 1 が配置される領域とは、半導体チップ中に形成される絶縁層により互いに絶縁される。

#### 【 0 0 2 3 】

図 1 に戻り、半導体装置 1 の構成例について説明する。送信回路 T X 1 は、第 1 の電源系に属する第 1 の電源に基づき動作する。一方、受信回路 R X 1 は、第 2 の電源系に属する第 2 の電源に基づき動作する。

#### 【 0 0 2 4 】

送信回路 T X 1 は、パルス生成回路 P G C、出力ドライバ O D 1、O D 2、出力停止回路 1 0 を備えている。

パルス生成回路 P G C は、入力データ信号 D i n 1 のエッジに応じて、パルス信号 P 1 0 を生成する。

#### 【 0 0 2 5 】

出力ドライバ O D 1 は、パルス信号 P 1 0 に基づく出力パルス信号 P 1 1 を一次コイル L 1 1 の第 1 端に出力する。出力パルス信号 P 1 1 は、入力データ信号 D i n 1 のライズエッジを伝達するためのパルス信号である。

出力ドライバ O D 2 は、パルス信号 P 1 0 に基づく出力パルス信号 P 1 2 を一次コイル L 1 1 の第 2 端に出力する。出力パルス信号 P 1 2 は、入力データ信号 D i n 1 のフォールエッジを伝達するためのパルス信号である。

#### 【 0 0 2 6 】

出力停止回路 1 0 は、電源電圧の起動から所定の期間、出力パルス信号 P 1 1、P 1 2 の出力を停止する。図 1 の例では、出力停止回路 1 0 から出力された停止信号 S T P が、出力ドライバ O D 1、O D 2 に入力されている。すなわち、出力停止回路 1 0 から出力された停止信号 S T P により、出力ドライバ O D 1、O D 2 からの出力パルス信号 P 1 1、P 1 2 の出力が停止される。

#### 【 0 0 2 7 】

一次コイル L 1 1 及び二次コイル L 1 2 は、送信回路 T X 1 から出力された出力パルス信号 P 1 1、P 1 2 を、受信信号 V R へ変換し、受信回路 R X 1 に伝達する。具体的には、出力パルス信号 P 1 1、P 1 2 の遷移により一次コイル L 1 1 に流れる電流が変化し、これに応じて二次コイル L 1 2 の両端間の電圧である受信信号 V R が変化する。

#### 【 0 0 2 8 】

受信回路 R X 1 は、二次コイル L 1 2 の受信信号 V R に基づいて入力データ信号 D i n 1 を復元し、出力データ信号 D o u t 1 として出力する。

#### 【 0 0 2 9 】

第 1 の実施の形態に係る送信回路 T X 1 は、電源電圧 V D D 1 の起動から所定の期間、出力パルス信号 P 1 1 及び出力パルス信号 P 1 2 の出力を停止する出力停止回路 1 0 を備えている。そのため、電源電圧 V D D 1 の起動に伴う誤パルスの出力を抑制することができる。静電破壊試験時の電源電圧 V D D 1 の上昇は、電源電圧 V D D 1 の起動と同様の物理現象である。従って、第 1 の実施の形態に係る送信回路 T X 1 では、静電破壊試験時に

10

20

30

40

50

も出力停止回路10が作動し、電源電圧VDD1の上昇に伴う誤パルスに起因する故障を抑制することができる。

【0030】

<送信回路TX1の具体的な回路構成>

次に、図3を参照して、送信回路TX1の具体的な回路構成について説明する。以下に示す回路構成はあくまでも一例である。図3は、第1の実施の形態に係る送信回路TX1の具体的な回路構成の一例を示す回路図である。図1、図3に示すように、送信回路TX1は、パルス生成回路PGC、出力ドライバOD1、OD2、出力停止回路10を備えている。

【0031】

図3に示すように、パルス生成回路PGCは、1つのインバータIN10、2つのライズエッジ検出回路RED1、RED2、1つのORゲートOR1を備えている。ここで、ライズエッジ検出回路RED1、RED2は、同様の回路構成を有している。ライズエッジ検出回路RED1は、遅延回路DC1、インバータIN11、ANDゲートAN11を備えている。ライズエッジ検出回路RED2は、遅延回路DC2、インバータIN12、ANDゲートAN12を備えている。

【0032】

図3に示すように、出力ドライバOD1、OD2は、略同様の回路構成を有している。出力ドライバOD1は、ANDゲートAN1、バッファ回路B1、インバータIN1を備えている。出力ドライバOD2は、ANDゲートAN2、バッファ回路B2、インバータIN2を備えている。

なお、図3に示すように、出力ドライバOD1には入力データ信号Din1が入力されるのに対し、出力ドライバOD2には入力データ信号Din1の反転信号が入力される点異なる。すなわち、ANDゲートAN2は、入力データ信号Din1の入力端にインバータを備えている。

【0033】

以下に接続関係について説明する。

ライズエッジ検出回路RED1には、入力データ信号Din1が入力される。ライズエッジ検出回路RED1は、入力データ信号Din1のライズエッジにおいてエッジパルス信号EP1を出力する。具体的には、入力データ信号Din1は、遅延回路DC1によって遅延され、インバータIN11によって反転される。このインバータIN11から出力された反転遅延データ信号ddbが、入力データ信号Din1とともにANDゲートAN11に入力される。そして、ANDゲートAN11が、エッジパルス信号EP1を出力する。

【0034】

一方、ライズエッジ検出回路RED2には、インバータIN10を介した入力データ信号Din1の反転信号(以下、反転データ信号という)DBが入力される。ライズエッジ検出回路RED2は、反転データ信号DBのライズエッジすなわち入力データ信号Din1のフォールエッジにおいてエッジパルス信号EP2を出力する。具体的には、反転データ信号DBは、遅延回路DC2によって遅延され、インバータIN12によって反転される。このインバータIN12から出力された正転遅延データ信号DDが、反転データ信号DBとともにANDゲートAN12に入力される。そして、ANDゲートAN12が、エッジパルス信号EP2を出力する。

【0035】

2つのライズエッジ検出回路RED1、RED2から出力されたエッジパルス信号EP1、EP2は、いずれもORゲートOR1に入力される。ORゲートOR1からは、入力データ信号Din1のライズエッジ及びフォールエッジを伝達するパルス信号P10が、パルス生成回路PGCの出力信号として出力される。

【0036】

パルス信号P10は、出力ドライバOD1、OD2を構成するANDゲートAN1、A

10

20

30

40

50

N 2 に入力される。また、ANDゲートAN 1には、入力データ信号D i n 1が入力される。一方、ANDゲートAN 2には、入力データ信号D i n 1の反転信号が入力される。

【0037】

この結果、ANDゲートAN 1は、入力データ信号D i n 1のライズエッジを伝達するためのH ( High ) アクティブのパルス信号を出力する。このパルス信号はバッファ回路B 1を介してインバータIN 1に入力される。そして、インバータIN 1から、入力データ信号D i n 1のライズエッジを伝達するためのL ( Low ) アクティブの出力パルス信号P 1 1が、出力ドライバOD 1の出力信号として出力される。

【0038】

一方、ANDゲートAN 2は、入力データ信号D i n 1のフォールエッジを伝達するためのHアクティブのパルス信号を出力する。このパルス信号はバッファ回路B 2を介してインバータIN 2に入力される。そして、インバータIN 2から、入力データ信号D i n 1のフォールエッジを伝達するためのLアクティブの出力パルス信号P 1 2が、出力ドライバOD 2の出力信号として出力される。

10

【0039】

ここで、出力ドライバOD 1、OD 2を構成するANDゲートAN 1、AN 2には、出力停止回路10から出力された停止信号STPが入力されている。停止信号STPがLレベルである期間、出力ドライバOD 1、OD 2から出力される出力パルス信号P 1 1、P 1 2の出力が常にHレベルとなる。すなわち、停止信号STPがLレベルである期間、パルス生成回路PGCからパルス信号P 1 0が出力されても、出力ドライバOD 1、OD 2からは出力パルス信号P 1 1、P 1 2が出力されることはない。

20

【0040】

なお、パルス生成回路PGCが、ORゲートOR 1を備えていなくてもよい。この場合、エッジパルス信号EP 1、EP 2を、それぞれANDゲートAN 1、AN 2に直接入力する。ANDゲートAN 1にはエッジパルス信号EP 1及び停止信号STPのみを入力すればよく、入力データ信号D i n 1の入力は不要となる。また、ANDゲートAN 2にはエッジパルス信号EP 2及び停止信号STPのみを入力すればよく、入力データ信号D i n 1の反転信号の入力は不要となる。

【0041】

<送信回路TX 1の動作>

次に、図4を参照して、送信回路TX 1の通常動作について説明する。図4は、第1の実施の形態に係る送信回路TX 1の通常動作の一例を示すタイミングチャートである。なお、図4に示す通常動作時は、出力停止回路10は作動しない。

30

【0042】

図4の上から順に、入力データ信号D i n 1、反転遅延データ信号DDB、エッジパルス信号EP 1、反転データ信号DB、正転遅延データ信号DD、エッジパルス信号EP 2、パルス信号P 1 0、出力パルス信号P 1 1、出力パルス信号P 1 2が、示されている。

【0043】

2段目に示された反転遅延データ信号DDBは、最上段に示された入力データ信号D i n 1を反転し、遅延時間T dだけ遅延させた信号である。

40

3段目に示されたエッジパルス信号EP 1は、最上段に示された入力データ信号D i n 1のライズエッジを示す幅T dのパルス信号である。エッジパルス信号EP 1は、最上段に示された入力データ信号D i n 1と2段目に示された反転遅延データ信号DDBとのAND論理により得られる。

【0044】

4段目に示された反転データ信号DBは、最上段に示された入力データ信号D i n 1の反転信号である。

5段目に示された正転遅延データ信号DDは、最上段に示された入力データ信号D i n 1を遅延時間T dだけ遅延させた信号である。

6段目に示されたエッジパルス信号EP 2は、最上段に示された入力データ信号D i n

50

1のフォールエッジを示す幅T dのパルス信号である。エッジパルス信号EP 2は、4段目に示された反転データ信号DBと5段目に示された正転遅延データ信号DDとのAND論理により得られる。

【0045】

7段目に示されたパルス信号P 10は、最上段に示された入力データ信号D i n 1のライズエッジ及びフォールエッジを示すパルス信号である。パルス信号P 10は、3段目に示されたエッジパルス信号EP 1と6段目に示されたエッジパルス信号EP 2とのOR論理により得られる。

【0046】

8段目に示された出力パルス信号P 11は、最上段に示された入力データ信号D i n 1のライズエッジを示すLアクティブのパルス信号である。出力パルス信号P 11は、最上段に示された入力データ信号D i n 1と7段目に示されたパルス信号P 10とのAND論理により得られた信号を、反転させた信号である。

10

【0047】

最下段に示された出力パルス信号P 12は、最上段に示された入力データ信号D i n 1のフォールエッジを示すLアクティブのパルス信号である。出力パルス信号P 12は、4段目に示された反転データ信号DBと7段目に示されたパルス信号P 10とのAND論理により得られた信号を、反転させた信号である。

【0048】

次に、時系列に説明する。

20

時刻t 1では、最上段に示された入力データ信号D i n 1がLレベルからHレベルへ切り換わる(つまりライズエッジ)。そのため、3段目に示されたエッジパルス信号EP 1及び7段目に示されたパルス信号P 10がLレベルからHレベルに切り換わり、8段目に示された出力パルス信号P 11がHレベルからLレベルに切り換わる。

【0049】

時刻t 2では、2段目に示された反転遅延データ信号DDBがHレベルからLレベルへ切り換わる。そのため、3段目に示されたエッジパルス信号EP 1及び7段目に示されたパルス信号P 10がHレベルからLレベルに切り換わり、8段目に示された出力パルス信号P 11がLレベルからHレベルに切り換わる。

【0050】

30

時刻t 3では、最上段に示された入力データ信号D i n 1がHレベルからLレベルへ切り換わり(つまりフォールエッジ)、4段目に示された反転データ信号DBがLレベルからHレベルへ切り換わる。そのため、6段目に示されたエッジパルス信号EP 2及び7段目に示されたパルス信号P 10がLレベルからHレベルに切り換わり、最下段に示された出力パルス信号P 12がHレベルからLレベルに切り換わる。

【0051】

時刻t 4では、5段目に示された正転遅延データ信号DDがHレベルからLレベルへ切り換わる。そのため、6段目に示されたエッジパルス信号EP 2及び7段目に示されたパルス信号P 10がHレベルからLレベルに切り換わり、最下段に示された出力パルス信号P 12がLレベルからHレベルに切り換わる。

40

【0052】

<受信回路RX 1の具体的な回路構成>

次に、図5を参照して、受信回路RX 1の具体的な回路構成について説明する。以下に示す回路構成はあくまでも一例である。図5は、第1の実施の形態に係る受信回路RX 1の具体的な回路構成の一例を示す回路図である。図5に示すように、受信回路RX 1は、パルス検出回路PDCと2つのパルス拡幅回路PWC 1、PWC 2、順序回路SLC、ORゲートOR 2を備えている。

【0053】

以下に接続関係について説明する。

送信回路TX 1から出力された出力パルス信号P 11、P 12に応じて二次コイルL 1

50

2の両端間に発生する受信信号VRは、パルス検出回路PDCに入力される。パルス検出回路PDCは、正パルスを検出した場合は正パルス検出信号PPD1を、負パルスを検出した場合は負パルス検出信号NPD1を出力する。具体的には、送信回路TX1から出力パルス信号P11、P12が出力されると、いずれの場合も1対の正パルス検出信号PPD1、負パルス検出信号NPD1が出力される。しかし、出力パルス信号P11と出力パルス信号P12とでは、正パルス検出信号PPD1と負パルス検出信号NPD1との出力順序が逆転する。本実施の形態では、出力パルス信号P11が出力されると正パルス検出信号PPD1が先に出力され、出力パルス信号P12が出力されると負パルス検出信号NPD1が先に出力される。

#### 【0054】

正パルス検出信号PPD1がパルス拡幅回路PWC1に、負パルス検出信号NPD1がパルス拡幅回路PWC2に、入力される。パルス拡幅回路PWC1、PWC2は、それぞれ入力された正パルス検出信号PPD1、負パルス検出信号NPD1を拡幅し、正パルス検出信号PPD2、負パルス検出信号NPD2を出力する。ここで、パルス拡幅回路PWC1、PWC2は、正パルス検出信号PPD1、負パルス検出信号NPD1のライズエッジは変更せずに、フォールエッジのみを遅延させる。これにより、正パルス検出信号PPD2のHレベルの期間と、負パルス検出信号NPD2のHレベルの期間とを、一部重複させる。

#### 【0055】

正パルス検出信号PPD2及び負パルス検出信号NPD2は、順序回路SLCに入力される。順序回路SLCは、入力された正パルス検出信号PPD2及び負パルス検出信号NPD2の順序を判定し、出力データ信号Dout1を出力する。具体的には、順序回路SLCは、正パルス検出信号PPD2が先に入力された場合、出力データ信号Dout1としてHレベルを出力する。他方、順序回路SLCは、負パルス検出信号NPD2が先に入力された場合、出力データ信号Dout1としてLレベルを出力する。

#### 【0056】

さらに、正パルス検出信号PPD2及び負パルス検出信号NPD2は、ORゲートOR2に入力される。ORゲートOR2はパルス検出信号PD1を出力する。このパルス検出信号PD1は、第3の実施の形態で後述するように、例えばパルス検出信号PD1が出力されてからの時間を計測するタイマのリセット信号として用いることができる。なお、図5からも明らかなように、ORゲートOR2は、出力データ信号Dout1を生成する上では必須ではない。

#### 【0057】

##### <受信回路RX1の動作>

次に、図6を参照して、受信回路RX1の動作について説明する。図6は、第1の実施の形態に係る受信回路RX1の動作の一例を示すタイミングチャートである。図6の上から順に、送信回路TX1の入力データ信号Din1、送信回路TX1から出力された出力パルス信号P11、P12、二次コイルL12の受信信号VR、正パルス検出信号PPD1、負パルス検出信号NPD1、正パルス検出信号PPD2、負パルス検出信号NPD2、出力データ信号Dout1、パルス検出信号PD1が、示されている。

#### 【0058】

4段目に示された二次コイルL12の受信信号VRでは、2段目に示された出力パルス信号P11及び3段目に示された出力パルス信号P12に応じて、グラフ上側に突出した正パルスもしくはグラフ下側に突出した負パルスが発生する。具体的には、出力パルス信号P11のフォールエッジ及び出力パルス信号P12のライズエッジでは、正パルスが発生する。一方、出力パルス信号P11のライズエッジ及び出力パルス信号P12のフォールエッジでは、負パルスが発生する。

#### 【0059】

5段目に示された正パルス検出信号PPD1は、受信信号VRの正パルス発生タイミングにおいて出力される。

10

20

30

40

50

6 段目に示された負パルス検出信号 N P D 1 は、受信信号 V R の負パルス発生タイミングにおいて出力される。

【 0 0 6 0 】

7 段目に示された正パルス検出信号 P P D 2 は、パルス拡幅回路 P W C 1 において正パルス検出信号 P P D 1 のフォールエッジを遅延させることにより拡幅された信号である。

8 段目に示された負パルス検出信号 N P D 2 は、パルス拡幅回路 P W C 2 において負パルス検出信号 N P D 1 のフォールエッジを遅延させることにより拡幅された信号である。

最下段に示されたパルス検出信号 P D 1 は、出力パルス信号 P 1 1 もしくは出力パルス信号 P 1 2 のどちらかが出力される毎に出力される信号である。上述の通り、正パルス検出信号 P P D 2 及び負パルス検出信号 N P D 2 から生成される。

10

【 0 0 6 1 】

次に、時系列に説明する。

時刻 t 1 では、出力パルス信号 P 1 1 が H レベルから L レベルへ切り換わるため、受信信号 V R に正パルスが発生する。そのため、時刻 t 1 では、正パルス検出信号 P P D 1、P P D 2 が L レベルから H レベルへ切り換わる。正パルス検出信号 P P D 2 が L レベルから H レベルへ切り換わった結果、出力データ信号 D o u t 1 として、H レベルが出力される。

【 0 0 6 2 】

時刻 t 2 では、出力パルス信号 P 1 1 が L レベルから H レベルへ切り換わるため、受信信号 V R に負パルスが発生する。そのため、時刻 t 2 では、負パルス検出信号 N P D 1、N P D 2 が L レベルから H レベルへ切り換わる。すなわち、時刻 t 2 では、負パルス検出信号 N P D 2 が L レベルから H レベルへ切り換わるが、正パルス検出信号 P P D 2 が H レベルのままである。そのため、出力データ信号 D o u t 1 として、L レベルが出力されず、H レベルが維持される。つまり、正パルス検出信号 P P D 2 が H レベルの状態、負パルス検出信号 N P D 2 が L レベルから H レベルへ遷移しても、出力データ信号 D o u t 1 は変化しない。

20

【 0 0 6 3 】

時刻 t 3 では、出力パルス信号 P 1 2 が H レベルから L レベルへ切り換わるため、受信信号 V R に負パルスが発生する。そのため、時刻 t 3 では、負パルス検出信号 N P D 1、N P D 2 が L レベルから H レベルへ切り換わる。負パルス検出信号 N P D 2 が L レベルから H レベルへ切り換わった結果、出力データ信号 D o u t 1 として、L レベルが出力される。

30

【 0 0 6 4 】

時刻 t 4 では、出力パルス信号 P 1 2 が L レベルから H レベルへ切り換わるため、受信信号 V R に正パルスが発生する。そのため、時刻 t 4 では、正パルス検出信号 P P D 1、P P D 2 が L レベルから H レベルへ切り換わる。すなわち、時刻 t 4 では、正パルス検出信号 P P D 2 が L レベルから H レベルへ切り換わるが、負パルス検出信号 N P D 2 が H レベルのままである。そのため、出力データ信号 D o u t 1 として、H レベルが出力されず、L レベルが維持される。つまり、負パルス検出信号 N P D 2 が H レベルの状態、正パルス検出信号 P P D 2 が L レベルから H レベルへ遷移しても、出力データ信号 D o u t 1 は変化しない。

40

【 0 0 6 5 】

< 比較例に係る送信回路 T X 1 0 の回路構成 >

次に、図 7 を参照して、第 1 の実施の形態の比較例に係る送信回路 T X 1 0 について説明する。図 7 は、第 1 の実施の形態の比較例に係る送信回路 T X 1 0 の具体的な回路構成の一例を示す回路図である。図 7 に示すように、送信回路 T X 1 0 は、図 3 に示した本第 1 の実施の形態に係る送信回路 T X 1 と比べ、出力停止回路 1 0 を備えていない。その他の構成は、図 3 に示した本第 1 の実施の形態に係る送信回路 T X 1 と同様である。

【 0 0 6 6 】

< 比較例に係る送信回路 T X 1 0 における故障発生メカニズム >

50

次に、図 8 を参照し、比較例に係る送信回路 T X 1 0 において、H B M 試験時の故障が発生するメカニズムについて説明する。図 8 は、比較例に係る送信回路 T X 1 0 において、H B M 試験時の故障が発生するメカニズムについて説明するためのタイミングチャートである。図 8 の上から順に、電源電圧 V D D 1、入力データ信号 D i n 1、パルス信号 P 1 0、出力パルス信号 P 1、出力パルス信号 P 2 が、示されている。

【 0 0 6 7 】

最上段に示すように、サージ電流印加によって、電源電圧 V D D 1 が規定電圧を超えて上昇し続ける。図 8 に示した例では、電源電圧 V D D 1 が上限電圧を超えないようにリミッタ（不図示）が設けられている。そのため、サージ電流印加後、しばらくの間、電源電圧 V D D 1 が上限電圧で一定となる。

10

2 段目に示したように、入力データ信号 D i n 1 は、L レベルのままである。

【 0 0 6 8 】

3 段目に示したように、電源電圧 V D D 1 の上昇に伴い、パルス生成回路 P G C から出力されるパルス信号 P 1 0 に誤パルスが発生し得る。図 8 の例では、2 回の誤パルスが発生している。電源電圧 V D D 1 の起動時と同様に、パルス生成回路 P G C における遅延回路 D C 1、D C 2 の出力信号や内部ノードの信号レベルが不定状態になり得ることが、誤パルス発生の原因である。なお、図 8 に示した誤パルスは、あくまでも一例であり、1 回の誤パルスにより故障が発生することもあり得る。

【 0 0 6 9 】

この結果、5 段目に示した出力パルス信号 P 2 に誤パルスが発生する。一方、4 段目に示した出力パルス信号 P 1 には誤パルスは発生しない。すなわち、出力パルス信号 P 1、P 2 の間に電位差が生じ、一次コイル L 1 1 に大電流が流れる。この結果、出力ドライバ O D 1、O D 2 の破壊や一次コイル L 1 1 の断線などの故障が発生し得る。

20

【 0 0 7 0 】

< 送信回路 T X 1 における故障抑制のメカニズム >

次に、図 9 を参照し、図 3 に示した本実施の形態に係る送信回路 T X 1 において、H B M 試験時の故障を抑制するメカニズムについて説明する。図 9 は、送信回路 T X 1 において、H B M 試験時の故障を抑制するメカニズムについて説明するためのタイミングチャートである。

【 0 0 7 1 】

30

図 9 の上から順に、電源電圧 V D D 1、入力データ信号 D i n 1、パルス信号 P 1 0、停止信号 S T P、出力パルス信号 P 1 1、P 1 2 が、示されている。最上段に示した電源電圧 V D D 1、2 段目に示した入力データ信号 D i n 1、3 段目に示したパルス信号 P 1 0 は、図 8 と同一である。

【 0 0 7 2 】

図 3 に示したように、本実施の形態に係る送信回路 T X 1 は、電源電圧 V D D 1 の起動から所定の期間、出力パルス信号 P 1 1、P 1 2 の出力を停止する出力停止回路 1 0 を備えている。出力停止回路 1 0 から出力される停止信号 S T P は、出力ドライバ O D 1、O D 2 の A N D ゲート A N 1、A N 2 に入力されている。そのため、停止信号 S T P が L レベルの期間、出力パルス信号 P 1 1、P 1 2 はいずれも H レベルに維持される。換言すると、停止信号 S T P が L レベルの期間、出力パルス信号 P 1 1、P 1 2 の出力が停止される。

40

【 0 0 7 3 】

図 9 の 4 段目に示したように、停止信号 S T P は、電源電圧 V D D 1 の起動時と同様に、H B M 試験による電源電圧 V D D 1 の上昇開始から所定の期間、L レベルとなる。

従って、5 段目に示したように、出力パルス信号 P 1 1、P 1 2 は同一波形となり、いずれにも誤パルスは発生しない。すなわち、出力パルス信号 P 1 1、P 1 2 は同電位となり、一次コイル L 1 1 には電流が流れない。この結果、出力ドライバ O D 1、O D 2 の破壊や一次コイル L 1 1 の断線などの故障を抑制することができる。

【 0 0 7 4 】

50

以上説明したように、第1の実施の形態に係る送信回路TX1は、電源電圧VDD1の起動から所定の期間、出力パルス信号P11及び出力パルス信号P12の出力を停止する出力停止回路10を備えている。そのため、電源電圧VDD1の起動に伴う誤パルスの出力を抑制することができる。静電破壊試験時の電源電圧VDD1の上昇は、電源電圧VDD1の起動と同様の物理現象である。従って、第1の実施の形態に係る送信回路TX1では、静電破壊試験時にも出力停止回路10が作動し、電源電圧VDD1の上昇に伴う誤パルスに起因する故障を抑制することができる。

#### 【0075】

<出力停止回路10の具体的な回路構成>

次に、図10を参照して、第1の実施の形態に係る出力停止回路10の具体的な回路構成について説明する。以下に示す回路構成はあくまでも一例である。図10は、第1の実施の形態に係る出力停止回路10の具体的な回路構成の一例を示す回路図である。図10に示すように、出力停止回路10は、抵抗素子R1、容量素子C1、インバータIN21を備えている。

10

#### 【0076】

インバータIN21の入力N1が、容量素子C1を介して電源に接続されている。また、インバータIN21の入力N1は、抵抗素子R1を介して接地（グラウンドに接続）されている。すなわち、インバータIN21の入力N1は、容量素子C1と抵抗素子R1との接続ノードである。そして、インバータIN21から停止信号STPが出力される。

#### 【0077】

なお、容量素子C1を接地し、抵抗素子R1を電源に接続することによっても、停止信号STPを生成することができる。この場合、インバータIN21の出力にもう1個インバータを追加すればよい。

20

#### 【0078】

<出力停止回路10の動作>

次に、図11を参照し、第1の実施の形態に係る出力停止回路10の電源電圧起動時の動作を説明する。図11は、第1の実施の形態に係る出力停止回路10の電源電圧起動時の動作を説明するためのタイミングチャートである。図11の上から順に、電源電圧VDD1、インバータIN21の入力N1の電圧、停止信号STPが、示されている。

#### 【0079】

最上段に示すように、起動に伴い、電源電圧VDD1が接地電圧GNDから規定電圧VDDまで上昇すると、2段目に示すように、容量素子C1を介して電源に接続されたインバータIN21の入力N1の電圧も規定電圧VDDまで追従して上昇する。従って、3段目に示すように、電源電圧VDD1の起動時に、インバータIN21の出力である停止信号STPは、Lレベルとなる。

30

#### 【0080】

2段目に示すように、インバータIN21の入力N1の電圧は、抵抗素子R1を介した放電により、徐々に低下する。インバータIN21の入力N1の電圧が、インバータIN21の論理閾値電圧Vthに達すると、インバータIN21の出力がLレベルからHレベルへ遷移する。これに伴い、3段目に示すように、停止信号STPは、LレベルからHレベルへ遷移する。停止信号STPがLレベルの期間、出力パルス信号P11、P12の出力は停止される。

40

停止期間は、抵抗素子R1と容量素子C1との時定数により決定される。

#### 【0081】

<送信回路TX1の変形例>

図12、図13は、第1の実施の形態に係る送信回路TX1の変形例を示す回路図である。

図3に示した送信回路TX1では、出力ドライバOD1、OD2を構成するANDゲートAN1、AN2に停止信号STPが入力されている。

これに対し、図12に示した送信回路TX1では、出力ドライバOD1、OD2を構成

50

するインバータIN1、IN2の前段にANDゲートAN21、AN22を設け、停止信号STPを入力している。

また、図13に示した送信回路TX1では、ライズエッジ検出回路RED1、RED2を構成するANDゲートAN11、AN12に停止信号STPを入力している。

【0082】

図12、図13に示した回路構成であっても、図3の回路構成と同様に、電源電圧VDD1の起動から所定の期間、出力パルス信号P11及び出力パルス信号P12の出力を停止することができる。

なお、図13に示した回路構成では、パルス生成回路PGCから出力されるパルス信号P10における誤パルスの発生自体が抑制される。

【0083】

<パルス生成回路PGCの変形例>

図14は、第1の実施の形態に係るパルス生成回路PGCの変形例を示す回路図である。図14に示したパルス生成回路PGCでは、遅延回路DC1、DC2の出力が、それぞれ容量素子C11、C21を介して電源に接続されている。また、インバータIN11、IN12の出力が、それぞれ容量素子C12、C22を介して接地されている。

【0084】

起動時に入力データ信号Din1がLレベルの場合、ANDゲートAN11の出力はLレベルとなる。

この場合、ANDゲートAN12の一方の入力は、反転データ信号DBであるためHレベルとなる。しかしながら、遅延回路DC2の出力が容量素子C21を介して電源に接続され、インバータIN12の出力が容量素子C22を介して接地されている。そのため、ANDゲートAN12の他方の入力であるインバータIN12の出力は安定してLレベルとなる。従って、ANDゲートAN12の出力もLレベルとなる。

【0085】

起動時に入力データ信号Din1がHレベルの場合、ANDゲートAN11の一方の入力はHレベルとなる。しかしながら、遅延回路DC1の出力が容量素子C11を介して電源に接続され、インバータIN11の出力が容量素子C12を介して接地されている。そのため、ANDゲートAN11の他方の入力であるインバータIN11の出力は安定してLレベルとなる。従って、ANDゲートAN11の出力はLレベルとなる。

この場合、ANDゲートAN12の一方の入力は反転データ信号DBであるためLレベルとなり、ANDゲートAN12の出力もLレベルとなる。

【0086】

このように、図14に示したパルス生成回路PGCでは、パルス信号P10における誤パルスの発生自体を抑制することができる。従って、このようなパルス生成回路PGCを出力停止回路10とともに用いることにより、静電破壊試験時に発生する誤パルスに起因する故障をより効果的に抑制することができる。

なお、遅延回路DC1、DC2が複数のインバータから構成されている場合、容量素子を介して各インバータの出力を交互に電源もしくはグランドに接続することが好ましい。

【0087】

(第2の実施の形態)

<出力停止回路20の構成>

次に、図15を参照して、第2の実施の形態に係る送信回路TX1について説明する。図15は、第2の実施の形態に係る出力停止回路20の具体的な回路構成の一例を示す回路図である。図15に示すように、出力停止回路20は、NMOSTランジスタNM1、PMOSTランジスタPM1、容量素子C1、C2、インバータIN21を備えている。出力停止回路20以外の送信回路TX1の構成は、第1の実施の形態に係る送信回路TX1と同様である。

【0088】

出力停止回路20では、図10に示した出力停止回路10における抵抗素子R1に代え

10

20

30

40

50

てNMOSトランジスタNM1のオフ抵抗を用いている。ソースが接地されたNMOSトランジスタNM1のドレインは容量素子C1を介して電源に接続されている。このNMOSトランジスタNM1のドレインが、インバータIN21の入力N1に接続されている。

【0089】

一方、ソースが電源に接続されたPMOSトランジスタPM1のドレインは容量素子C2を介して接地されている。すなわち、PMOSトランジスタPM1と容量素子C2との接続関係は、NMOSトランジスタNM1と容量素子C1との接続関係の極性を反転させたものである。NMOSトランジスタNM1のゲートN2が、PMOSトランジスタPM1のドレインに接続されている。また、PMOSトランジスタPM1のゲートが、NMOSトランジスタNM1のドレイン(すなわちインバータIN21の入力N1)に接続されている。

10

そして、インバータIN21から停止信号STPが出力される。

【0090】

<出力停止回路20の動作>

次に、図16を参照し、第2の実施の形態に係る出力停止回路20の電源電圧起動時の動作を説明する。図16は、第2の実施の形態に係る出力停止回路20の電源電圧起動時の動作を説明するためのタイミングチャートである。図16の上から順に、電源電圧VDD1、インバータIN21の入力(すなわちPMOSトランジスタPM1のゲート)N1及びNMOSトランジスタNM1のゲートN2の電圧、停止信号STPが、示されている。

20

【0091】

最上段に示すように、電源電圧VDD1の起動に伴い、電源電圧VDD1が接地電圧GNDから規定電圧VDDまで上昇すると、2段目に実線で示すように、容量素子C1を介して電源に接続されたインバータIN21の入力N1の電圧も規定電圧VDDまで追従して上昇する。従って、3段目に示すように、電源電圧VDD1の起動時に、インバータIN21の出力である停止信号STPは、Lレベルとなる。

【0092】

電源電圧VDD1の起動時、インバータIN21の入力(すなわちPMOSトランジスタPM1のゲート)N1の電圧はHレベルであるため、PMOSトランジスタPM1はオフ状態である。また、NMOSトランジスタNM1のゲートN2の電圧はLレベルであるため、NMOSトランジスタNM1もオフ状態である。

30

【0093】

2段目に実線で示すように、インバータIN21の入力N1の電圧は、NMOSトランジスタNM1のオフリーク電流により、徐々に低下する。一方、2段目に一点鎖線で示すように、NMOSトランジスタNM1のゲートN2の電圧は、PMOSトランジスタPM1のオフリーク電流により、徐々に上昇する。

【0094】

インバータIN21の入力(すなわちPMOSトランジスタPM1のゲート)N1もしくはNMOSトランジスタNM1のゲートN2の電圧が閾値電圧に達すると、NMOSトランジスタNM1及びPMOSトランジスタPM1がオン状態となる。そして、インバータIN21の入力N1の電圧はLレベルに、NMOSトランジスタNM1のゲートN2の電圧はHレベルにラッチされる。

40

これに伴い、3段目に示すように、停止信号STPは、LレベルからHレベルへ遷移する。停止信号STPがLレベルの期間、出力パルス信号P11、P12の出力は停止される。

【0095】

第2の実施の形態に係る送信回路TX1は、第1の実施の形態に係る送信回路TX1と同様に、電源電圧VDD1の起動から所定の期間、出力パルス信号P11及び出力パルス信号P12の出力を停止する出力停止回路20を備えている。そのため、電源電圧VDD1の起動に伴う誤パルスの出力を抑制することができる。静電破壊試験時の電源電圧VDD

50

D1の上昇は、電源電圧VDD1の起動と同様の物理現象である。従って、静電破壊試験時にも出力停止回路20が作動し、電源電圧VDD1の上昇に伴う誤パルスに起因する故障を抑制することができる。

【0096】

ところで、第1の実施の形態に係る出力停止回路10では、停止期間が抵抗素子R1と容量素子C1との時定数により決定される。そのため、数 $\mu$ sの停止期間を確保するには、大きいサイズの抵抗素子R1及び容量素子C1が必要となり、チップ面積が増大してしまう。

【0097】

これに対し、第2の実施の形態に係る出力停止回路20では、抵抗素子R1に代えてNMOSTランジスタNM1のオフ抵抗を用いている。そのため、小さいNMOSTランジスタNM1で抵抗値を大きくすることができ、容量素子C1のサイズも小さくすることができる。PMOSTランジスタPM1、容量素子C2についても同様に、サイズを小さくすることができる。従って、第1の実施の形態に係る出力停止回路10に比べ、素子数は増加するものの、全体としてチップ面積を削減することができる。

10

【0098】

さらに、第2の実施の形態に係る出力停止回路20では、出力停止解除後、NMOSTランジスタNM1及びPMOSTランジスタPM1のオン抵抗により、停止信号STPをHレベルに保持することができる。従って、通常動作時におけるノイズ耐性が向上する。

【0099】

20

(第3の実施の形態)

<出力停止回路30の構成>

次に、図17を参照して、第3の実施の形態に係る送信回路TX1について説明する。図17は、第3の実施の形態に係る出力停止回路30の具体的な回路構成の一例を示す回路図である。図17に示すように、出力停止回路30は、NANDゲートND、容量素子C1、C2、インバータIN21、IN22、カウンタCTR1を備えている。出力停止回路30以外の送信回路TX1の構成は、第1の実施の形態に係る送信回路TX1と同様である。

【0100】

インバータIN22の入力N2が、容量素子C2を介して接地されている。インバータIN22の出力が、容量素子C1を介して電源に接続されている。このインバータIN22の出力が、インバータIN21の入力N1に接続されている。

30

【0101】

また、インバータIN22の出力(すなわちインバータIN21の入力N1)は、NANDゲートNDに入力されている。NANDゲートNDの出力は、インバータIN22の入力N2に接続されている。すなわち、インバータIN22とNANDゲートNDとにより、ラッチ回路が構成されている。

換言すると、ラッチ回路の記憶ノードN1が容量素子C1を介して電源に接続され、記憶ノードN2が容量素子C2を介して接地されている。ラッチ回路の記憶ノードN1、N2には、互いに反転された電圧が保持される。

40

NANDゲートNDには、カウンタCTR1から出力される定期要求信号RT12の反転信号が入力される。

そして、インバータIN21から停止信号STPが出力される。

【0102】

なお、定期要求信号RT12は、例えば電源電圧VDD1の起動後、定期的に出力されるHアクティブのパルス信号である。しかし、カウンタCTR1から出力される信号は、電源電圧VDD1の起動から所定時間経過後に、1回のみ出力されるHアクティブのパルス信号や、LレベルからHレベルへ遷移してHレベルを維持するイネーブル信号でもよい。また、このイネーブル信号の論理は、停止信号STPと同じであるが、例えば温度変化などによって意図せずにLレベルに変化することもあり得る。詳細には後述するように、

50

このような場合にも、停止信号 S T P の値は、ラッチ回路により安定して H レベルに保持される。

【 0 1 0 3 】

< 出力停止回路 3 0 の動作 >

次に、図 1 8 を参照し、第 3 の実施の形態に係る出力停止回路 3 0 の電源電圧起動時の動作を説明する。図 1 8 は、第 3 の実施の形態に係る出力停止回路 3 0 の電源電圧起動時の動作を説明するためのタイミングチャートである。図 1 8 の上から順に、電源電圧 V D D 1、記憶ノード N 1、N 2 の電圧、定期要求信号 R T 1 2、停止信号 S T P が、示されている。

【 0 1 0 4 】

最上段に示すように、起動に伴い、電源電圧 V D D 1 が接地電圧 G N D から規定電圧 V D D まで上昇すると、2 段目に実線で示すように、容量素子 C 1 を介して電源に接続された記憶ノード N 1 の電圧も規定電圧 V D D まで追従して上昇する。従って、3 段目に示すように、電源電圧 V D D 1 の起動時に、インバータ I N 2 1 の出力である停止信号 S T P は、L レベルとなる。

【 0 1 0 5 】

電源電圧 V D D 1 の起動後、2 段目に実線で示すように、インバータ I N 2 2 と N A N D ゲート N D とから構成されるラッチ回路の記憶ノード N 1 の電圧は、H レベルに保持される。一方、2 段目に一点鎖線で示すように、ラッチ回路の記憶ノード N 2 の電圧は、L レベルに保持される。

【 0 1 0 6 】

3 段目に示すように、電源電圧 V D D 1 の起動から所定時間経過後、定期要求信号 R T 1 2 が一時的に H レベルになると、記憶ノード N 2 の電圧が H レベルに遷移する。そのため、記憶ノード N 1 の電圧は L レベルに遷移する。そして、インバータ I N 2 2 と N A N D ゲート N D とにより、記憶ノード N 1 の電圧は L レベルに、記憶ノード N 2 の電圧は H レベルにラッチされる。この状態は、定期要求信号 R T 1 2 の信号レベルによらず維持される。

【 0 1 0 7 】

これに伴い、4 段目に示すように、停止信号 S T P は、L レベルから H レベルへ遷移する。停止信号 S T P が L レベルの期間、出力パルス信号 P 1 1、P 1 2 の出力は停止されている。停止信号 S T P が H レベルに切り換わると、出力パルス信号 P 1 1、P 1 2 の出力の停止が解除される。

このように、インバータ I N 2 2 と N A N D ゲート N D とから構成されるラッチ回路は、電源電圧の起動を検知し、停止信号 S T P を L レベルに維持する。そして、ラッチ回路は、タイマであるカウンタ C T R 1 から出力された定期要求信号 R T 1 2 に応じて、停止信号 S T P を H レベルに切り換える。

【 0 1 0 8 】

第 3 の実施の形態に係る送信回路 T X 1 は、第 1 の実施の形態に係る送信回路 T X 1 と同様に、電源電圧 V D D 1 の起動から所定の期間、出力パルス信号 P 1 1 及び出力パルス信号 P 1 2 の出力を停止する出力停止回路 3 0 を備えている。そのため、電源電圧 V D D 1 の起動に伴う誤パルスの出力を抑制することができる。静電破壊試験時の電源電圧 V D D 1 の上昇は、電源電圧 V D D 1 の起動と同様の物理現象である。従って、静電破壊試験時にも出力停止回路 3 0 が作動し、電源電圧 V D D 1 の上昇に伴う誤パルスに起因する故障を抑制することができる。

【 0 1 0 9 】

第 3 の実施の形態に係る出力停止回路 3 0 では、タイマであるカウンタ C T R 1 により停止期間を決定しているため、停止期間の変動を低減することができる。また、容量素子 C 1、C 2 が停止期間に寄与しないため、サイズを小さくすることができる。例えば、容量素子 C 1、C 2 としてトランジスタのゲート容量を用いることにより、さらにサイズを小さくすることができる。さらに、タイマは、新設せずに、既存のものを用いることがで

10

20

30

40

50

きる。従って、全体としてチップ面積を削減することができる。

【0110】

また、出力停止解除後、インバータIN22とNANDゲートNDとにより停止信号STPがHレベルにラッチされるため、通常動作時におけるノイズ耐性に優れている。

【0111】

<半導体装置システム2の構成>

次に、図19を参照して、第3の実施の形態に係る送信回路TX1を用いた半導体装置システム2について説明する。図19は、第3の実施の形態に係る半導体装置システム2の構成を示すブロック図である。第3の実施の形態に係る半導体装置システム2は、2つの送信回路TX1、TX2、一次コイルL11、L21、二次コイルL12、L22、2つの受信回路RX1、RX2、2つの発振回路OSC1、OSC2、2つのカウンタCTR1、CTR2、2つのタイマTM1、TM2、2つの低電ロックアウト(UVLO: Under Voltage Lock Out)回路UVLO1、UVLO2、2つANDゲートA1、A2、6つのORゲートO1~O6を備えている。

10

【0112】

ここで、送信回路TX1、TX2は、第1の実施の形態において図3を参照して説明した送信回路TX1と同様の構成を有している。ここで、送信回路TX1、TX2は、図17に示した第3の実施の形態に係る出力停止回路30を備えている。また、受信回路RX1、RX2は、第1の実施の形態において図5を参照して説明した受信回路RX1と同様の構成を有している。第3の実施の形態に係る半導体装置システム2は、パワートランジスタの制御システムに適用されたマイクロアイソレータの例である。

20

【0113】

まず、主要な構成及び信号の流れについて説明する。

マイコンMCUから出力された制御信号CNT1が、入力データ信号Din1として、送信回路TX1に入力される。また、送信回路TX1には、UVLO回路UVLO1から出力される不定期要求信号RT11、カウンタCTR1から出力される定期要求信号RT12も入力される。

【0114】

送信回路TX1から出力された出力パルス信号P11、P12は、一次コイルL11、二次コイルL12を介して受信回路RX1に送信される。受信回路RX1は、受信した信号からデータ信号を復元し、出力データ信号Dout1を出力する。この出力データ信号Dout1が制御信号CNT2として、パワートランジスタドライバPTDに入力される。

30

つまり、マイコンMCUから出力された制御信号CNT1が、送信回路TX1及び受信回路RX1を介して、制御信号CNT2としてパワートランジスタドライバPTDに入力される。

【0115】

他方、エラー検出回路EDCから出力されたエラー検出信号ED1が、入力データ信号Din2として、送信回路TX2に入力される。また、送信回路TX2には、UVLO回路UVLO2から出力される不定期要求信号RT21、カウンタCTR2から出力される定期要求信号RT22も入力される。

40

【0116】

送信回路TX2から出力された出力パルス信号P21、P22は、一次コイルL21、二次コイルL22を介して受信回路RX2に送信される。受信回路RX2は、受信した信号からデータ信号を復元し、出力データ信号Dout2を出力する。この出力データ信号Dout2がエラー検出信号ED2として、マイコンMCUに入力される。

つまり、エラー検出回路EDCから出力されたエラー検出信号ED1が、送信回路TX2及び受信回路RX2を介して、エラー検出信号ED2としてマイコンMCUに入力される。

【0117】

50

## &lt;半導体装置システム2の詳細&gt;

以下に詳細な構成及び信号の流れについて説明する。

マイコンMCUから出力された制御信号CNT1が、ANDゲートA1を介して、入力データ信号Din1として送信回路TX1に入力される。ここで、ANDゲートA1には、UVLO回路UVLO1から出力される不定期要求信号RT11の反転信号も入力される。

## 【0118】

不定期要求信号RT11は、正常時にはLレベルであり、電源電圧が低下した異常時には、Hレベルとなる。つまり、不定期要求信号RT11がLレベルである正常時は、マイコンMCUから出力された制御信号CNT1が、入力データ信号Din1として、送信回路TX1に入力される。一方、不定期要求信号RT11がHレベルの異常時には、ANDゲートA1により、マイコンMCUから出力された制御信号CNT1の送信回路TX1への入力が遮断されるようになっている。

10

## 【0119】

また、不定期要求信号RT11は、送信回路TX1にも入力される。不定期要求信号RT11がLレベルからHレベルあるいはHレベルからLレベルへ遷移するタイミングで、入力データ信号Din1(制御信号CNT1)の値が送信回路TX1から受信回路RX1へ再送される。つまり、電源電圧が低下した場合だけでなく、パワーオン後に電源電圧が上昇し正常値へ移行するタイミングでも、送信側のデータ信号の値と受信側のデータ信号の値を同期させる。

20

## 【0120】

カウンタCTR1から出力された定期要求信号RT12が、送信回路TX1に入力される。定期要求信号RT12は、発振回路OSC1から出力されたクロック信号の例えば10回に1回の割合でHレベルとなる信号である。例えば、発振回路OSC1から10MHzのクロック信号が出力された場合、カウンタCTR1において、1μs周期(1MHz)の定期要求信号RT12が生成される。定期要求信号RT12により、データ値に変化がなくても10カウントに1回の割合でデータ値が再送される。そのため、ノイズなどにより受信回路RX1において復元したデータ値が反転した場合でも、速やかに正しい値に復帰させることができる。

30

## 【0121】

また、上述の通り、カウンタCTR1から出力された定期要求信号RT12が、図17に示した第3の実施の形態に係る出力停止回路30のNANDゲートNDに入力される。

## 【0122】

カウンタCTR1は、パルス信号P10又はUVLO回路UVLO1から出力される不定期要求信号RT11によりリセットされる。つまり、パルス信号P10と不定期要求信号RT11とを入力とするORゲートO1から出力されるリセット信号RST1によりリセットされる。

## 【0123】

送信回路TX1は、入力データ信号Din1に基づいて、出力パルス信号P11、P12を出力する。出力パルス信号P11、P12は、一次コイルL11、L12を介して受信回路RX1に入力される。受信回路RX1はデータ信号を復元して、出力データ信号Dout1として出力する。なお、詳細は第1の実施の形態において説明した通りである。

40

## 【0124】

出力データ信号Dout1は、ANDゲートA2を介してパワートランジスタドライバPTDに入力される。ここで、ANDゲートA2には、UVLO回路UVLO2から出力される不定期要求信号RT21の反転信号が入力される。また、タイマTM1から出力されるタイムアウト信号TO1の反転信号が入力される。

## 【0125】

不定期要求信号RT21は、正常時にはLレベルであり、電源電圧が低下した場合、Hレベルとなる。また、タイムアウト信号TO1も正常時にはLレベルであり、所定のカウ

50

ント（例えば40カウント）まで、パルス検出信号PD1が検出されないと、Hレベルとなる。つまり、不定期要求信号RT21及びタイムアウト信号TO1がLレベルである正常時は、出力データ信号Dout1がパワートランジスタドライバPTDに入力される。他方、不定期要求信号RT21又はタイムアウト信号TO1がHレベルへ切り換わると、ANDゲートA2により、出力データ信号Dout1のパワートランジスタドライバPTDへの入力が遮断される。また、タイムアウト信号TO1は、受信回路RX1をリセットする。なお、正常に動作していれば、定期要求信号RT12により、10カウントに1回は送信回路TX1からデータ値が再送され、受信回路RX1からパルス検出信号PD1が出力される。そのため、タイマTM1が40カウントに達することはない。一方、送信回路TX1が停止した場合などには、タイムアウト信号TO1が出力される。定期要求信号RT12により、送信回路TX1の動作異常を検出することができる。

10

**【0126】**

ここで、タイマTM1は、発振回路OSC2が出力するクロック信号をカウントする。また、タイマTM1は、受信回路RX1から出力されるパルス検出信号PD1又はUVLO回路UVLO2から出力される不定期要求信号RT21によりリセットされる。つまり、パルス検出信号PD1と不定期要求信号RT21とを入力とするORゲートO2から出力されるリセット信号RST2によりリセットされる。

**【0127】**

他方、エラー検出回路EDCから出力されたエラー検出信号ED1が、ORゲートO5を介して、入力データ信号Din2として送信回路TX2に入力される。エラー検出信号ED1は、正常時にはLレベルであり、何らかのエラーが検出された異常時にはHレベルとなる。ここで、ORゲートO5には、UVLO回路UVLO2から出力される不定期要求信号RT21も入力される。不定期要求信号RT21は、正常時にはLレベルであり、電源電圧が低下した異常時、Hレベルとなる。つまり、不定期要求信号RT21は、エラー信号としても、エラー検出信号ED1と共に送信回路TX2に入力される。

20

**【0128】**

また、不定期要求信号RT21は、送信回路TX2にも入力される。不定期要求信号RT21がLレベルからHレベルあるいはHレベルからLレベルへ遷移するタイミングで、入力データ信号Din2の値が送信回路TX2から受信回路RX2へ再送される。つまり、電源電圧が低下した場合だけでなく、パワーオン後に電源電圧が上昇し正常値へ移行するタイミングでも、送信側のデータ信号の値と受信側のデータ信号の値を同期させる。

30

**【0129】**

さらに、カウンタCTR2から出力された定期要求信号RT22が、送信回路TX2に入力される。定期要求信号RT22は、発振回路OSC2から出力されたクロック信号の例えば10回に1回の割合でHレベルとなる信号である。定期要求信号RT22により、データ値に変化がなくても10カウントに1回の割合でデータ値が再送される。そのため、ノイズなどにより受信回路RX2において復元したデータ値が反転した場合でも、速やかに正しい値に復帰させることができる。

**【0130】**

また、カウンタCTR2は、パルス信号P20又はUVLO回路UVLO2から出力される不定期要求信号RT21によりリセットされる。つまり、パルス信号P20と不定期要求信号RT21とを入力とするORゲートO3から出力されるリセット信号RST3によりリセットされる。

40

**【0131】**

送信回路TX2は、入力データ信号Din2に基づいて、出力パルス信号P21、P22を出力する。出力パルス信号P21、P22は、一次コイルL21、L22を介して受信回路RX2に入力される。受信回路RX2はデータ信号を復元して、出力データ信号Dout2として出力する。

**【0132】**

出力データ信号Dout2は、ORゲートO6を介してマイコンMCUに入力される。

50

ここで、ORゲートO6には、UVLO回路UVLO1から出力される不定期要求信号RT11が入力される。また、タイマTM2から出力されるタイムアウト信号TO2が入力される。つまり、不定期要求信号RT11及びタイムアウト信号TO2は、出力データ信号Dout2と共に、エラー検出信号ED2として、マイコンMCUに入力される。

#### 【0133】

ここで、タイムアウト信号TO2は、正常時にはLレベルであり、所定のカウント（例えば40カウント）まで、パルス検出信号PD2が検出されないと、Hレベルとなる。また、タイムアウト信号TO2は、受信回路RX2をリセットする。なお、正常に動作していれば、定期要求信号RT22により、10カウントに1回は送信回路TX2からデータ値が再送され、受信回路RX2からパルス検出信号PD2が出力される。そのため、タイマTM2が40カウントに達することはない。一方、送信回路TX2が停止した場合などには、タイムアウト信号TO2が出力される。定期要求信号RT22により、送信回路TX2の動作異常を検出することができる。

10

#### 【0134】

ここで、タイマTM2は、発振回路OSC1が出力するクロック信号をカウントする。また、タイマTM2は、受信回路RX2から出力されるパルス検出信号PD2又はUVLO回路UVLO1から出力される不定期要求信号RT11によりリセットされる。つまり、パルス検出信号PD2と不定期要求信号RT11とを入力とするORゲートO4から出力されるリセット信号RST4によりリセットされる。

20

#### 【0135】

<半導体装置システム2の適用例>

半導体装置システム2の制御対象は、例えば、絶縁ゲートバイポーラトランジスタ（IGBT：Insulated Gate Bipolar Transistor）に代表されるパワートランジスタである。この場合、半導体装置システム2は、受信回路RX1によって再生されたデータDout1に応じてパワートランジスタのオンオフを制御することにより、電源と負荷との間の導通状態を制御する。

#### 【0136】

具体的には、第3の実施の形態に係る半導体装置システム2は、例えば、図20に示すような、3相モータ（負荷）を駆動するインバータ装置に適用される。図20は、半導体装置システム2が適用されるインバータ装置を示す図である。図20に示すインバータ装置は、ハイサイド及びローサイドにそれぞれu相、v相、w相に対応する3つずつ（合計6つ）のパワートランジスタドライバPTD及びエラー検出回路EDCを有している。

30

#### 【0137】

マイコンMCUから出力された制御信号（例えばUH、UL）が、送信回路TX1、コイル、受信回路RX1を介して、パワートランジスタドライバPTDに伝達され、制御対象であるIGBTのオンオフが制御される。一方、エラー検出回路EDCが検出したエラー信号が、送信回路TX2、コイル、受信回路RX2を介して、マイコンMCUに伝達される。

#### 【0138】

ここで、図21は、半導体装置システム2が適用されるインバータ装置の動作を示すタイミングチャートである。図21のグラフに示すように、マイコンMCUから出力された制御信号（例えばUH、UL）は、PWM制御信号であり、モータに流れる電流（例えばIU）がアナログ的に制御される。ここで、制御信号（例えばUH、UL）が、入力データ信号Din1に相当する。

40

#### 【0139】

（その他の実施の形態）

半導体装置の実装例は、図2に示した実装例に限られるものではない。以下、代表して、半導体装置の他の実装例について、図22、図23を用いて説明する。図22は、絶縁結合素子としてコンデンサが用いた場合の半導体装置の実装例である。図23は、絶縁結合素子としてGMRS素子を用いた場合の半導体装置の実装例である。

50

## 【 0 1 4 0 】

図 2 2 は、図 2 に示す実装例において絶縁結合素子として用いられるコイルを、コンデンサに置き換えたものである。より具体的には、一次コイル L 1 1 をコンデンサの一方の電極 P L 1 に置き換え、二次コイル L 1 2 をコンデンサの他方の電極 P L 2 に置き換えたものである。

## 【 0 1 4 1 】

図 2 3 は、図 2 に示す実装例において絶縁結合素子として用いられるコイルを、GMR (Giant Magneto Resistive) 素子に置き換えたものである。より具体的には、一次コイル L 1 1 をそのままにして、二次コイル L 1 2 を GMR 素子 R 1 2 に置き換えたものである。この実装例でも、半導体チップ C H P 1 には、送信回路 T X 1 の出力に接続されるパッドが形成され、半導体チップ C H P 2 には、一次コイル L 1 1 の両端にそれぞれ接続されるパッドが形成される。そして、送信回路 T X 1 は、これらパッドとボンディングワイヤ B W とを介して、半導体チップ C H P 2 に形成された一次コイル L 1 1 と接続される。

10

## 【 0 1 4 2 】

上記したように、絶縁結合素子の種類、絶縁結合素子の配置に関しては特に制限はない。なお、上記説明では、絶縁結合素子を半導体チップ上に形成するとしたが、絶縁結合素子は、外付け部品として設けることも可能である。

## 【 0 1 4 3 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は既に述べた実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々の変更が可能であることはいうまでもない。

20

例えば、上記の実施の形態に係る半導体装置では、半導体基板、半導体層、拡散層 (拡散領域) などの導電型 (p 型もしくは n 型) を反転させた構成としてもよい。そのため、n 型、及び p 型の一方の導電型を第 1 の導電型とし、他方の導電型を第 2 の導電型とした場合、第 1 の導電型を p 型、第 2 の導電型を n 型とすることもできるし、反対に第 1 の導電型を n 型、第 2 の導電型を p 型とすることもできる。

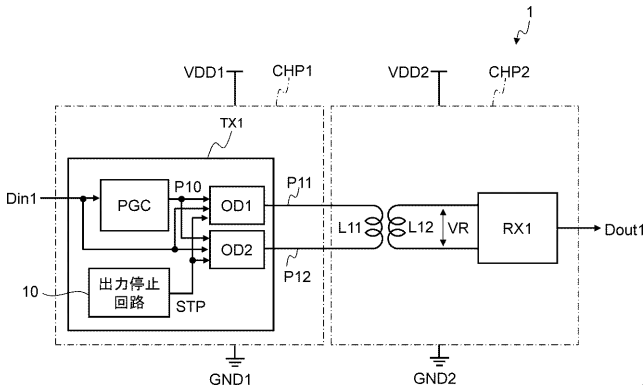
## 【 符号の説明 】

## 【 0 1 4 4 】

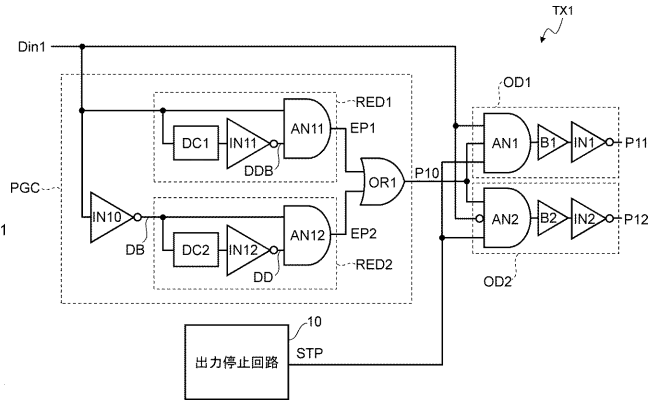
1 半導体装置  
 2 半導体装置システム 30  
 10、20、30 出力停止回路  
 A 1、A 2、A N 1、A N 2、A N 1 1、A N 1 2、A N 2 1、A N 2 2 A N D ゲート  
 B 1、B 2 バッファ回路  
 B W ボンディングワイヤ  
 C 1、C 2、C 1 1、C 1 2、C 2 1、C 2 2 容量素子  
 C H P 1、C H P 2 半導体チップ  
 C T R 1、C T R 2 カウンタ  
 D C 1、D C 2 遅延回路  
 E D C エラー検出回路  
 I N 1、I N 2、I N 1 0、I N 1 1、I N 1 2、I N 2 1、I N 2 2 インバータ 40  
 L 1 1、L 2 1 一次コイル  
 L 1 2 L 2 2 二次コイル  
 M C U マイコン  
 N D N A N D ゲート  
 N M 1 N M O S トランジスタ  
 O 1 - O 6、O R 1、O R 2 O R ゲート  
 O D 1、O D 2 出力ドライバ  
 O S C 1、O S C 2 発振回路  
 P d パッド  
 P D C パルス検出回路 50

- P G C パルス生成回路
- P K G 半導体パッケージ
- P L 1、P L 2 電極
- P M 1 P M O S トランジスタ
- P T D パワートランジスタドライバ
- P W C 1、P W C 2 パルス拡幅回路
- R 1 抵抗素子
- R 1 2 G M R 素子
- R E D 1、R E D 2 ライズエッジ検出回路
- R X 1、R X 2 受信回路
- S L C 順序回路
- T リード端子
- T M 1、T M 2 タイマ
- T X 1、T X 2 送信回路
- U V L O 1、U V L O 2 U V L O 回路

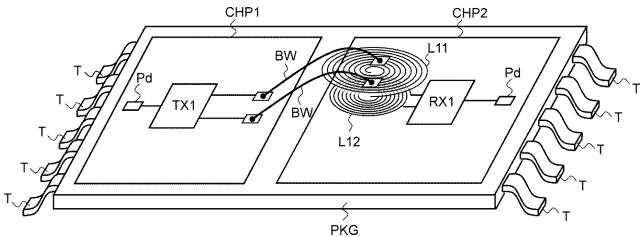
【 図 1 】



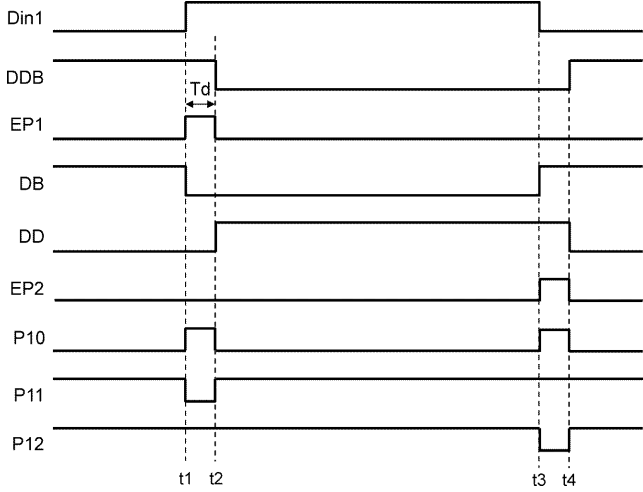
【 図 3 】



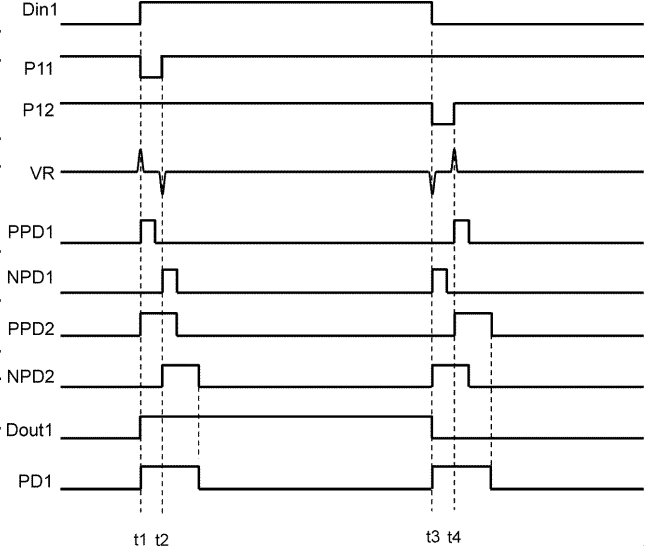
【 図 2 】



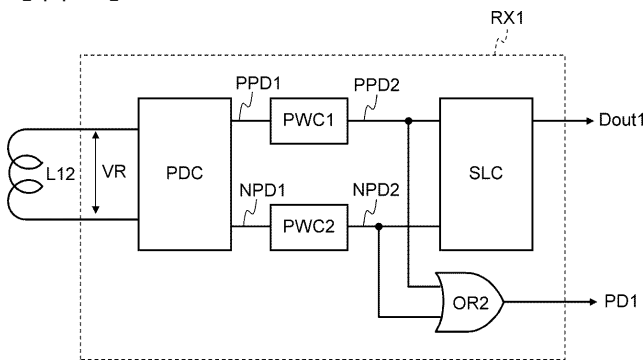
【 図 4 】



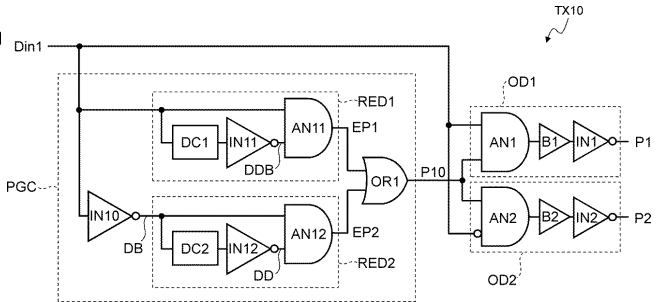
【 図 6 】



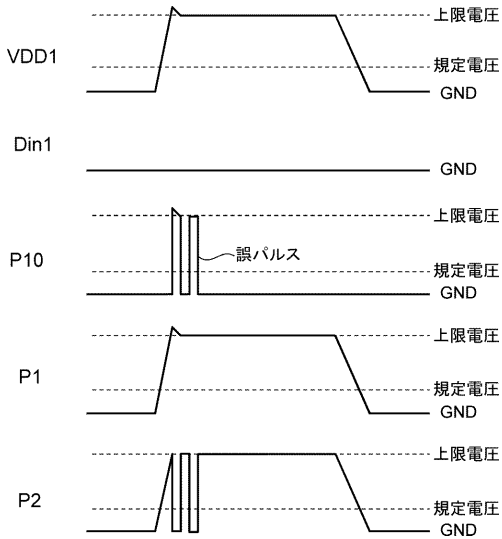
【 図 5 】



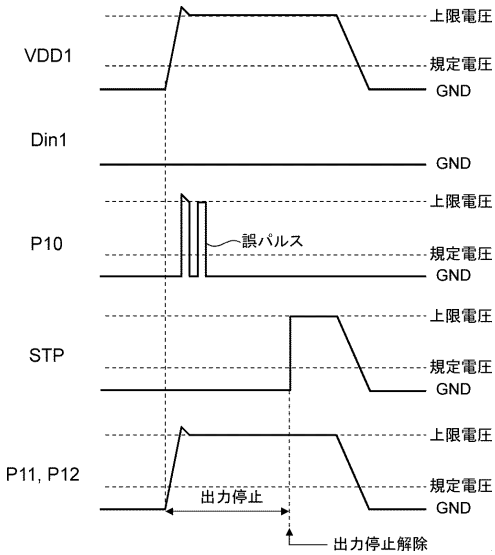
【 図 7 】



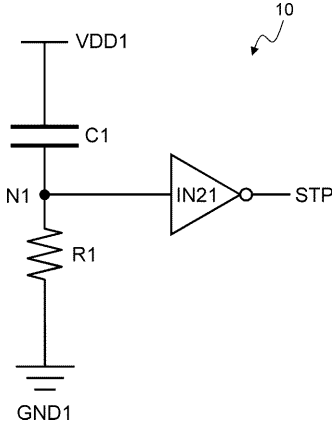
【 図 8 】



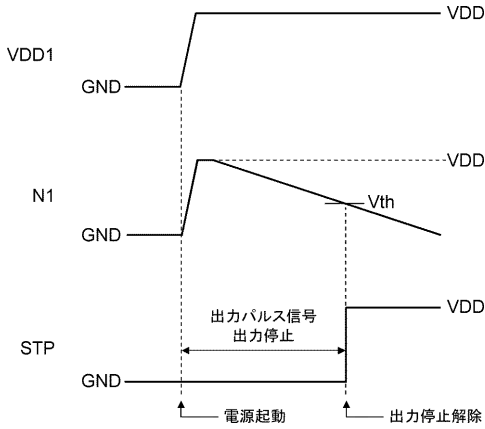
【 図 9 】



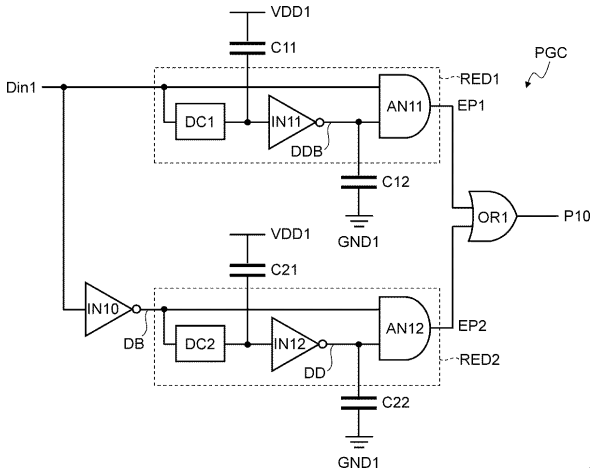
【図10】



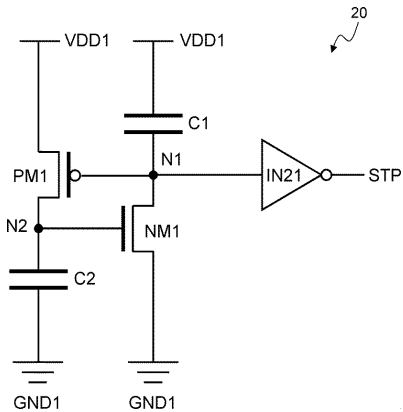
【図11】



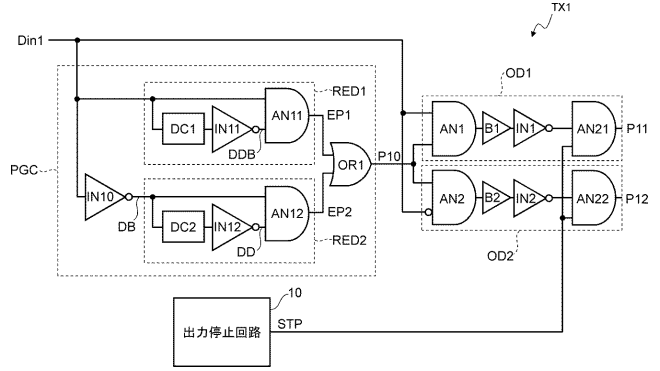
【図14】



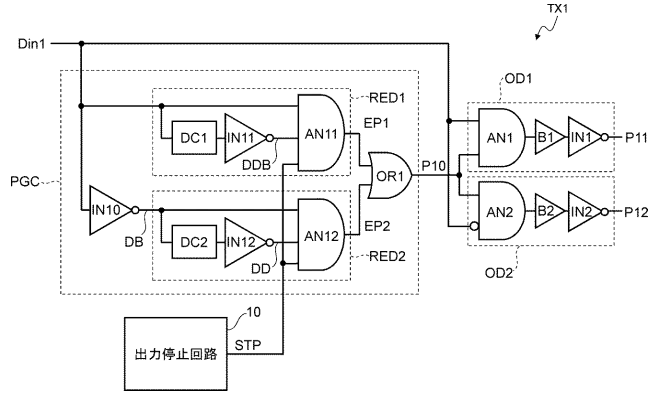
【図15】



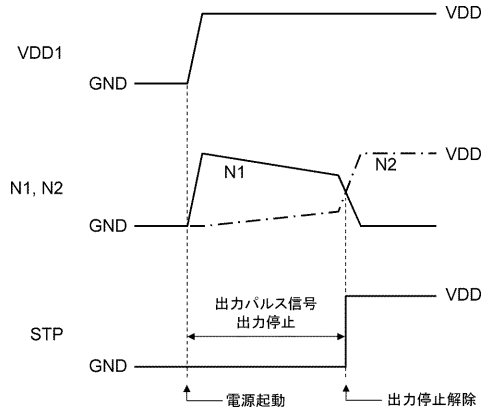
【図12】



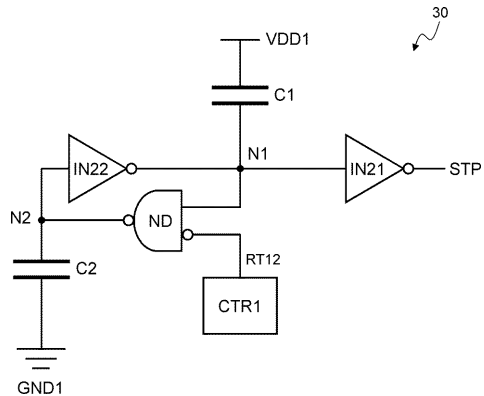
【図13】



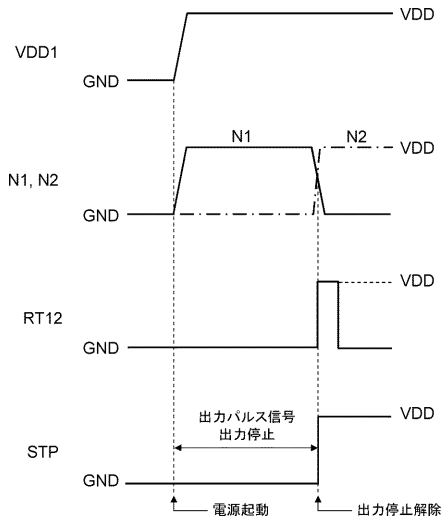
【図16】



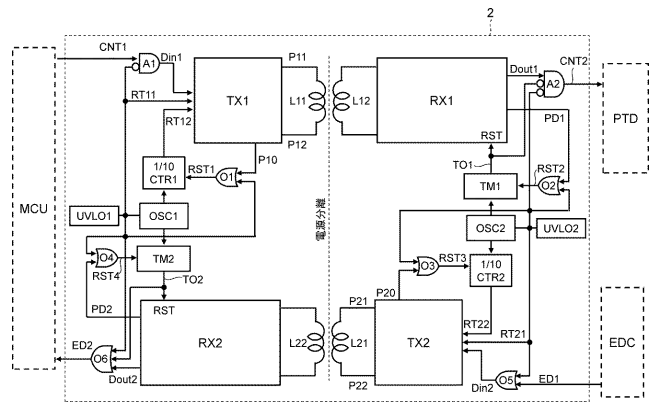
【図17】



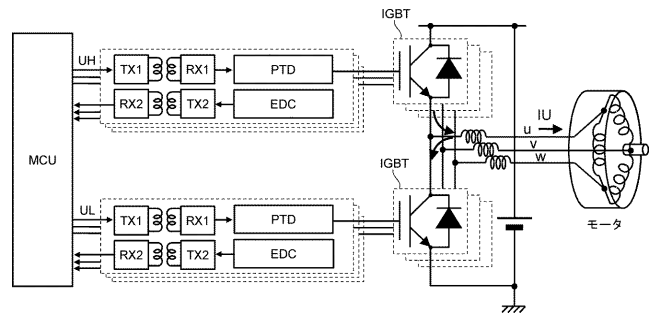
【図 18】



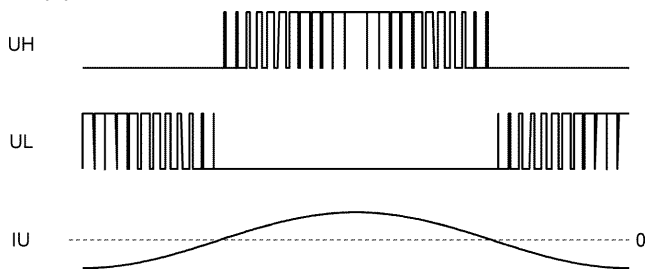
【図 19】



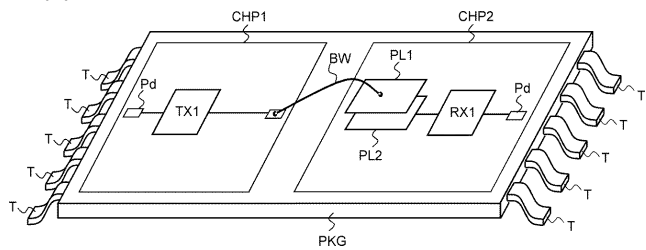
【図 20】



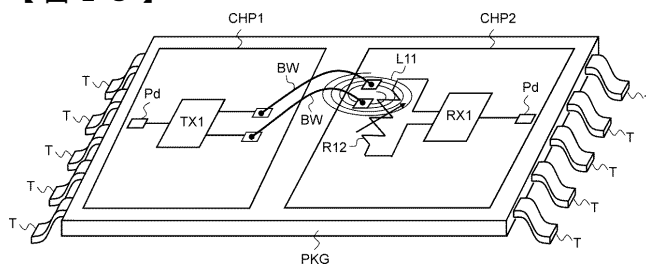
【図 21】



【図 22】



【図 23】



---

フロントページの続き

Fターム(参考) 5J055 AX21 AX37 BX16 BX41 CX14 DX01 EY07 EY10 EY21 EZ25  
GX01 GX02  
5K029 AA06 BB03 CC01 DD04 JJ03 KK13 KK15