

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 6 部門第 4 区分  
 【発行日】平成 21 年 3 月 19 日 (2009.3.19)

【公表番号】特表 2008-535139 (P2008-535139A)  
 【公表日】平成 20 年 8 月 28 日 (2008.8.28)  
 【年通号数】公開・登録公報 2008-034  
 【出願番号】特願 2008-504243 (P2008-504243)  
 【国際特許分類】

G 1 1 C 16/02 (2006.01)

【 F I 】

G 1 1 C 17/00 6 0 1 D  
 G 1 1 C 17/00 6 0 1 T  
 G 1 1 C 17/00 6 1 1 A  
 G 1 1 C 17/00 6 1 1 G  
 G 1 1 C 17/00 6 1 3

【手続補正書】

【提出日】平成 21 年 1 月 30 日 (2009.1.30)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

メモリセルのアレイ ( 3 0 0 ) と、前記アレイの一群のメモリセルについて並列に動作する一連の読み出し / 書き込み回路 ( 3 7 0 , 3 7 0 A , 3 7 0 B ) とを含み、各読み出し / 書き込み回路 ( 3 7 0 , 3 7 0 A , 3 7 0 B ) が、前記一群のメモリセルの対応するメモリセルの入力および / または出力データをラッチするデータラッチ ( 4 3 0 , 4 3 0 - 1 . . . 4 3 0 - k ) のセットを有する不揮発性メモリ装置を動作する方法であって、

第 1 群のメモリセルの第 1 の N ビットデータセットを、対応するデータラッチ ( 4 3 0 , 4 3 0 - 1 . . . 4 3 0 - k ) のセットの各々内の N 個のデータラッチに記憶し、

前記第 1 のデータセットを前記第 1 群のメモリセルに書き込み、前記書き込みが交互に生じるプログラミング段階およびベリファイ段階を含むことを特徴とする不揮発性メモリ装置を動作する方法において、

各メモリセルは、少なくとも N ビットのデータを記憶するものであって、N が 1 よりも大きいものであり、

1 つ以上のベリファイレベルであるが全部には満たないベリファイレベルを過ぎて前記一群のメモリセルがプログラムされた後、前記対応するデータラッチ ( 4 3 0 , 4 3 0 - 1 . . . 4 3 0 - k ) のセットの各々内の前記 N 個のデータラッチの 1 つ以上は、前記書き込みを完了する前に自由にされ、

前記書き込みを完了する前に、第 2 のデータセットを前記自由にされたデータラッチに伝送する方法。

【請求項 2】

請求項 1 記載の方法において、

前記第 2 のデータセットは前記アレイの第 2 群のメモリセルに対するものであり、このとき、前記一連の読み出し / 書き込み回路 ( 3 7 0 , 3 7 0 A , 3 7 0 B ) を動作することができ、前記第 2 群のメモリセルは前記第 1 群のメモリセルとは異なる方法。

【請求項 3】

請求項 1 記載の方法において、

前記伝送は、前記第 2 群のメモリセルから前記第 2 のデータセットを前記自由にされたラッチに読み出すことを含み、前記書き込みのパルス間で実行される方法。

【請求項 4】

請求項 1 記載の方法において、

前記伝送は、前記自由にされたラッチから前記第 2 のデータセットを伝送することを含み、前記書き込みを完了する前に開始される方法。