

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成21年3月19日(2009.3.19)

【公表番号】特表2008-535139(P2008-535139A)

【公表日】平成20年8月28日(2008.8.28)

【年通号数】公開・登録公報2008-034

【出願番号】特願2008-504243(P2008-504243)

【国際特許分類】

G 11 C 16/02 (2006.01)

【F I】

G 11 C	17/00	6 0 1 D
G 11 C	17/00	6 0 1 T
G 11 C	17/00	6 1 1 A
G 11 C	17/00	6 1 1 G
G 11 C	17/00	6 1 3

【手続補正書】

【提出日】平成21年1月30日(2009.1.30)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

メモリセルのアレイ(300)と、前記アレイの一群のメモリセルについて並列に動作する一連の読み出し/書き込み回路(370, 370A, 370B)とを含み、各読み出し/書き込み回路(370, 370A, 370B)が、前記一群のメモリセルの対応するメモリセルの入力および/または出力データをラッチするデータラッチ(430, 430-1...430-k)のセットを有する不揮発性メモリ装置を動作する方法であって、第1群のメモリセルの第1のNビットデータセットを、対応するデータラッチ(430, 430-1...430-k)のセットの各々内のN個のデータラッチに記憶し、

前記第1のデータセットを前記第1群のメモリセルに書き込み、前記書き込みが交互に生じるプログラミング段階およびベリファイ段階を含むことを特徴とする不揮発性メモリ装置を動作する方法において、

各メモリセルは、少なくともNビットのデータを記憶するものであって、Nが1よりも大きいものであり、

1つ以上のベリファイレベルであるが全部には満たないベリファイレベルを過ぎて前記一群のメモリセルがプログラムされた後、前記対応するデータラッチ(430, 430-1...430-k)のセットの各々内の前記N個のデータラッチの1つ以上は、前記書き込みを完了する前に自由にされ、

前記書き込みを完了する前に、第2のデータセットを前記自由にされたデータラッチに伝送する方法。

【請求項2】

請求項1記載の方法において、

前記第2のデータセットは前記アレイの第2群のメモリセルに対するものであり、このとき、前記一連の読み出し/書き込み回路(370, 370A, 370B)を動作することができ、前記第2群のメモリセルは前記第1群のメモリセルとは異なる方法。

【請求項3】

請求項 1 記載の方法において、

前記伝送は、前記第2群のメモリセルから前記第2のデータセットを前記自由にされたラッチに読み出すことを含み、前記書き込みのパルス間で実行される方法。

【請求項 4】

請求項 1 記載の方法において、

前記伝送は、前記自由にされたラッチから前記第2のデータセットを伝送することを含み、前記書き込みを完了する前に開始される方法。