

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4215860号  
(P4215860)

(45) 発行日 平成21年1月28日(2009.1.28)

(24) 登録日 平成20年11月14日(2008.11.14)

(51) Int.Cl. F I  
**H03K 3/78 (2006.01)** H03K 3/78  
**GO1R 31/3183 (2006.01)** GO1R 31/28 Q

請求項の数 10 (全 21 頁)

(21) 出願番号	特願平10-155685	(73) 特許権者	503121103
(22) 出願日	平成10年6月4日(1998.6.4)		株式会社ルネサステクノロジ
(65) 公開番号	特開平11-352198		東京都千代田区大手町二丁目6番2号
(43) 公開日	平成11年12月24日(1999.12.24)	(74) 代理人	100082175
審査請求日	平成17年2月15日(2005.2.15)		弁理士 高田 守
審判番号	不服2006-25885(P2006-25885/J1)	(74) 代理人	100106150
審判請求日	平成18年11月16日(2006.11.16)		弁理士 高橋 英樹
		(72) 発明者	杉本 勝
			東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
		合議体	
		審判長	江塚 政弘
		審判官	森口 正治
		審判官	飯野 茂

最終頁に続く

(54) 【発明の名称】 タイミングパルス発生回路および半導体試験装置

(57) 【特許請求の範囲】

【請求項1】

ユーザの設定に応じた時期にタイミングパルスを発生する複数のタイミング発生手段と

、  
前記複数のタイミング発生手段からタイミングパルスが寄せられる毎にピン出力を変化させる波形形成手段と、

全てのタイミング発生手段を、同一の周期内で、タイミングパルスを発生できるアクティブ状態とするインターリーブオフ状態と、一部のタイミング発生手段を、同一の周期内で、タイミングパルスを発生できるアクティブ状態とし、かつ、残るタイミング発生手段を、前記同一の周期に続く周期内で、タイミングパルスを発生できるアクティブ状態とするインターリーブオン状態と、を実現するインターリーブ手段と、

を備えることを特徴とするタイミングパルス発生回路。

【請求項2】

前記インターリーブ手段は、前記インターリーブオン状態が実現されている間は、前記一部のタイミング発生手段がタイミングパルスを発生する状態と、前記残るタイミング発生手段がタイミングパルスを発生する状態とを周期毎に交互に生じさせることを特徴とする請求項1記載のタイミングパルス発生回路。

【請求項3】

前記タイミング発生手段は、

ユーザの設定値を読み込んで、その設定値と計数値とが一致した時点で粗パルスを発生

するカウンタと、

ユーザの設定値を読み込んで、前記粗パルスに基づいて正確なタイミングパルスを生成するバーニアと、

を備えることを特徴とする請求項 2 記載のタイミングパルス発生回路。

【請求項 4】

前記インターリーブ手段は、

インターリーブオフ信号およびインターリーブオン信号を発生するインターリーブ信号発生手段と、

前記インターリーブオフ信号が発せられている場合には、全てのタイミング発生手段をアクティブ状態とし、かつ、前記インターリーブオン信号が発せられている場合には、周期毎に反転するチェンジ信号が第 1 レベルである状況下では前記一部のタイミング発生手段のみをアクティブ状態とし、前記チェンジ信号が第 2 レベルである状況下では前記残りのタイミング発生手段のみをアクティブ状態とする論理回路と、

を備えることを特徴とする請求項 1 乃至 3 の何れか 1 項記載のタイミングパルス発生回路。

【請求項 5】

前記論理回路は、前記インターリーブオフ信号が発せられている場合には、全てのタイミングパルス発生手段のイネーブル端子に対して、常にアクティブ信号を供給し、前記インターリーブオン信号が発せられている場合には、前記一部のタイミングパルス発生手段のイネーブル端子に前記チェンジ信号およびその反転信号の一方を供給し、前記残るタイミングパルス発生手段のイネーブル端子に、前記チェンジ信号およびその反転信号の他方を供給することを特徴とする請求項 4 記載のタイミングパルス発生回路。

【請求項 6】

前記一部のタイミング発生手段が備える前記カウンタおよびバーニアの一方は、周期毎に交互にタイミングパルスを生成するための処理を実行する第 1 バンクおよび第 2 バンクを備え、

前記インターリーブ手段は、前記インターリーブオン状態が実現されている間は、前記一部のタイミング発生手段に、内蔵するカウンタおよびバーニアにより前記タイミングパルスを生成させ、一方、前記残るタイミング発生手段には、前記一部のタイミング発生手段に内蔵される第 1 および第 2 バンクの一方と、前記残るタイミング発生手段に内蔵されるカウンタおよびバーニアの一方とを用いて前記タイミングパルスを生成させることを特徴とする請求項 3 記載のタイミングパルス発生回路。

【請求項 7】

前記第 1 バンクおよび前記第 2 バンクは、周期毎に粗パルスを発生する第 1 カウンタバンクおよび第 2 カウンタバンクであることを特徴とする請求項 6 記載のタイミングパルス発生回路。

【請求項 8】

前記インターリーブ手段は、

インターリーブオフ信号およびインターリーブオン信号を発生するインターリーブ信号発生手段と、

前記インターリーブオフ信号が発せられている場合には、前記一部のタイミング発生手段が備える第 1 および第 2 カウンタバンクの出力を、そのタイミング発生手段が備えるバーニアに供給し、かつ、前記残るタイミング発生手段が備えるカウンタの出力を、そのタイミング発生手段が備えるバーニアに供給するインターリーブオフ状態を実現し、更に、前記インターリーブオン信号が発せられている場合には、前記一部のタイミング発生手段が備える第 1 カウンタバンクの出力を、そのタイミング発生手段が備えるバーニアに供給し、かつ、前記第 2 カウンタバンクの出力を、前記残るタイミング発生手段が備えるバーニアに供給するインターリーブオン状態を実現する選択手段と、

を備えることを特徴とする請求項 7 記載のタイミングパルス発生回路。

【請求項 9】

前記複数のタイミング発生手段は、前記タイミングパルスが発生する周期毎に、前記ユーザの設定を読み込むことを特徴とする請求項 1 乃至 8 の何れか 1 項記載のタイミングパルス発生回路。

【請求項 10】

請求項 1 乃至 9 の何れか 1 項記載のタイミングパルス発生回路と、  
複数種類の半導体装置に関する試験に必要な処理を実行する試験処理実行手段と、  
を備えることを特徴とする半導体試験装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、タイミングパルス発生回路および半導体試験装置に係り、特に、LSIを対象とする種々の試験を実行する上で好適なタイミングパルス発生回路、および、そのタイミングパルス発生回路を用いた半導体試験装置に関する。

【0002】

【従来の技術】

従来より、LSIを被測定デバイスとして種々の試験を実行する半導体試験装置が知られている。図 15は、従来の半導体試験装置が備えるタイミングパルス発生回路の回路図を示す。

従来のタイミングパルス発生回路は、基準信号発生部 3 を備えている。基準信号発生部 3 は、半導体試験装置の内部基準信号を発生する部分である。半導体試験装置においては、基準信号に基づいて、処理サイクルの実行周期が定められる。

【0003】

基準信号発生部 3 には、複数のタイミング発生部 (TG)、より具体的には、第 1 乃至第 n の TG、すなわち、n 個の TG が接続されている。第 1 乃至第 n の TG は、それぞれ、第 1 乃至第 n カウンタ 1、および、第 1 乃至第 n バーナ 2 を備えている。第 1 乃至第 n カウンタ 1 には、基準信号発生部 3 で生成された基準信号が供給されている。一方、第 1 乃至第 n バーナ 2 には、所定の遅延処理が施された基準信号 (以下、遅延基準信号と称す) と、第 1 乃至第 n カウンタ 1 の出力信号とが供給されている。

【0004】

第 1 乃至第 n カウンタ 1 は、基準信号に基づいて計数値をインクリメントすると共に、1 周期毎にその計数値をリセットする。また、第 1 乃至第 n カウンタ 1 は、それぞれ、1 周期毎にユーザの設定を読み込んで、計数値がその設定に応じた値となった時点でタイミングパルスが発生することができる。第 1 乃至第 n カウンタ 1 によれば、上記の処理を実行することにより、それぞれ、ユーザの設定に応じた粗いタイミングパルスを生成することができる。

【0005】

第 1 乃至第 n バーナ 2 は、それぞれ、第 1 乃至第 n カウンタ 1 の出力パルスと、遅延基準信号との OR 論理をとり、その結果得られた信号を基に所望のタイミングパルスが発生する。第 1 乃至第 n バーナ 2 は、それぞれ、1 周期毎にユーザの設定を読み込み、正確にその設定に一致するエッジが得られるように、タイミングパルスが発生することができる。第 1 乃至第 n バーナ 2 によれば、上記の処理を実行することにより、それぞれ、ユーザの設定に正確に対応するタイミングパルスが発生することができる。

【0006】

第 1 乃至第 n バーナの出力、すなわち、第 1 乃至第 n の TG の出力は、波形形成回路 4 に供給される。波形形成回路 4 は、1 つの出力ピンに対応して設けられている。波形形成回路 4 は、第 1 乃至第 n TG の何れかからタイミングパルスが供給される毎に、ピン出力を反転させる回路である。図 15 に示すタイミングパルス発生回路において、波形供給回路 4 には、1 周期のうちに第 1 乃至第 n の TG から n 個のタイミングパルスを供給することができる。このため、図 15 に示すタイミングパルス発生回路によれば、1 周期のうちに n 個のタイミングパルスを発生させることができる。

10

20

30

40

50

## 【 0 0 0 7 】

波形形成回路 4 から出力されるタイミングパルスは、被測定デバイスの 1 ピンに対して、または、半導体試験装置に内蔵される判定回路に供給される。上記のタイミングパルスは、被測定デバイスの 1 ピンに供給される場合は、例えば、アドレス信号、または、クロック信号として用いられる。一方、上記のタイミングパルスは、判定回路に供給される場合には、被測定デバイスの出力を判定するタイミングを決める信号として用いられる。

## 【 0 0 0 8 】

半導体試験装置には、実行すべき試験の内容に応じて、タイミングパルスの発生時期をリアルタイムに変化させることが要求される場合がある。図 1 5 に示す半導体試験装置によれば、第 1 乃至第 n カウンタ 1 および第 1 乃至第 n バーニア 2 に対する指令、すなわち、ユーザによる設定を変化させることにより、タイミングパルスの発生時期をリアルタイムに変化させることができる。

10

## 【 0 0 0 9 】

ところで、従来の半導体試験装置において、第 1 乃至第 n カウンタ 1、および、第 1 乃至第 n バーニア 2 は、1 周期毎にユーザの設定を読み込み、その設定に応じた時期にタイミングパルスを発生する。このため、第 1 乃至第 n の T G は、1 周期が開始された後、タイミングデータの設定等が終了する間は、タイミングパルスを発生できない状態となる。

## 【 0 0 1 0 】

図 1 6 は、上記の状態の生ずる期間（以下、タイミングデッドゾーンと称す）と、半導体試験装置における処理サイクルの周期との関係を示す。従来の半導体試験装置において、図 1 6 中に斜線で表す期間は、第 1 乃至第 n の T G の全てにおけるタイミングデッドゾーンである。

20

## 【 0 0 1 1 】

半導体試験装置に対して高速でタイミングパルスを発生することが要求される場合は、同一の T G に対して、周期 N の終了間際と周期 N+1 の開始直後にタイミングパルスの発生が要求される事態が生じ得る。すなわち、図 1 6 中に実線で示すタイミングパルスの後に、波線で示すタイミングパルスの発生が要求される事態が生じ得る。

## 【 0 0 1 2 】

しかし、上述したタイミングでのパルスの発生と共に、パルスの発生タイミングをリアルタイムに変化させることが要求されている場合には、後者のパルス、すなわち、波線で示すパルスを発生させるべき時期がタイミングデッドゾーン内となる。このため、図 1 5 に示す従来の半導体試験装置によっては、このような状況下で所望のタイミングパルスを発生させることができない。

30

## 【 0 0 1 3 】

図 1 7 は、タイミングデッドゾーンの問題を解決するために従来用いられているタイミングパルス発生回路の回路図を示す。図 1 7 に示すタイミングパルス発生回路は、第 1 乃至第 m+1 の T G を備えている（m は奇数）。第 1 乃至第 m+1 の T G は、それぞれ、第 1 乃至第 m+1 カウンタ 1 と、第 1 乃至第 m+1 バーニア 2 とを備えている。

## 【 0 0 1 4 】

第 1 乃至第 m+1 の T G には、それぞれ、イネーブル回路 5 が設けられている。イネーブル回路 5 は、T G に対する入力を選択的に有効または無効とする回路である。図 1 7 に示すタイミングパルス発生回路において、基準信号発生部 3 は、処理サイクルの 1 周期毎に反転するチェンジ信号を出力する。

40

## 【 0 0 1 5 】

第 1 乃至第 m+1 の T G のうち、偶数番目の T G が備えるイネーブル回路 5 には、そのチェンジ信号が直接供給されている。一方、第 1 乃至第 m+1 の T G のうち、奇数番目の T G が備えるイネーブル回路 5 には、インバータ回路を介してそのチェンジ信号が供給されている。上記の構造によれば、半導体試験装置の処理サイクル毎に、偶数番目の T G 群と、奇数番目の T G 群とが交互に有効とされる。

## 【 0 0 1 6 】

50

また、第1乃至第 $m+1$ のTGには、隣接する2つのTG毎に1つのインターリーブ回路6が設けられている。インターリーブ回路6は、2つのTGの何れか一方の出力を、周期毎に有効とする回路である。上記の構造によれば、処理サイクルの周期毎に、インターリーブ回路6から、偶数番目のTGで生成されるタイミングパルスと、奇数番目のTGで生成されるタイミングパルスとを交互に出力させることができる。

【0017】

すなわち、図17に示すタイミングパルス発生回路においては、偶数番目のTGがタイミングパルスを発生する周期中に、次の周期において奇数番目のTGがタイミングパルスを発生するための処理を終了させることができる。同様に、奇数番目のTGがタイミングパルスを発生する周期中には、次の周期において偶数番目のTGがタイミングパルスを発生するための処理を終了させることができる。このため、図17に示すタイミングパルス発生回路によれば、各周期の開始直後にタイミングデッドゾーンが生ずるのを確実に防止することができる。

10

【0018】

【発明が解決しようとする課題】

しかし、図17に示すタイミングパルス発生回路の構成によれば、1周期中に発生させ得る最大のタイミングパルス数に対して2倍のTGが必要となる。すなわち、上記図15に示す構成によれば、1周期中に $n$ 個のタイミングパルスを発生させる機能を、 $n$ 個のTGにより実現することができるのに対して、図17に示す構成によれば、 $m+1$ 個のTGを用いて、1周期中に $m+1/2$ 個のタイミングパルスしか発生させることができない。このため、図17に示す従来のタイミングパルス発生回路は、実装部品の増大に伴う消費電力の増大および基板サイズの増大、装置の大型化、および、コストの上昇等の不都合を生じ易いものであった。

20

【0019】

本発明は、上記のような課題を解決するためになされたもので、1ピン毎に1つの波形形成回路と複数のTGとを備え、全てのTGが1周期内にタイミングパルスを発生し得る状態と、一部のTGを他のTGにインターリーブさせることによりタイミングデッドゾーンの発生を防止する状態とを共に実現するタイミングパルス発生回路を提供することを第1の目的とする。

【0020】

また、本発明は、上述したタイミングパルス発生回路を用いて半導体装置の試験を行う半導体試験装置を提供することを第2の目的とする。

30

【0021】

【課題を解決するための手段】

本発明の請求項1に係るタイミングパルス発生回路は、ユーザの設定に応じた時期にタイミングパルスを発生する複数のタイミング発生手段と、

前記複数のタイミング発生手段からタイミングパルスが発せられる毎にピン出力を変化させる波形形成手段と、

全てのタイミング発生手段を、同一の周期内で、タイミングパルスを発生できるアクティブ状態とするインターリーブオフ状態と、一部のタイミング発生手段を、同一の周期内で、タイミングパルスを発生できるアクティブ状態とし、かつ、残るタイミング発生手段を、前記同一の周期に続く周期内で、タイミングパルスを発生できるアクティブ状態とするインターリーブオン状態と、を実現するインターリーブ手段と、

40

を備えることを特徴とするものである。

【0022】

本発明の請求項2に係るタイミングパルス発生回路は、前記インターリーブ手段が、前記インターリーブオン状態が実現されている間は、前記一部のタイミング発生手段がタイミングパルスを発生する状態と、前記残るタイミング発生手段がタイミングパルスを発生する状態とを周期毎に交互に生じさせることを特徴とするものである。

【0023】

50

本発明の請求項 3 に係るタイミングパルス発生回路は、前記タイミング発生手段が、ユーザの設定値を読み込んで、その設定値と計数値とが一致した時点で粗パルスを発生するカウンタと、ユーザの設定値を読み込んで、前記粗パルスに基づいて正確なタイミングパルスを生成するバーニアと、を備えることを特徴とするものである。

【 0 0 2 4 】

本発明の請求項 4 に係るタイミングパルス発生回路は、前記インターリーブ手段が、インターリーブオフ信号およびインターリーブオン信号を発生するインターリーブ信号発生手段と、前記インターリーブオフ信号が発せられている場合には、全てのタイミング発生手段をアクティブ状態とし、かつ、前記インターリーブオン信号が発せられている場合には、周期毎に反転するチェンジ信号が第 1 レベルである状況下では前記一部のタイミング発生手段のみをアクティブ状態とし、前記チェンジ信号が第 2 レベルである状況下では前記残りのタイミング発生手段のみをアクティブ状態とする論理回路と、を備えることを特徴とするものである。

【 0 0 2 5 】

本発明の請求項 5 に係るタイミングパルス発生回路は、前記論理回路が、前記インターリーブオフ信号が発せられている場合には、全てのタイミングパルス発生手段のイネーブル端子に対して、常にアクティブ信号を供給し、前記インターリーブオン信号が発せられている場合には、前記一部のタイミングパルス発生手段のイネーブル端子に前記チェンジ信号およびその反転信号の一方を供給し、前記残るタイミングパルス発生手段のイネーブル端子に、前記チェンジ信号およびその反転信号の他方を供給するものである。

【 0 0 2 6 】

本発明の請求項 6 に係るタイミングパルス発生回路は、前記一部のタイミング発生手段が備える前記カウンタおよびバーニアの一方が、周期毎に交互にタイミングパルスを生成するための処理を実行する第 1 バンクおよび第 2 バンクを備え、前記インターリーブ手段が、前記インターリーブオン状態が実現されている間は、前記一部のタイミング発生手段に、内蔵するカウンタおよびバーニアにより前記タイミングパルスを生成させ、一方、前記残るタイミング発生手段には、前記一部のタイミング発生手段に内蔵される第 1 および第 2 バンクの一方と、前記残るタイミング発生手段に内蔵されるカウンタおよびバーニアの一方とを用いて前記タイミングパルスを生成させることを特徴とするものである。

【 0 0 2 7 】

本発明の請求項 7 に係るタイミングパルス発生回路は、前記第 1 バンクおよび前記第 2 バンクが、周期毎に粗パルスを発生する第 1 カウンタバンクおよび第 2 カウンタバンクであることを特徴とするものである。

【 0 0 2 8 】

本発明の請求項 8 に係るタイミングパルス発生回路は、前記インターリーブ手段が、インターリーブオフ信号およびインターリーブオン信号を発生するインターリーブ信号発生手段と、前記インターリーブオフ信号が発せられている場合には、前記一部のタイミング発生手段が備える第 1 および第 2 カウンタバンクの出力を、そのタイミング発生手段が備えるバーニアに供給し、かつ、前記残るタイミング発生手段が備えるカウンタの出力を、そのタイミング発生手段が備えるバーニアに供給するインターリーブオフ状態を実現し、更に、前記インターリーブオン信号が発せられている場合には、前記一部のタイミング発生手段が備える第 1 カウンタバンクの出力を、そのタイミング発生手段が備えるバーニアに供給し、かつ、前記第 2 カウンタバンクの出力を、前記残るタイミング発生手段が備えるバーニアに供給するインターリーブオン状態を実現する選択手段と、

10

20

30

40

50

を備えることを特徴とするものである。

【0029】

本発明の請求項9に係るタイミングパルス発生回路は、前記複数のタイミング発生手段が、前記タイミングパルスを発生する周期毎に、前記ユーザの設定を読み込むことを特徴とする。

本発明の請求項10に係る半導体試験装置は、請求項1乃至9の何れか1項記載のタイミングパルス発生回路と、

複数種類の半導体装置に関する試験に必要な処理を実行する試験処理実行手段と、  
を備えることを特徴とするものである。

【0030】

【発明の実施の形態】

以下、図面を参照してこの発明の実施の形態について説明する。尚、各図において共通する要素には、同一の符号を付して重複する説明を省略する。

【0031】

実施の形態1.

図1は、本発明の実施の形態1のタイミングパルス発生回路の回路図を示す。本実施形態のタイミングパルス発生回路は、マイクロコンピュータ、同期式または非同期式メモリ等のLSIを被測定デバイスとして、所定の試験を実行する半導体試験装置の一部である。

【0032】

図1に示す如く、タイミングパルス発生回路は、基準信号発生部3を備えている。基準信号発生部3は、所定の周期で反転する基準信号、および、半導体試験装置が実行する試験において、処理サイクルの1周期とされる期間毎に反転するチェンジ信号を出力する。

【0033】

基準信号発生部3によって生成される基準信号は、第1乃至第nのタイミング発生回路、すなわち、第1乃至第nのTGに供給されている（nは偶数）。第1乃至第nのTGは、それぞれ、第1乃至第nカウンタ1および第1乃至第nバーニア2を備えている。また、第1乃至第nのTGには、それぞれイネーブル回路5が設けられている。イネーブル回路5は、“L”入力によりアクティブ状態、すなわち、TGに対する入力信号を有効とする状態を実現し、かつ、“H”入力により非アクティブ状態、すなわち、TGに対する入力信号を無効とする状態を実現する回路である。

【0034】

第1乃至第nカウンタ1は、対応するイネーブル回路5がアクティブ状態を実現している場合に、基準信号を受けて計数値をインクリメントすると共に、1周期毎にその計数値をリセットする。また、第1乃至第nカウンタ1は、それぞれ、半導体試験装置が実行する処理の1周期毎にユーザの設定を読み込むと共に、計数値がその設定に応じた値となった時点でタイミングパルスを発生する。第1乃至第nカウンタ1によれば、上記の処理を実行することにより、それぞれ、ユーザの設定に応じた粗いタイミングパルスを生成することができる。

【0035】

第1乃至第nバーニア2には、それぞれ、第1乃至第nカウンタ1の出力パルスが供給されていると共に、遅延回路を介して、基準信号発生部3から基準信号、すなわち、遅延基準信号が供給されている。第1乃至第nバーニア2は、第1乃至第nカウンタ1の出力パルスと遅延基準信号とのOR論理をとり、その結果得られた信号を基に所望のタイミングパルスを発生する。第1乃至第nバーニア2は、それぞれ、1周期毎にユーザの設定を読み込み、正確にその設定に一致するエッジが得られるように、タイミングパルスを発生する。第1乃至第nバーニア2によれば、上記の処理を実行することにより、それぞれ、ユーザの設定に正確に対応するタイミングパルスを発生することができる。

【0036】

本実施形態のタイミングパルス発生回路は、複数の機能部6を備えている。機能部6は、隣接する2つのTGに対して1つずつ設けられている。機能部6は、奇数番目のTGに

10

20

30

40

50

対応するイネーブル回路 5 に接続される 2 入力 NOR 回路 6 0 4、および、偶数番目の T G に対応するイネーブル回路 5 に接続される 2 入力 NOR 回路 6 0 5 を備えている。

【 0 0 3 7 】

NOR 回路 6 0 4 の一方の入力端子には、基準信号発生部 3 からチェンジ信号が供給されている。また、NOR 回路 6 0 5 の一方の入力端子には、インバータ回路 6 0 6 を介して、基準信号発生部 3 からチェンジ信号が供給されている。更に、これら 2 つの NOR 回路の他方の入力端子には、D フリップフロップ 6 0 3 の出力信号が供給されている。

【 0 0 3 8 】

D フリップフロップ 6 0 3 は、半導体試験装置の C P U から供給されるバス信号により、または、専用線を介して供給される高速信号により制御される。具体的には、D フリップフロップ 6 0 3 は、これらのバス信号または高速信号に応じて、“ H ” 出力または“ L ” 出力を発生する。

【 0 0 3 9 】

機能部 6 は、2 入力 AND 回路 6 0 1 を備えている。AND 回路 6 0 1 の一方の入力端子には、奇数番目の T G が備えるパーニア 2 の出力信号が供給されている。また、AND 回路 6 0 1 の他方の入力端子には、2 入力 OR 回路 6 0 7 の出力信号が供給されている。OR 回路 6 0 7 の入力端子には、偶数番目の T G が備えるパーニアの出力信号と、D フリップフロップ 6 0 3 の出力信号とが供給されている。

【 0 0 4 0 】

機能部 6 は、更に、2 入力 NAND 回路 6 0 2 を備えている。NAND 回路 6 0 2 の一方の入力端子には、インバータ回路 6 0 8 を介して偶数番目の T G が備えるパーニア 2 の出力信号が供給されている。また、NAND 回路 6 0 2 の他方の入力端子には、D フリップフロップ 6 0 3 の出力信号が供給されている。AND 回路 6 0 1 の出力信号、および、NAND 回路 6 0 2 の出力信号は、共に波形形成回路 4 に供給されている。

【 0 0 4 1 】

波形形成回路 4 は、1 つの出力ピンに対応して設けられている。波形形成回路 4 は、AND 回路 6 0 1 および NAND 回路 6 0 2 の何れかからタイミングパルスが供給される毎に、ピン出力を反転させる回路である。

【 0 0 4 2 】

波形形成回路 4 から出力されるタイミングパルスは、被測定デバイスの 1 ピンに対して、または、半導体試験装置に内蔵される判定回路に供給される。上記のタイミングパルスは、被測定デバイスの 1 ピンに供給される場合は、例えば、アドレス信号、または、クロック信号として用いられる。一方、上記のタイミングパルスは、判定回路に供給される場合には、被測定デバイスの出力を判定するタイミングを決める信号として用いられる。

【 0 0 4 3 】

次に、図 2 乃至図 6 を参照して、本実施形態のタイミングパルス発生回路の動作について説明する。

図 2 は、D フリップフロップ 6 0 3 が“ H ” 出力を発生する場合の状態を示す。D フリップフロップ 6 0 3 が“ H ” 出力を発生する場合、イネーブル回路 5 の入力が“ L ” 入力に固定される。従って、この場合は常に第 1 乃至第 n の T G がアクティブ状態となる。

【 0 0 4 4 】

また、D フリップフロップ 6 0 3 が“ H ” 出力を発生する場合、AND 回路 6 0 1 の一方の入力端子への入力が“ H ” 入力に固定されると共に、NAND 回路 6 0 2 の一方の入力端子への入力が“ H ” 入力に固定される。この場合、奇数番目の T G から発せられるタイミングパルスが AND 回路 6 0 1 を介して波形形成回路 4 に供給されると共に、偶数番目の T G から発せられるタイミングパルスが NAND 回路 6 0 2 を介して波形形成回路 4 に供給される。

【 0 0 4 5 】

つまり、D フリップフロップ 6 0 3 が、“ H ” 出力を発生する場合、第 1 乃至第 n の T G は、それぞれ、ユーザの設定に対応する適当な時期に波形形成回路 4 に向けてタイミング

10

20

30

40

50



パルスが発生する。この場合、第1乃至第nのTGは、半導体試験装置が実行する処理の1周期内に、最大n個のタイミングパルスを波形形成回路4に供給することができる。

【0046】

図3は、上記の状況下、すなわち、Dフリップフロップ603が“H”出力を発する状況下で実現されるタイミングチャートの1例を示す。

上記の状況下では、図3(C)および(D)に示す如く、第1および第2のTGは常にオン状態、すなわち、アクティブ状態に維持される。

【0047】

図3(E)および(F)は、第1および第2のTGの設定値、すなわち、それらのTGがタイミングパルスが発生すべき時期としてユーザに設定された時期を示す。第1および第2のTGが常にアクティブ状態である場合、それらのTGから発せられたタイミングパルスは、図3(G)および(H)に示す如く、所定の遅延の後にAND回路601およびNAND回路602から出力される。従って、この場合は、図3(I)に示す如く、同一周期内で個々のTGがタイミングパルスが発生する毎に出力を反転させるピン出力を得ることができる。

10

【0048】

次に、図4を参照して、本実施形態のタイミングパルス発生回路におけるタイミングデッドゾーンの影響について説明する。

図4は、Dフリップフロップ603の出力信号が“H”信号であり、かつ、図4(E)に示す如く、第1のTGが、周期1において、その終了間際にタイミングパルスが発生するように設定されている状況下で実現されるタイミングチャートを示す。

20

【0049】

上述の如く、第1のTGは、1周期毎にユーザの設定を読み込んでその設定に応じた時期にタイミングパルスが発生する。このため、タイミングパルスが発生した後、タイミングデータの処理等が完了するまでの所定期間中は、新たにタイミングパルスが発生することができない。上記の理由により、周期1における第1のTGのタイミングパルス発生時期が、図4(E)に示す如く周期1の終了間際に設定されている場合は、周期2が開始された後、所定期間は、タイミングデッドゾーンとなる。

【0050】

タイミングパルス発生回路に対して、高速でタイミングパルスが発生することが要求される場合には、第1のTGに対して、タイミングデッドゾーン内でタイミングパルスが発生することが要求される事態が生じ得る。この場合、Dフリップフロップ603の出力が“H”出力に固定されていると、図4(G)に示す如く、所望のタイミングパルスが生成できず、その結果、図4(I)に示す如く、所望のタイミングでピン出力を反転させ得ない事態が生ずる。

30

【0051】

図5は、本実施形態のタイミングパルス発生回路において、Dフリップフロップ603の出力を“L”出力に固定した状態を示す。Dフリップフロップ603の出力が“L”出力である場合、イネーブル回路5の入力は、基準信号発生部3によって生成されるチェンジ信号に依存する。従って、この場合、奇数番目のTG群と、偶数番目のTG群とは、1周期毎に交互にアクティブ状態となる。

40

【0052】

また、Dフリップフロップ603の出力が“L”出力である場合、AND回路601には、奇数番目のTGの出力信号とともに、前段のOR回路607を介して、偶数番目のTGの出力信号が供給される。従って、この場合、AND回路601は、1周期毎に、奇数番目のTGの出力と、偶数番目のTGの出力とを交互に波形形成回路4に供給する。一方、Dフリップフロップ603の出力信号が“L”出力に固定されている場合、NAND回路602の出力は“H”出力に固定される。従って、この場合、NAND回路602から波形形成回路4へはタイミングパルスが供給されない。

【0053】

50

図6は、上記の状況下で、すなわち、Dフリップフロップ603の出力が“L”出力に固定されている状況下で実現されるタイミングチャートを示す。

図6に示すタイミングチャートは、図6(E)および(F)に示す如く、第1のTGのタイミングパルス発生時期が周期1の終了間際に設定されており、第2のTGのタイミングパルス発生時期が周期2の終了間際に設定されている場合に実現される。

【0054】

Dフリップフロップ603の出力が“L”出力に固定されている場合、周期1では第1のTGからタイミングパルスが発せられる一方、第2のTGからはタイミングパルスが発せられない。このため、第2のTGは、図6(F)に示す如く、周期2が開始された直後に、適正にタイミングパルスを発生することができる。

10

【0055】

また、Dフリップフロップ603の出力が“L”出力に固定されている場合、第1のTGから発せられるタイミングパルス、および、第2のTGから発せられるタイミングパルスは、図6(G)に示す如く、共にAND回路601から出力される。その結果、タイミングデッドゾーンの無いタイミングで、2つのタイミングパルスが生成される。従って、上記の状況下では、図6(I)に示す如く、タイミングデッドゾーンの影響を受けることなく、所望のピン先波形を形成することができる。

【0056】

上述の如く、本実施形態のタイミングパルス発生回路によれば、同一ピンに対応する複数のTGを全て使用して1周期内にタイミングパルスを発生させる必要がある場合は、インターリーブ機能をオフして、全てのTGが、同一の周期内で、個別に設定された適当な時期にタイミングパルスを発生する状態を実現することができる。また、同一ピンに対応する複数のTGの中に使用する必要の無いTGが存在する場合には、インターリーブ機能をオンとして、タイミングデッドゾーンの無いタイミング設定を可能とすることができる。

20

【0057】

被測定デバイスが、例えば高速マイクロコンピュータ、または、高速同期式メモリである場合は、試験の実行のために、1周期内にタイミングパルスが1つしか設定されない場合がある。一方、被測定デバイスが、例えば非同期式メモリである場合は、試験の実行のために、1周期内に複数のタイミングパルスを設定することが必要である。

【0058】

本実施形態のタイミングパルス発生回路によれば、1周期内に発生させるタイミングパルスの数を変化させることができると共に、使用されないTGが生じた場合に、そのTGを利用してタイミングデッドゾーンの発生を防止することができる。このため、本実施形態のタイミングパルス発生回路によれば、種々の被測定デバイスを試験するために必要とされる様々な状況を効率良く実現することができる。

30

【0059】

また、本実施形態において、上記のタイミングパルス発生回路は、種々の被測定デバイスを対象とする複数の試験を実行する機能を備える半導体試験装置に搭載されている。より具体的には、高速マイクロコンピュータ、高速同期式メモリ、および、非同期式メモリ等を対象とする複数の試験を実行する機能を備える半導体試験装置に搭載されて用いられる。本実施形態の半導体試験装置によれば、上述した種々のLSIの他、例えば、メモリ内蔵マイコンや、メモリ内蔵ASIC等の種々のLSIに関する試験を効率的に実行することができる。

40

【0060】

尚、上記の実施形態においては、第1乃至第nのTGが前記請求項1記載の「タイミング発生手段」に、波形形成回路4が前記請求項1記載の「波形形成手段」に、機能部6が前記請求項1記載の「インターリーブ手段」に、それぞれ相当している。

【0061】

また、上記の実施形態においては、奇数番目および偶数番目のTGの一方が前記請求項2記載の「一部のタイミング発生手段」に、それらの他方が前記請求項2記載の「残るタイ

50

ミング発生手段」に、それぞれ相当している。

【 0 0 6 2 】

また、上記の実施形態においては、第 1 乃至第 n カウンタが前記請求項 3 記載の「カウンタ」に、第 1 乃至第 n バーナが前記請求項 3 記載の「バーニア」に、それぞれ相当している。

【 0 0 6 3 】

また、上記の実施形態においては、D フリップフロップ 6 0 3 が前記請求項 4 記載の「インターリーブ信号発生手段」に、NOR 回路 6 0 4 , 6 0 5 およびインバータ回路 6 0 6 が前記請求項 4 または 5 記載の「論理回路」に、それぞれ相当している。

【 0 0 6 4 】

実施の形態 2 .

次に、図 7 乃至図 1 4 を参照して、本発明の実施の形態 2 について説明する。図 7 は、本発明の実施の形態 2 のタイミングパルス発生回路の回路図を示す。本実施形態のタイミングパルス発生回路は、実施の形態 1 のタイミングパルス発生回路と同様に、マイクロコンピュータ、同期式または非同期式メモリ等の LSI を被測定デバイスとして、所定の試験を実行する半導体試験装置の一部である。尚、図 7 において、上記図 1 に示す構成部分と同一の部分については、同一の符号を付してその説明を省略する。

【 0 0 6 5 】

図 7 に示す如く、本実施形態のタイミングパルス発生回路において、第 1 乃至第 n の T G は、それぞれ、第 1 乃至第 n カウンタ 7 を備えている。本実施形態において、基準信号発生部 3 は、上述した基準信号およびチェンジ信号と共に、ロード信号を発生する。ロード信号は、1 テスト周期毎に繰り返し発せられる所定間隔のパルス信号で構成される信号である。これらの信号は、基準信号発生部 3 から第 1 乃至第 n カウンタ 7 に供給されている。

【 0 0 6 6 】

図 8 は、第 1 カウンタ 7 の回路図を示す。尚、第 1 乃至第 n カウンタ 7 は構成において同一である。このため、ここでは、第 1 カウンタ 7 の構造をそれらの代表例として説明する。

第 1 カウンタ 7 は、奇数テスト周期用の第 1 カウンタバンク 7 0 1 と、偶数テスト周期用の第 2 カウンタバンク 7 0 2 とを備えている。第 1 カウンタバンク 7 0 1 のロード端子 LD には、OR 回路 7 1 1 の出力信号が供給されている。OR 回路 7 1 1 には、ロード信号と、チェンジ信号の反転信号とが供給されている。

【 0 0 6 7 】

一方、第 2 カウンタバンク 7 0 2 のロード端子 LD には、OR 回路 7 1 2 の出力信号が供給されている。OR 回路 7 1 2 には、ロード信号と、チェンジ信号とが供給されている。上記の構造によれば、第 1 および第 2 カウンタバンク 7 0 1 , 7 0 2 に供給されるロード信号は、チェンジ信号により 1 周期毎に無効信号とされる。第 1 および第 2 カウンタバンク 7 0 1 , 7 0 2 は、基準信号を入力信号として計数値をインクリメントし、LD 端子にパルス信号（エッジ）が入力されることにより計数値をクリアするカウンタである。従って、第 1 および第 2 カウンタバンク 7 0 1 , 7 0 2 は、それぞれ、2 テスト周期を一つの単位として計数値のインクリメント処理を行う。

【 0 0 6 8 】

第 1 カウンタ 7 は、メモリ 7 0 3 を備えている。メモリ 7 0 3 は、試験の実行条件に関するユーザの設定を記憶するメモリである。メモリ 7 0 3 は、記憶している設定データ D0(15,0) を 1 周期毎に出力する。メモリ 7 0 3 から出力されるデータ D0(15,0) は、ラッチ回路 7 0 4 , 7 0 5 に供給される。ラッチ回路 7 0 4 , 7 0 5 は、それぞれ、トグル回路 7 0 8 の出力信号または反転出力信号のアップエッジを受けてデータ D0(15,0) を取り込む。

【 0 0 6 9 】

トグル回路 7 0 8 は、ロード信号をクロック信号として出力を反転させる回路である。上記の構造によれば、ラッチ回路 7 0 4 , 7 0 5 に、1 テスト周期毎に交互にデータ D0(15,

10

20

30

40

50

0)を取り込ませ、それぞれの回路に、取り込んだデータを2テスト周期の間保持させることができる。

【0070】

ラッチ回路704, 705の出力データD0は、それぞれ、比較回路706, 707に供給される。また、比較回路706, 707には、それぞれ、第1または第2カウンタバンク701, 702の出力信号が供給されている。比較回路706, 707には、それぞれ、NAND回路713, 714が接続されている。NAND回路713, 714は、第1または第2カウンタバンク701, 702の計数值と、ラッチ704, 705の出力データD0とが異なる場合にその出力を“H”に維持し、それらが一致することにより、出力パルスを生成する。

10

【0071】

NAND回路713, 714の出力は、Dフリップフロップ709, 710に供給されている。Dフリップフロップ709, 710は、基準信号の遅延信号をクロック信号としてNAND回路713, 714の出力を外部に出力する。以下、Dフリップフロップ709, 710の出力を、それぞれ、第1バンク出力、および、第2バンク出力と称す。

【0072】

図9は、第1カウンタ7の動作を説明するためのタイミングチャートを示す。尚、図9に示すタイミングチャートは、図9(J), (K)に示す如く、周期1において、ラッチ回路704がユーザの設定値“1”をラッチし、周期2においてラッチ回路705がユーザの設定値“2”をラッチし、更に、周期3においてラッチ回路704がユーザの設定値“1”をラッチした場合に実現されるタイミングチャートである。

20

【0073】

図9(O), (P)に示す如く、第1カウンタ7は、周期毎に交互に、ユーザの設定値と第1または第2カウンタバンクの計数值とが一致した時点で、第1バンク出力および第2バンク出力を発生する。本実施形態において、第1乃至第nカウンタ7は、上記の如く、周期毎に交互の出力信号を発生するラインを備えている点に特徴を有している。

【0074】

図7に示す如く、本実施形態のタイミングパルス発生回路は、複数の機能部8を備えている。機能部8は、隣接する2つのTGに対して一つずつ設けられている。それぞれの機能部8は、第1乃至第nカウンタ7のそれぞれに対応するOR回路804を備えている。それらのOR回路804には、第1乃至第nカウンタ7から、第1および第2バンク出力が供給されている。

30

【0075】

また、機能部8は、2つの選択回路805, 806を備えている。選択回路805, 806は、2つの入力端子(A端子およびB端子)、セレクト端子SLおよび出力端子Qを備えている。選択回路805, 806は、セレクト端子SLに“L”信号が供給されている場合にA端子に供給される信号を出力し、一方、セレクト端子SLに“H”信号が供給されている場合にB端子に供給されている信号を出力する回路である。

【0076】

一方の選択回路805のA端子およびB端子には、それぞれ、奇数番目のTGが備えるカウンタ7の第1バンク出力、および、そのカウンタ7に対応するOR回路804の出力が供給されている。そして、この選択回路805の出力は、対応するバーニア2に供給されている。

40

【0077】

他方の選択回路806のA端子およびB端子には、それぞれ、奇数番目のTGが備えるカウンタ7の第2バンク出力、および、偶数番目のカウンタ7から第1および第2バンク出力を受けているOR回路804の出力が供給されている。そして、この選択回路806の出力は、対応するバーニア2に供給されている。

【0078】

また、選択回路805, 806のセレクト端子SLには、Dフリップフロップ803の出力

50

信号が供給されている。Dフリップフロップ803は、実施の形態1におけるDフリップフロップ603と同様に、半導体試験装置のCPUから供給されるバス信号により、または、専用線を介して供給される高速信号により制御される。

【0079】

機能部8は、2入力AND回路801、2入力NAND回路802、OR回路607、および、インバータ回路807、808を備えている。これらは、実施の形態1におけるAND回路601、NAND回路602、OR回路607およびインバータ回路608と同様に、Dフリップフロップ803の出力信号に応じて、第1乃至第nバーニア2の出力信号を、適宜波形形成回路4に伝達する。

【0080】

次に、本実施形態のタイミングパルス発生回路の動作について説明する。

図10は、Dフリップフロップ803の出力が“H”に固定されている場合の状態を示す。Dフリップフロップ803の出力が“H”に固定されている場合、セレクト端子SLに対して“H”出力が供給される。この場合、選択回路805、806は、B入力を選択する。その結果、選択回路805は、奇数番目のTGに対応するOR回路804の出力をバーニア2に供給する。一方、選択回路806は、偶数番目のTGに対応するOR回路804の出力をバーニア2に供給する。

【0081】

また、Dフリップフロップ803が“H”出力を発生する場合、AND回路801の一方の入力端子への入力が“H”入りに固定されると共に、NAND回路802の一方の入力端子への入力が“L”入りに固定される。この場合、AND回路801は、奇数番目のTGが備えるバーニア2の出力信号を波形形成回路4に供給する。また、NAND回路802は、偶数番目のTGが備えるバーニア2の出力信号を波形形成回路4に供給する。

【0082】

従って、Dフリップフロップ803が、“H”出力を発生する場合、第1乃至第nのTGは、それぞれ、1テスト周期毎に、ユーザの設定に対応する適当な時期に波形形成回路4に向けてタイミングパルスを供給することができる。この場合、タイミングパルス発生回路は、1テスト周期内に、最大n個のタイミングパルスを発生することができる。

【0083】

図11は、上記の状況下、すなわち、Dフリップフロップ803が“H”出力を発生する状況下で実現されるタイミングチャートの1例を示す。

上記の状況下では、図11(I)および(J)に示す如く、第1および第2バーニア2は、それぞれ、周期毎に、ユーザの設定に応じた適当な時期にタイミングパルスを発生する。

【0084】

また、上記の状況下では、図11(K)、(L)に示す如く、第1および第2バーニア2から出力されるタイミングパルスは、それぞれ、AND回路801およびNAND回路802から出力される。従って、この場合は、図11(M)に示す如く、同一周期内で、個々のTGがタイミングパルスを発生する毎に出力を反転させるピン出力を得ることができる。

【0085】

次に、図12を参照して、本実施形態のタイミングパルス発生回路におけるタイミングデッドゾーンの影響について説明する。

図12は、Dフリップフロップ803の出力信号が“H”信号であり、かつ、図12(K)に示す如く、第1のTGが、周期1において、その終了間際にタイミングパルスを発生するように設定されている状況下で実現されるタイミングチャートを示す。

【0086】

第1のTGは、1周期毎にユーザの設定を読み込んでその設定に応じた時期にタイミングパルスを発生する。このため、タイミングパルスを発生した後、タイミングデータの処理等が完了する間での所定期間中は、新たにタイミングパルスを発生することができない。上記の理由により、周期1における第1のTGのタイミングパルス発生時期が、図12

10

20

30

40

50

( K ) に示す如く周期 1 の終了間際に設定されている場合は、周期 2 が開始された後、所定期間は、タイミングデッドゾーンとなる。

【 0 0 8 7 】

タイミングパルス発生回路に対して、高速でタイミングパルスを発生することが要求される場合には、第 1 の T G に対して、タイミングデッドゾーン内でタイミングパルスを発生することが要求される事態が生じ得る。この場合、D フリップフロップ 8 0 3 の出力が “ H ” 出力に固定されていると、図 1 2 ( K ) に示す如く、所望のタイミングパルスが生成できず、その結果、図 1 2 ( M ) に示す如く、所望のタイミングでピン出力を反転させ得ない事態が生ずる。

【 0 0 8 8 】

図 1 3 は、本実施形態のタイミングパルス発生回路において、D フリップフロップ 8 0 3 の出力を “ L ” 出力に固定した状態を示す。D フリップフロップ 8 0 3 の出力が “ L ” 出力である場合、選択回路 8 0 5 , 8 0 6 は、A 入力を選択する。従って、この場合は、奇数番目の T G が備えるカウンタの第 1 バンク出力、および、第 2 バンク出力が、それぞれ、奇数番目のバーニア 2 および偶数番目のバーニア 2 に供給される。

【 0 0 8 9 】

また、D フリップフロップ 8 0 3 の出力が “ L ” 出力である場合、AND 回路 8 0 1 には、奇数番目の T G の出力信号と共に、前段の OR 回路 8 0 7 を介して、偶数番目の T G の出力信号が供給される。従って、この場合、AND 回路 8 0 1 は、1 周期毎に、奇数番目の T G の出力と、偶数番目の T G の出力とを交互に波形形成回路 4 に供給する。一方、D フリップフロップ 8 0 3 の出力信号が “ L ” 出力に固定されている場合、NAND 回路 8 0 2 の出力は “ H ” 出力に固定される。従って、この場合、NAND 回路 9 0 2 から波形形成回路 4 へはタイミングパルスが供給されない。

【 0 0 9 0 】

図 1 4 は、上記の状況下で、すなわち、D フリップフロップ 8 0 3 の出力が “ L ” 出力に固定されている状況下で実現されるタイミングチャートを示す。

図 1 4 に示すタイミングチャートは、図 1 4 ( I ) および ( J ) に示す如く、第 1 の T G のタイミングパルス発生時期が周期 1 の終了間際に設定されており、第 2 の T G のタイミングパルス発生時期が周期 2 の終了間際に設定されている場合に実現される。

【 0 0 9 1 】

D フリップフロップ 8 0 3 の出力が “ L ” 出力に固定されている場合、周期 1 では第 1 カウンタの第 1 バンク出力が、第 1 の T G からタイミングパルスとして発せられる一方、第 2 バーニア 2 ( 第 2 の T G ) からはタイミングパルスが発せられない。このため、第 2 バーニア 2 は、図 1 4 ( J ) に示す如く、周期 2 が開始された直後に、適正にタイミングパルスを発生することができる。

【 0 0 9 2 】

また、D フリップフロップ 8 0 3 の出力が “ L ” 出力に固定されている場合、第 1 の T G から発せられるタイミングパルス、および、第 2 の T G から発せられるタイミングパルスは、図 1 4 ( K ) に示す如く、共に AND 回路 8 0 1 から出力される。その結果、タイミングデッドゾーンの無いタイミングで、2 つのタイミングパルスが生成される。従って、上記の状況下では、図 1 4 ( I ) に示す如く、タイミングデッドゾンの影響を受けることなく、所望のピン先波形を形成することができる。

【 0 0 9 3 】

上述の如く、本実施形態のタイミングパルス発生回路によれば、同一ピンに対応する複数の T G を全て使用して 1 周期内にタイミングパルスを発生させる必要がある場合は、インターリーブ機能をオフして、全ての T G が、同一の周期内で、個別に設定された適当な時期にタイミングパルスを発生する状態を実現することができる。また、同一ピンに対応する複数の T G の中に使用する必要の無い T G が存在する場合には、インターリーブ機能をオンとして、タイミングデッドゾーンの無いタイミング設定を可能とすることができる。このため、本実施形態のタイミングパルス発生回路によれば、実施の形態 1 の場合と同様

10

20

30

40

50

に、種々の被測定デバイスを試験するために必要とされる様々な状況を効率良く実現することができる。

【0094】

特に、本実施形態のタイミング発生回路は、バーニア2のみをインターリーブすることにより、上述した所望の機能を実現している。バーニア2のみをインターリーブすることによれば、カウンタ1とバーニア2の双方をインターリーブする場合に比してインターリーブに要するメモリ容量を削減することができる。従って、本実施形態のタイミング発生回路によれば、実施の形態1の回路に比して少ないメモリ容量で所望の機能を実現し得るという効果を得ることができる。

【0095】

また、本実施形態において、上記のタイミングパルス発生回路は、種々の被測定デバイスを対象とする複数の試験を実行する機能を備える半導体試験装置に搭載されて用いられる。より具体的には、高速マイクロコンピュータ、高速同期式メモリ、および、非同期式メモリ等を対象とする複数の試験を実行する機能を備える半導体試験装置に搭載されて用いられる。本実施形態の半導体試験装置によれば、上述した種々のLSIの他、例えば、メモリ内蔵マイコンや、メモリ内蔵ASIC等の種々のLSIに関する試験を効率的に実行することができる。

【0096】

尚、上記の実施形態においては、第1カウンタバンク701および第2カウンタバンク702が、それぞれ、前記請求項6記載の「第1バンク」および「第2バンク」に、機能部8が前記請求項6記載の「前記インターリーブ手段」に、それぞれ相当している。

【0097】

また、上記の実施形態においては、Dフリップフロップ803が前記請求項8記載の「インターリーブ信号発生手段」に、OR回路804、および、選択回路805、806が前記請求項8記載の「選択手段」に、それぞれ相当している。

【0098】

【発明の効果】

この発明は以上説明したように構成されているので、以下に示すような効果を奏する。請求項1記載の発明によれば、全てのタイミング発生手段が個別にタイミングパルスを発生し得る状態と、使用されていないタイミング発生手段を用いてタイミングデッドゾーンを回避し得る状態とを実現することができる。このため、本発明のタイミングパルス発生回路によれば、種々の半導体装置に関する試験を実行することができる。

【0099】

請求項2記載の発明によれば、一部のタイミング発生手段と、残るタイミング発生手段とが、交互にタイミングパルスを発生するため、タイミングデッドゾーンの影響を受けることなく連続的に所望のタイミングを生成することができる。

【0100】

請求項3記載の発明によれば、カウンタにより粗パルスを発生させ、バーニアによりその粗パルスの精度を高めることにより、簡単な構造で高精度なタイミングパルスを生成することができる。

【0101】

請求項4記載の発明によれば、インターリーブオフ状態では、全てのタイミング発生手段をアクティブ状態とすることで、それら全てが個別にタイミングを発生し得る状態を実現できる。また、インターリーブオン状態では、周期毎に、一部のタイミング発生手段と、残るタイミング発生手段とを交互にアクティブ状態とすることができる。この場合、一部のタイミング発生手段と、残るタイミング発生手段とに対して、1周期おきにタイミングパルスの発生要求が生ずるため、タイミングデッドゾーンの発生が防止できる。

【0102】

請求項5記載の発明によれば、請求項4記載の機能を、簡単な構造で実現することができる。

10

20

30

40

50

## 【0103】

請求項6記載の発明によれば、インターリーブ状態においては、一部のタイミング発生手段については、カウンタとバーニアの双方にユーザの設定を記憶させる必要があるが、残るタイミング発生手段については、カウンタとバーニアの一方のみにユーザの設定を記憶させることにより所望の機能を実現できる。このため、本発明によれば、少ないメモリ容量で所望の機能を実現することができる。

## 【0104】

請求項7および8記載の発明によれば、請求項6記載の機能を、簡単な構造で実現することができる。

## 【0105】

請求項10記載の発明によれば、タイミング発生回路が種々の半導体装置に対して適用可能であると共に、半導体装置自身が、種々の半導体装置に関する試験を実行する機能を有している。従って、本発明の半導体試験装置によれば、種々の半導体装置を被測定デバイスとして、効率良く試験を実行することができる。

## 【図面の簡単な説明】

【図1】 本発明の実施の形態1のタイミングパルス発生回路の回路図である。

【図2】 インターリーブオフ状態下での図1に示すタイミングパルス発生回路の回路図である。

【図3】 インターリーブオフ状態下での図1に示すタイミングパルス発生回路の動作を説明するためのタイミングチャートである。

【図4】 図1に示すタイミングパルス発生回路におけるタイミングデッドゾーンの影響を説明するためのタイミングチャートである。

【図5】 インターリーブオン状態下での図1に示すタイミングパルス発生回路の回路図である。

【図6】 インターリーブオン状態下での図1に示すタイミングパルス発生回路の動作を説明するためのタイミングチャートである。

【図7】 本発明の実施の形態2のタイミングパルス発生回路の回路図である。

【図8】 図1に示すタイミングパルス発生回路が備える第1カウンタの回路図である。

【図9】 図8に示す第1カウンタの動作を説明するためのタイミングチャートである。

【図10】 インターリーブオフ状態下での図7に示すタイミングパルス発生回路の動作を説明するためのタイミングチャートである。

【図11】 インターリーブオフ状態下での図7に示すタイミングパルス発生回路の動作を説明するためのタイミングチャートである。

【図12】 図7に示すタイミングパルス発生回路におけるタイミングデッドゾーンの影響を説明するためのタイミングチャートである。

【図13】 インターリーブオン状態下での図7に示すタイミングパルス発生回路の回路図である。

【図14】 インターリーブオン状態下での図1に示すタイミングパルス発生回路の動作を説明するためのタイミングチャートである。

【図15】 従来のタイミングパルス発生回路の回路図である。

【図16】 図15に示すタイミングパルス発生回路におけるタイミングデッドゾーンの影響を説明するためのタイミングチャートである。

【図17】 インターリーブ機能を備える従来のタイミングパルス発生回路の回路図である。

## 【符号の説明】

1 ; 7 第1乃至第nカウンタ、 2 第1乃至第nバーニア、 3 基準信号発生部、 4 波形形成回路、 5 イネーブル回路、 6 ; 8 機能部、 603 ; 803 Dフリップフロップ、 805 , 806 選択回路、 TG タイミング発生部。

10

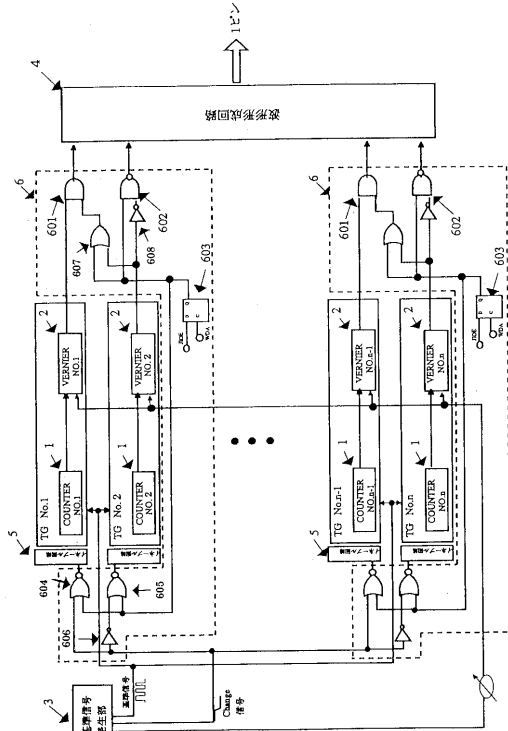
20

30

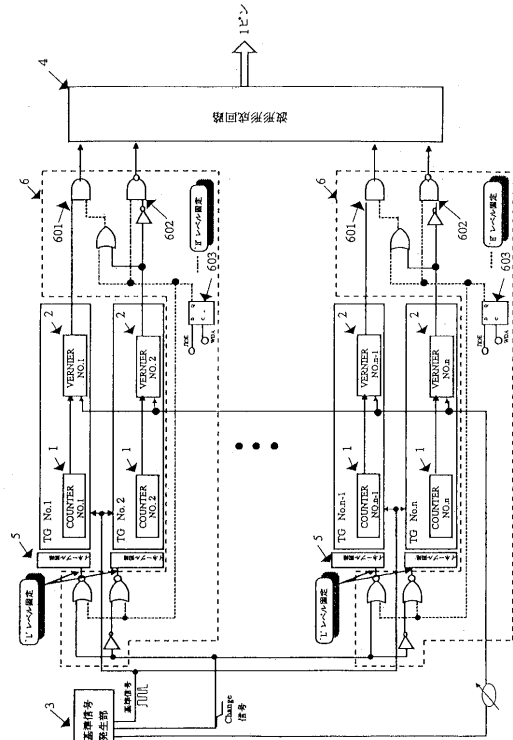
40



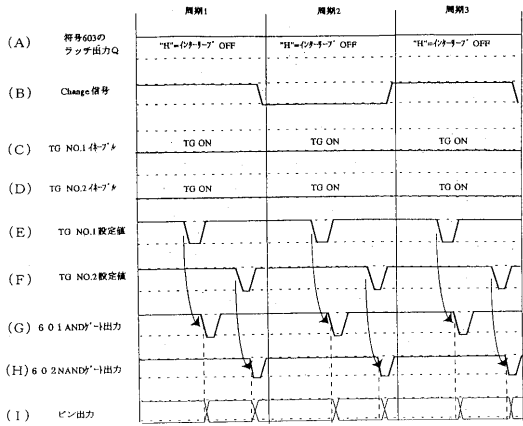
【図1】



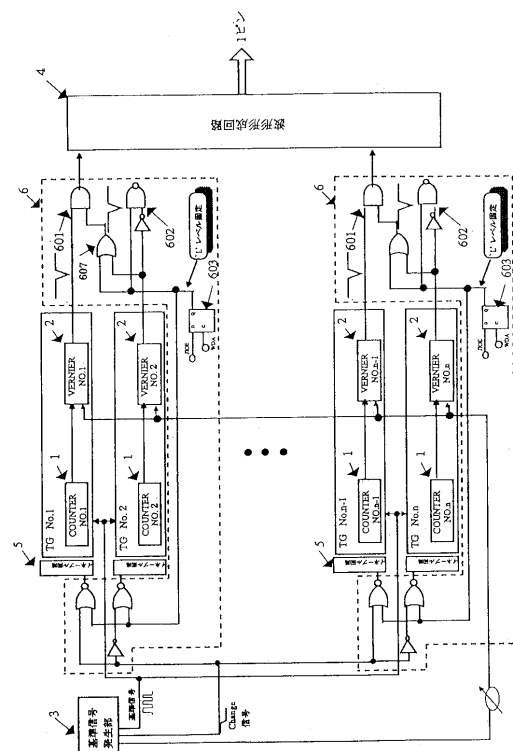
【図2】



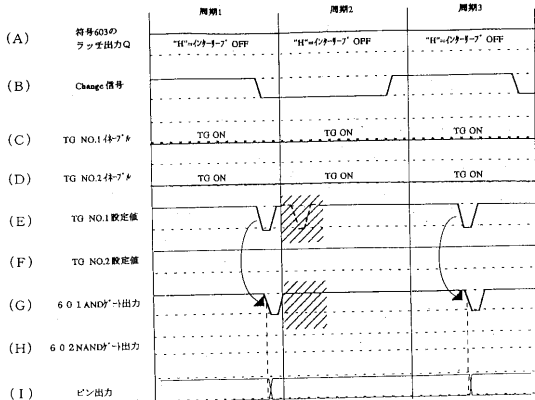
【図3】



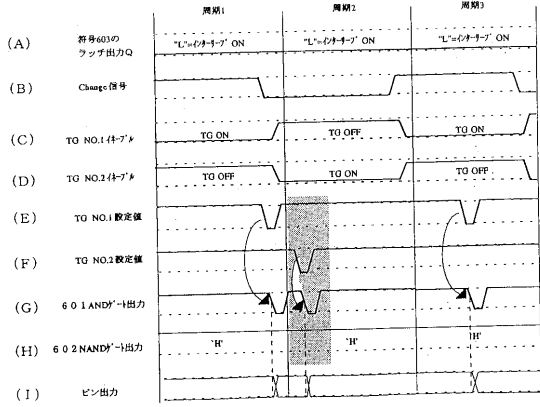
【図5】



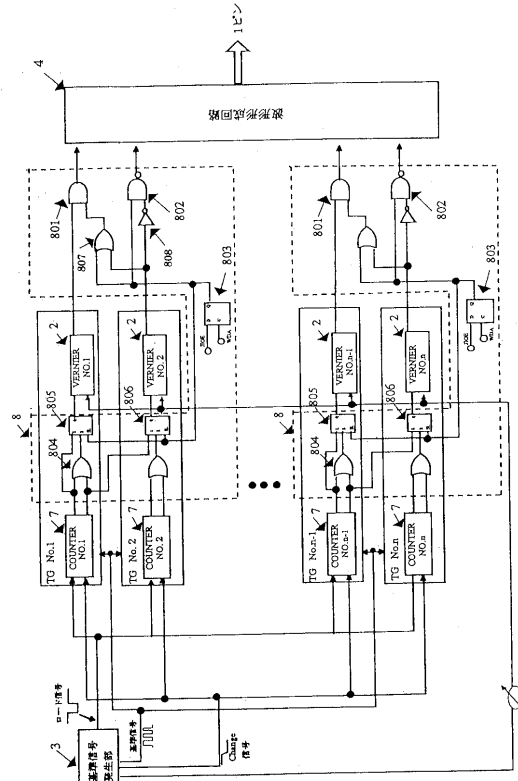
【図4】



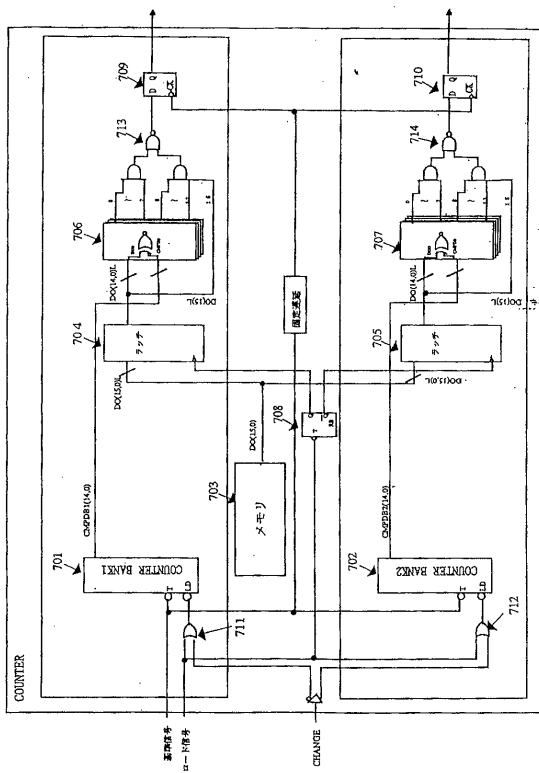
【図6】



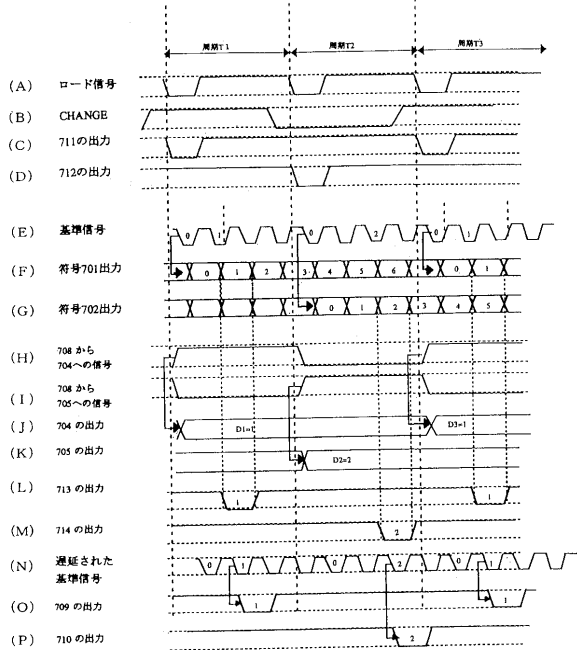
【図7】



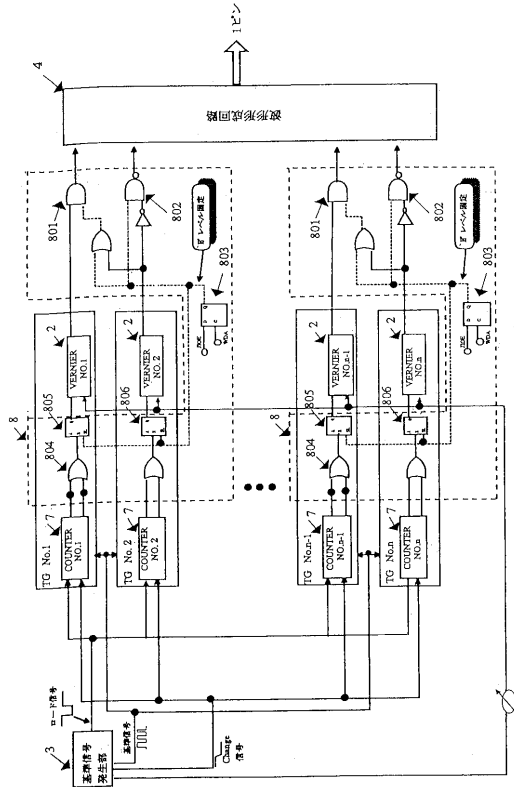
【図8】



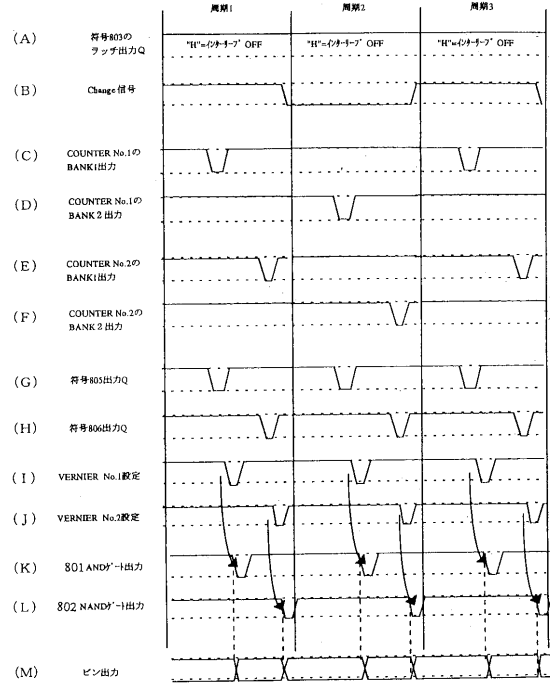
【図9】



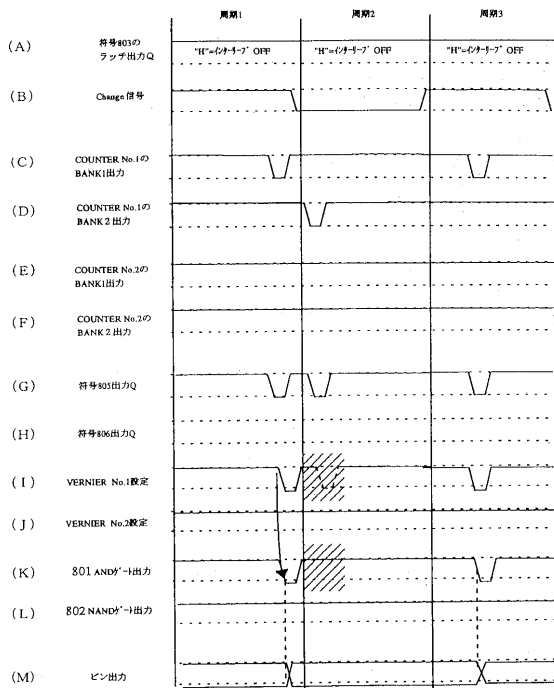
【図10】



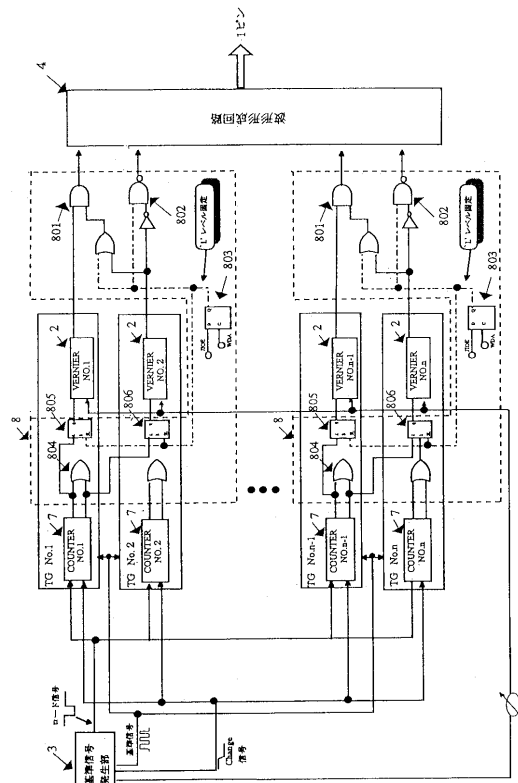
【図11】



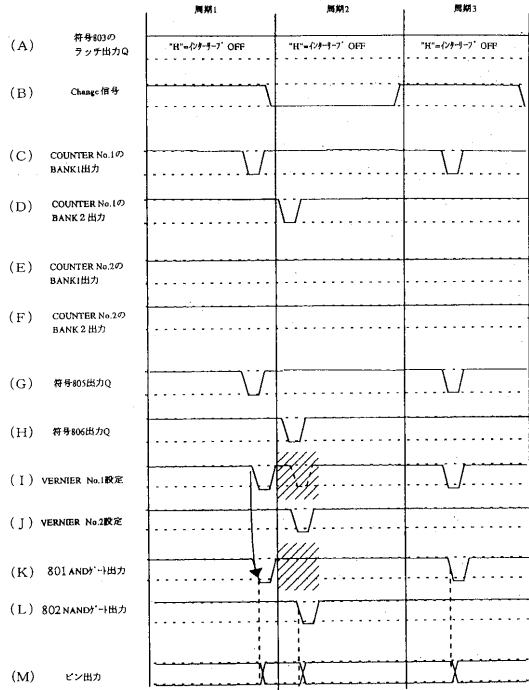
【図12】



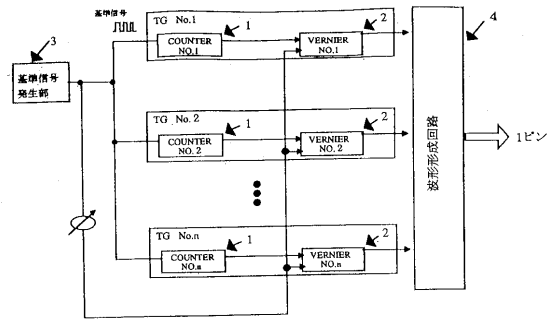
【図13】



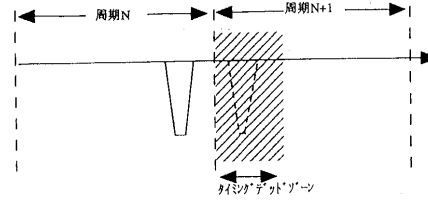
【 図 14 】



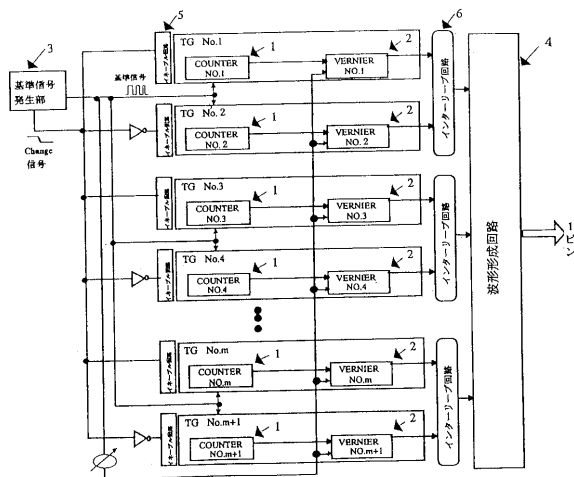
【 図 15 】



【 図 16 】



【 図 17 】



フロントページの続き

(56)参考文献 特開昭57-15527(JP,A)  
実開平7-20582(JP,U)

(58)調査した分野(Int.Cl., DB名)  
G01R31/28-31/3193