

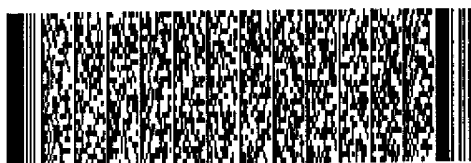
申請日期：88.4.30 案號：88107108

類別：

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	半導體積體電路及其製造方法 415038
	英文	
二、 發明人	姓名 (中文)	1. 大橋 正幸
	姓名 (英文)	1. Masayuki OHASHI
	國籍	1. 日本
	住、居所	1. 日本國東京都港區芝五丁目7番1號 日本電氣股份有限公司內
三、 申請人	姓名 (名稱) (中文)	1. 日本電氣股份有限公司
	姓名 (名稱) (英文)	1. NEC Corporation
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都港區芝五丁目7番1號
	代表人 姓名 (中文)	1. 西垣 浩司
	代表人 姓名 (英文)	1. Koji Nishigaki



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

日本 JP

1998/04/30 特願平10-120181

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

發明背景發明之領域

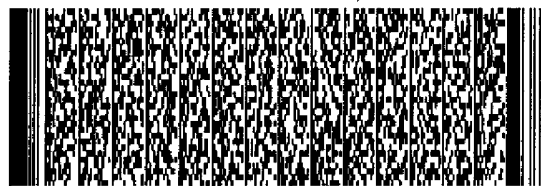
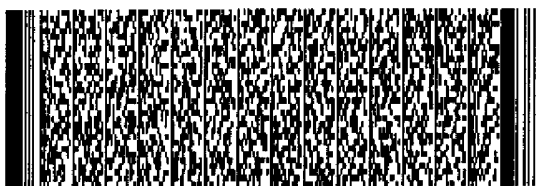
本發明係關於一種半導體裝置及其製造方法，特別係關於記憶體等之半導體積體電路中之基準型輸入初階電路及其製造方法。

習用技術

近年來，因半導體記憶體日漸要求高速化，而增加了許多改良。於時脈、位址、數據輸入等之輸入初階電路中，不使用反向器型而使用基準型，亦是對高速化的一種改良。與反向器型初階電路相比，使用基準型初階電路可使動作加速1nsec左右。

圖4為使用基準型電路之輸入初階電路。如圖4所示，基準型輸入初階電路係由電晶體Q31、Q33所成之反向器電路，與Q32及Q34所構成之反向器電路，二者差動連接所成，基準電位輸入端子InR3與驅動電晶體Q33之閘極相連接，而信號之輸入端子In3則與驅動電晶體Q34之閘極相連接。由Q32、Q34所構成之反向器輸出node，介著輸出端子Out3連接至次階。又，於圖4及其他圖中，以圓形圈住者為p通道型MOS電晶體，而未以圓形圈住者則為n通道MOS電晶體，藉此加以區別。

基準型輸入電路之特徵如為：動作較反向器型為快，藉由改變輸入至基準電位輸入端子InR3之基準電位(如圖3之VREF)之位準，而可簡單地改變初段特性(VIH/VIL)。在



五、發明說明 (2)

此所謂初段特性之 V_{IH} ，係表示當輸入信號由LOW變成HI時，其初階電路感測為HI，而使連接至次階之輸出節點由HI變為LOW之點，又，與此相反之 V_{IL} 則係表示當輸入信號由HI變成LOW時，其初階電路感測為LOW，而使連接至次階之輸出節點由LOW變為HI之點。

然而，可高速動作之基準型初階電路因如此敏感，故易受電源 V_{DD} 或GND之雜訊(位準偏移)之影響，而使其初段特性(V_{IH}/V_{IL})容易改變。而影響此初階電路之 V_{DD} 或GND之位準偏移，亦容易因與個別焊墊之距離之差異、或來自於初階電路附近動作之其他電路之影響之差異，而改變其情況。

圖5係為設置2個基準型輸入初階電路A、B時之習知例之電路圖。輸入初階電路A由電晶體Q41~Q44所構成具有輸入端子In1及與次階連接之輸出端子Out1，而輸入初階電路B則由電晶體Q51~Q54所構成，具有輸入端子In2及與次階連接之輸出端子Out2。又，於各初階電路之基準電位輸入端子中，輸入基準電位VREF，其係藉由電阻R11及R12將基準電位產生電路1之產生電壓加以分壓所形成。又，各輸入初階電路A、B除了分別與電源 V_{DD} 連接外，並與延伸自GND焊墊6之接地配線相連接。接地配線並附加配線電阻 R_{G1} 、 R_{G2} 。

若依據圖5所示之習知例電路，說明上述GND之位準偏移之問題，則係指距離GND焊墊6較近之初階電路A與距離GND焊墊6較遠之初階電路B中，附加有較多之GND配線電阻



五、發明說明 (3)

之初階電路B，其偏移量會變大，而且，此偏移量會受到與此GND配線相連接之電路及其動作之影響。圖式中雖未顯示，但對於電源配線而言亦同。

本發明欲解決之課題

於可高速動作之基準型初階電路中，因為佈局上之問題所造成之電源位準或GND位準之偏移等原因，而導致初段特性(V_{IH}/V_{IL})產生變動，使得極可能因 V_{IH}/V_{IL} 特性對產品規格之裕度變少，或無法符合規格(所謂規格外)。於對 V_{IH}/V_{IL} 為裕度少之初階電路中，即使是對於輸入信號之少許雜訊，亦可能將由HI變成LOW，誤判為由LOW變成HI，而造成誤動作。

藉由設計時之評估階段之模擬，事先調查電源位準/GND位準之偏移或雜訊之狀況調查，而送入各位置所適之基準電位即可，但對於目前成為主流之16M、64M等大型容量之記憶體，因進行模擬之硬體問題、或設計階段所需製程數問題，幾乎不可能考慮全部單元之動作，於全部之時序中進行模擬，以找出最差之條件。

因此，有必要進行大規模之電路修正及光罩修正，以使於設計階段中無法看見但為實際產品上之最差條件，能於產品完成後之評估階段中明顯化，而視情況並可確保裕度及防止誤動作。

因此，本發明之課題係為解決上述習知例之問題點，其目的為藉由產品完成後之微調、或藉由最低限之光罩變



五、發明說明 (4)

更，而使基準型輸入初階電路動作時能具有足夠之裕度。

解決問題之方式

本發明之半導體積體電路中，設置複數(2種類以上)個輸入至輸入初階電路之基準電位，可藉由使用保險絲等配線選擇、或藉由母片方式之A1配線變更，而改變其連接狀況。又，此複數種基準電位之位準，亦可藉由使用保險絲等之電阻微調，而調整成最佳值。

圖式之簡單說明

本發明之上述及其他目的、優點和特色由以下較佳實施例之詳細說明中並參考圖式當可更加明白，其中：

圖1為本發明之實施例1之等效電路圖。

圖2為說明本發明之實施例2之部分電路圖。

圖3為說明本發明之實施例3之部分電路圖。

圖4為基準型輸入初階電路之等效電路圖。

圖5為習知例之等效電路圖。

符號說明

1 基準電位產生電路

2、3 基準電位線

4、5 選擇電路

6 GND焊墊

A、B 基準型初階電路



五、發明說明 (5)

C1 電容器

F1 ~ F6 保險絲

In1 ~ In3 輸入端子

InR1 ~ InR3 基準電位輸入端子

IV1、IV2 反向器

N1 ~ N3 節點

Out、Out1 ~ Out3 輸出端子

Q1、Q11 ~ Q14、Q21 ~ Q24、Q31 ~ Q34、Q41 ~ Q44、
Q51 ~ Q54 電晶體

R1 ~ R8、R11、R12 電阻

R_G1、R_G2 配線電阻

VREF、VREFA、VREFB 基準電位

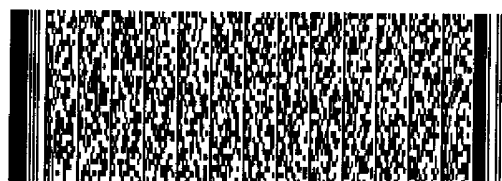
TG1、TG2 轉換開極

ZD 齊納二極體

較佳實施例之詳細說明

其次，依據實施例，詳細說明本發明之實施型態。

於實際之元件中，輸入初階電路雖然多用於時脈用、位址用、或數據輸入用等，但為了簡化說明，於實施例中，針對設置2個初階電路時，加以說明。圖1係為本發明之實施例1之等效電路圖。如圖1所示，基準型輸入初階電路A係由電晶體Q11 ~ Q14所成之差動電路所構成，具有基準電位輸入端子InR1、輸入端子In1及連接至次階之輸出端子Out1，而基準型輸入初階電路B則由電晶體Q21 ~ Q24

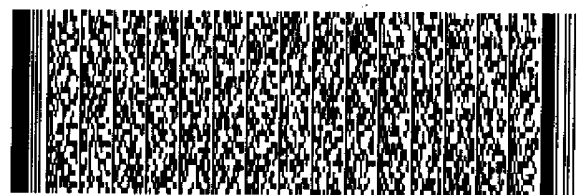
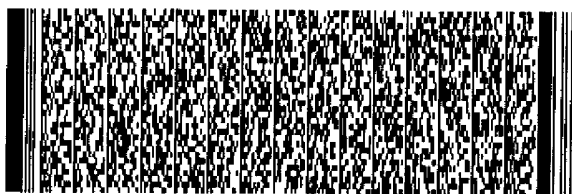


五、發明說明 (6)

所成之差動電路所構成，具有基準電位輸入端子InR2、輸入端子In2及連接至次階之輸出端子Out2。又，各初階電路分別與電源 V_{DD} 及GND相連接。

基準電位產生電路1與由R1~R4所成之電阻分壓電路、及由R5~R8所成之電阻分壓電路相連接，此等電阻分壓電路可形成輸入至初階電路之基準電位。又，為了能達成電阻微調，R1、R4、R5及R8分別與保險絲F1、F2、F3及F4並聯。在此，R2、R3與R6、R7為了能形成分壓電路各不相同之基準電位，故形成為不同電阻比。由各不相同之電阻分壓電路所形成之基準電位VREFA及VREFB，藉由基準電位線2、3，傳送至初階電路。初階電路A、B中，為了選擇與各電路之特性一致之基準電位，藉由母片選擇電路4、5，將基準電位輸入端子InR1、InR2連接至基準電位線2或3。在此，所謂母片選擇電路，係指可以母片方式變更配線路徑之電路，具體而言，係指可藉由改變AL配線形成用之光罩，而改變連接標的。

如上所述，因所配置之位置與電源焊墊或GND焊墊之距離不同，而因此使得輸入初階電路之電源位準或GND位準之偏移量不同。而為了修正因為此位準偏移量之差異所造成之初段特性之差異，如圖所示，本實施例於A1配線製程中，事先將初階電路A之InR1與基準電位線2相連接，並將初階電路B之InR2與基準電位線3相連接。在此，將基準電位VREFA設定為高於基準電位VREFB。於完成晶片狀態之製造製程，並於圖示狀態下形成電路後之評估(晶片測試)



五、發明說明 (7)

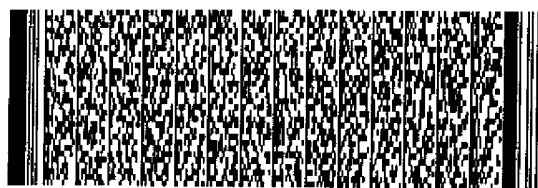
中，分別測量初階電路A、B分別之 V_{IH}/V_{IL} 特性。

此評估中，於初階電路A中，當判定對 V_{IH} 之裕度不足（於輸入信號由LOW轉為HIGH時，輸出輸出信號之逆轉，較標準更不易產生之情況）時，則藉由切斷保險絲F1，降低基準電位 V_{REFA} 加以對應。又，於初階電路B中，當判定對 V_{IL} 之裕度不足（於輸入信號由HIGH轉為LOW時，輸出輸出信號之逆轉，較標準更不易產生之情況）時，則藉由切斷保險絲F4，提升基準電位 V_{REFB} 加以對應。於各初階電路中，若裕度不足之側相反時，則切斷與上述保險絲為相反側之保險絲。

於晶片階段之評估中，當判斷僅藉由輸入至初階電路A之基準電位切斷保險絲F1時不夠時，而希望得到更低之基準電位時，藉由變更A1配線製程之光罩，而使基準電位輸入端子InR1可連接至 V_{REFB} 側。又，當判斷希望得到較以輸入至初階電路B之基準電位切斷保險絲F4時，更高之電位時，藉由變更A1配線製程之光罩，而變更使基準電位輸入端子InR2可連接至 V_{REFA} 側。

於圖1所示之電路中，各電阻分壓電路中雖然分別使用2條保險絲，但藉由連接更多之電阻及保險絲，可加大基準電位，並可微調。又，於上述實施例中使用保險絲，進行電阻微調，但亦可使用雷射光照射之雷射微調法，或使用齊納熔斷法之微調，此法係藉由將大電流通過齊納二極體，而產生短路。

圖2係為本發明之實施例2之等效電路圖。於上述實施



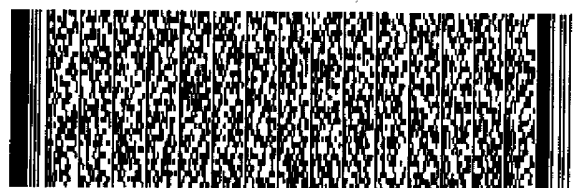
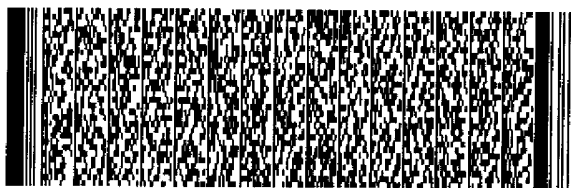
五、發明說明 (8)

例1中，輸入至基準電位輸入端子之基準電位，係藉由母片方式之A1配線所選擇；而於本實施例中，其構造則為：於晶片測試階段中，測量各初階電路之 V_{IH}/V_{IL} 特性，根據其結果而可選擇VREFA或VREFB之其一。亦即，於本實施例中，藉由導通轉換開極TG1或TG2之其一，而選擇輸入至基準電位輸入端子之基準電位。轉換開極TG1、TG2之導通/非導通，係藉由保險絲F5、電容器C1、電晶體Q1、反向器IV1、IV2之電路所控制。於圖示狀態中，保險絲F5不會被切斷，因此，節點N1變為HIGH。結果，節點N2變為LOW，節點N3變為HIGH，而導通開極TG1，使VREFA出現於輸出端子Out，而能將其輸入至初段基準輸入端子。當保險絲F5被切斷時，各節點之位準逆轉，導通轉換開極TG2，而將VREFB傳送於輸出端子Out。

圖3係為本發明之實施例3之等效電路圖。本實施例亦與實施例2相同，其構成係為於晶片測試階段測量各初階電路之 V_{IH}/V_{IL} 特性，再根據其結果選擇VREFA或VREFB之其一，但較實施例2更能藉由簡單電路，而達到配線選擇之效果。亦即，如於圖示中保險絲F6未切斷之狀態中，以VREFA做為基準電位輸入至初階電路。而當晶片測試之評估結果為以連接至VREFB側為佳時，則將保險絲F6切斷，而藉由齊納熔斷法，使齊納二極體ZD變成短路。

發明效果

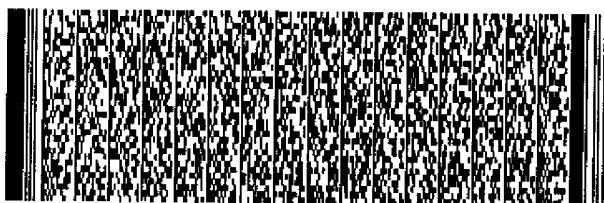
如上所述，因為本發明之半導體積體電路設有複數種



五、發明說明 (9)

基準電位線，可藉由變更A1配線，或根據晶片測試結果而變更配線，而選擇輸入至各輸入初階電路之基準電位，故對於設計階段未予測到，而於晶片製程結束後之評估製程才發現之初段輸入特性缺點，可僅藉由變更A1配線之光罩，或於晶片製程結束後之修正製程中，進行簡單修正，而不必進行大規模電路變更或光罩變更，可避免裕度不足或超出規格等情況。又，因為此複數基準電位可藉由晶片製程結束後之電阻微調，而加以調整，故可更為正確地控制初段輸入特性。

此外，依據本發明，可藉由上下移動時脈輸入初階電路之基準電位，而調整時脈上升及下降之時間，藉此亦可達到改善以時脈動作之信號動作裕度之次要效果。



四、中文發明摘要 (發明之名稱：半導體積體電路及其製造方法)

本發明之目的在於防止基準型輸入初階電路之輸入特性，因為電源電壓或GND位準之位置偏移而造成裕度不足。將產生基準電位產生電路1之電壓，以由R1~R8所成之電阻分壓電路加以分壓，而形成基準電位VREFA及VREFB。於基準型之初階電路A、B中，對應輸入特性，藉由母片方式改變選擇電路4、5之A1配線，而選擇VREFA或VREFB之其一。於晶片製程結束後之評估測試中，當輸入特性之裕度不足時，藉由溶斷保險絲F1~F4而調節之。

英文發明摘要 (發明之名稱：)



六、申請專利範圍

1. 一種半導體積體電路，其具有複數個輸入初階電路，藉由將該輸入初階電路分別與基準電位及輸入信號位準相比較之基準型電路所構成，其特徵為：

設有複數種基準電位，可配合各電路之初段特性，選擇輸入至各輸入初階電路之基準電位。

2. 如申請專利範圍第1項之半導體積體電路，其中，藉由將基準電位產生電路之輸出電位，以不同分壓比之電阻電路分壓，而得到不同種類之基準電位。

3. 如申請專利範圍第2項之半導體積體電路，其中，決定上述分壓比之電阻電路為可進行微調之結構。

4. 如申請專利範圍第1項之半導體積體電路，其中，於可選擇接/斷之配線中，或由可選擇接/斷之配線與可藉由該配線之接/斷而控制導通/非導通之轉換閘極所組成之電路中，係藉由選擇上述配線之接/斷，而執行各輸入初階電路之各基準電位之選擇。

5. 如申請專利範圍第1項之半導體積體電路，其中，係藉由選擇可選擇之A1配線，而執行各輸入初階電路之各基準電位之選擇。

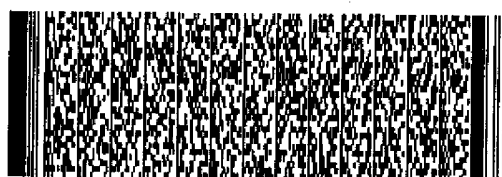
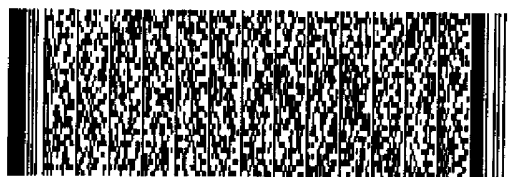
6. 一種半導體積體電路之製造方法，其具有：

複數個可將輸入信號位準與基準電位相比較之基準型輸入初階電路；

複數個不同電位之基準電位源；

複數個分別與各基準電位源連接之基準電位配線；

且各輸入初階電路與任一基準電位配線相連接；



六、申請專利範圍

其特徵為：

於A1配線形成製程中，選擇性地進行與對應輸入初階電路之基準電位配線之連接。

7. 一種半導體積體電路之製造方法，其具有：

複數個可將輸入信號位準與基準電位比較之基準型輸入初階電路；

複數個不同電位之基準電位源；

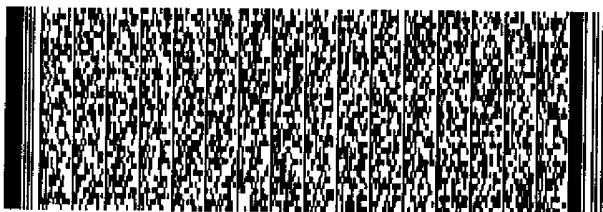
複數個分別與各基準電位源連接之基準電位配線；

且各輸入初階電路與任一基準電位配線相連接；

其特徵為：

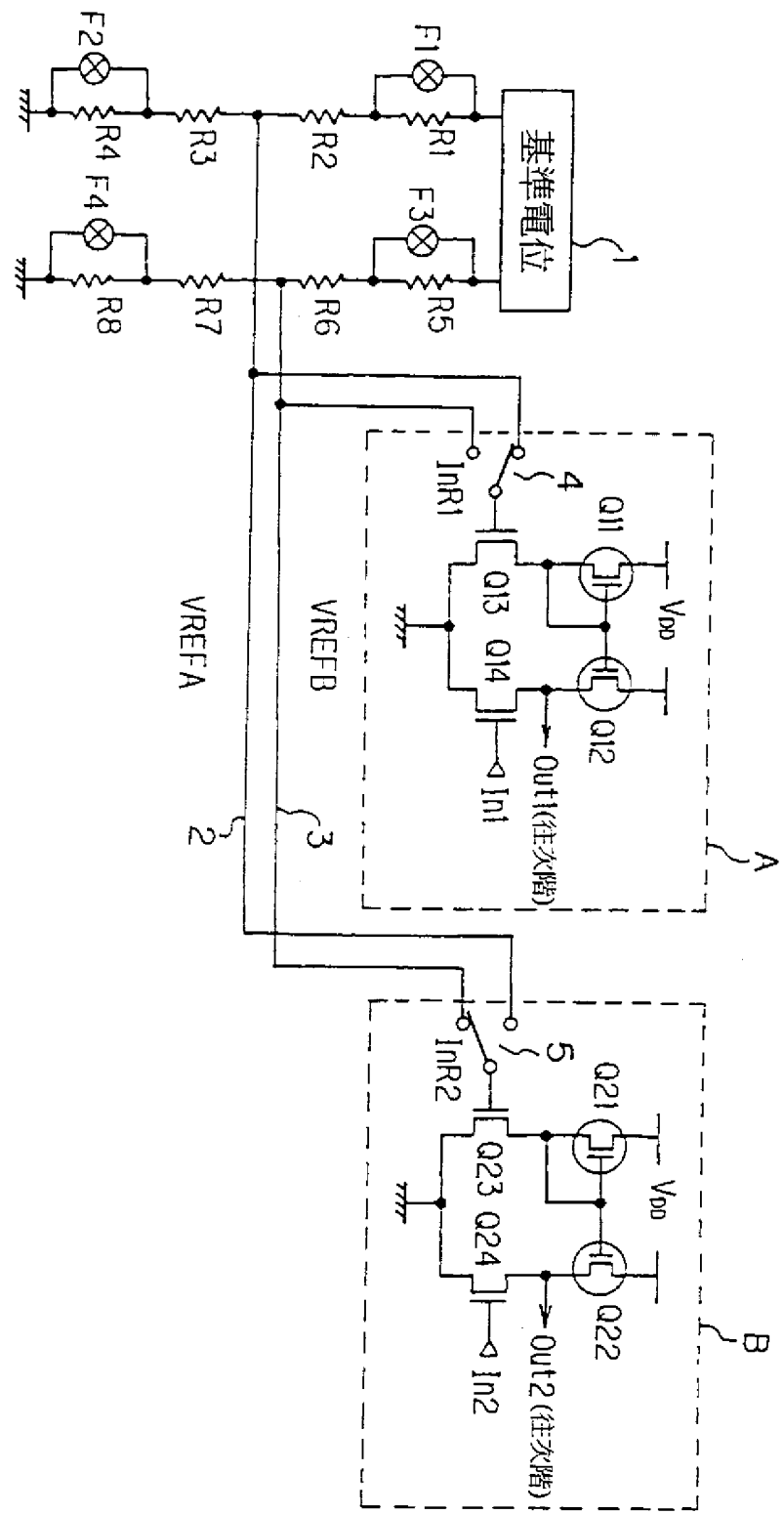
於可選擇接/斷之配線中，或由可選擇接/斷之配線與可藉由該配線之接/斷而控制導通/非導通之轉換閘極所組成之電路中，係藉由選擇上述配線之接/斷，而可選擇與與對應輸入初階電路之基準電位配線之連接，並依據晶片製程結束後之評估，進行上述配線之接/斷之選擇。

8. 如申請專利範圍第6或7項之半導體積體電路之製造方法，其中，上述基準電位源與基準電位產生電路相連接，並藉由可微調之電阻分壓電路所構成，依據晶片製程結束後之評估，進行該電阻分壓電路之微調。



100000000

圖1



圖式

圖式

圖2

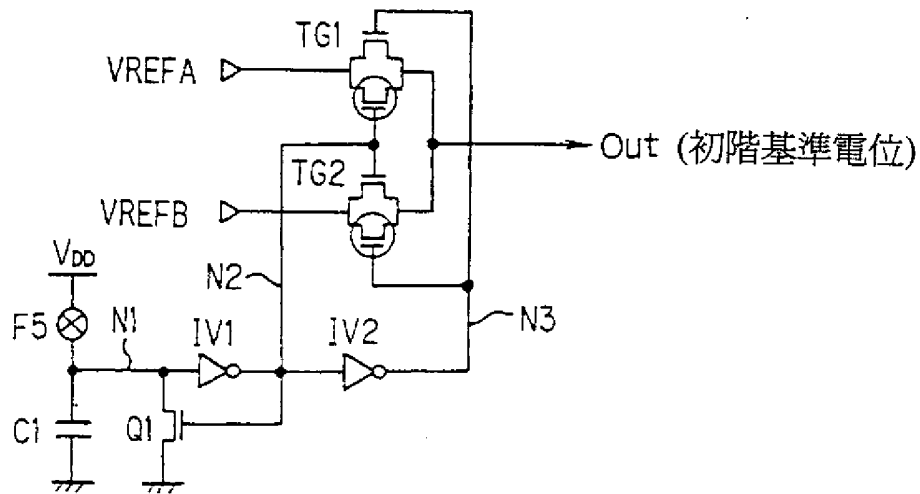


圖3

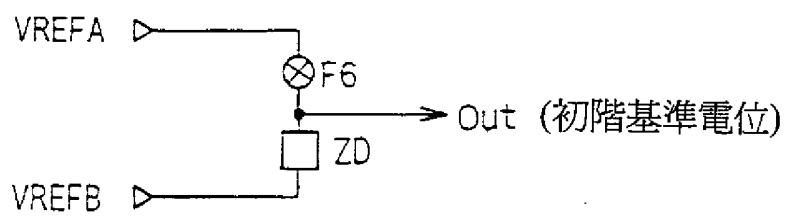


圖4

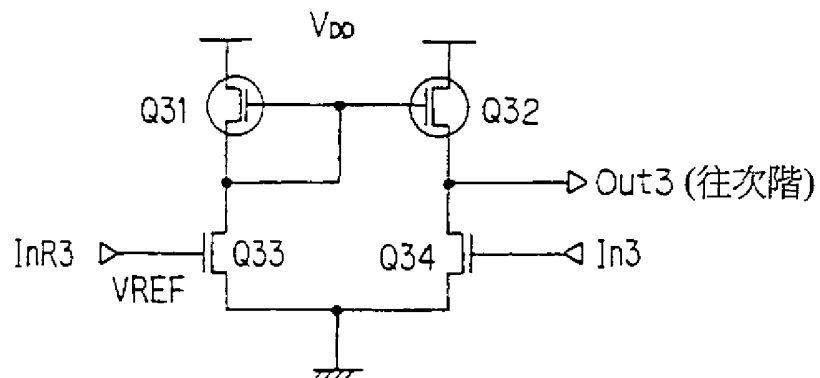
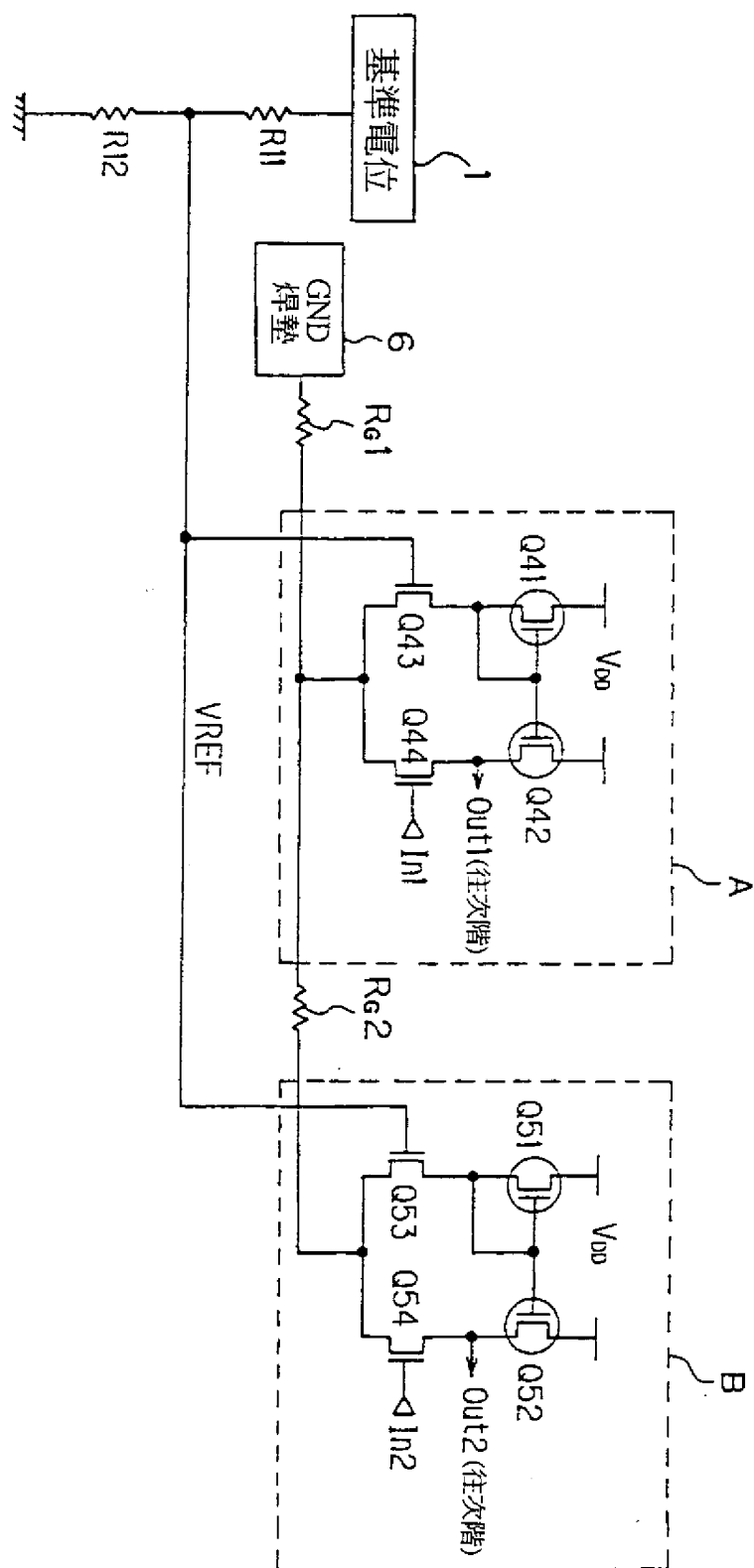


圖5



圖式