



(12) 发明专利申请

(10) 申请公布号 CN 102403999 A

(43) 申请公布日 2012. 04. 04

(21) 申请号 201110251361. X

(22) 申请日 2011. 08. 25

(30) 优先权数据

2010-190686 2010. 08. 27 JP

(71) 申请人 瑞萨电子株式会社

地址 日本神奈川县

(72) 发明人 青山森繁

(74) 专利代理机构 中原信达知识产权代理有限

责任公司 11219

代理人 孙志湧 穆德骏

(51) Int. Cl.

H03L 7/07(2006. 01)

H03L 7/197(2006. 01)

H04L 7/033(2006. 01)

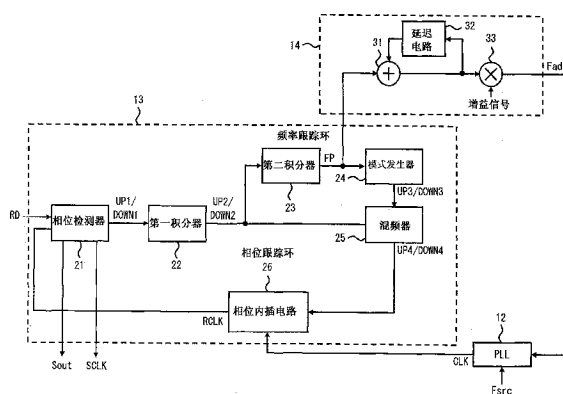
权利要求书 2 页 说明书 9 页 附图 7 页

(54) 发明名称

半导体器件

(57) 摘要

本发明提供了半导体器件。一种半导体器件,包括:时钟和数据恢复电路,该时钟和数据恢复电路包括相位跟踪环,该相位跟踪环产生相位差信号,该相位差信号指示从发送时钟产生的接收时钟与输入信号之间的相位差并使接收时钟跟踪输入信号,该时钟和数据恢复电路还包括频率跟踪环,该频率跟踪环执行控制以使接收时钟的频率跟踪输入信号的频率,该时钟和数据恢复电路被构造为从输入信号提取数据信号和同步时钟以及控制接收时钟的相位和频率;频率误差调节器,该频率误差调节器根据基于相位差信号而产生的频率差信号来增大或减小由频率调节信号所指示的值;以及振荡器,该振荡器基于频率调节信号来提高或降低发送时钟的频率。



1. 一种半导体器件,包括:

时钟和数据恢复电路,包括:相位跟踪环,所述相位跟踪环产生相位差信号,所述相位差信号指示从发送时钟产生的接收时钟与输入信号之间的相位超前或相位延迟,并使所述接收时钟的相位跟踪所述输入信号的相位;以及频率跟踪环,所述频率跟踪环执行控制以使所述接收时钟的频率跟踪所述输入信号的频率,所述时钟和数据恢复电路被构造为从所述输入信号提取数据信号以及对应于所述数据信号的同步时钟以及控制所述接收时钟的相位和频率;

频率误差调节器,所述频率误差调节器根据基于所述频率跟踪环中的所述相位差信号而产生的频率差信号来增大或减小由频率调节信号所指示的值;以及

振荡器,所述振荡器基于由所述频率调节信号所指示的值来提高或降低所述发送时钟的频率。

2. 根据权利要求1所述的半导体器件,其中所述相位差信号通过一位来指示相位超前和相位延迟的每一个。

3. 根据权利要求1所述的半导体器件,其中

所述时钟和数据恢复电路包括:

相位检测器,所述相位检测器检测所述接收时钟和所述输入信号之间的相位差,并更新由所述相位差信号所指示的极性值;

第一积分器,所述第一积分器基于所述相位差信号来增加或减少第一计数值,且当所述第一计数值达到预定值时输出第一上升信号和第一下降信号;

第二积分器,所述第二积分器基于所述第一上升信号和所述第一下降信号来增加或减少第二计数值,并输出所述第二计数值作为所述频率差信号;

模式发生器,所述模式发生器基于所述频率差信号以预定间隔来产生第二上升信号和第二下降信号;

混频器,所述混频器基于所述第一上升信号和所述第一下降信号以及所述第二上升信号和所述第二下降信号来产生相位选择信号;以及

相位内插器,所述相位内插器根据所述相位选择信号通过内插所述发送时钟的相位而选择相位,并输出结果时钟作为所述同步时钟,

所述相位跟踪环包括所述相位检测器、所述第一积分器、所述混频器以及所述相位内插器,并且

所述频率跟踪环包括所述相位检测器、所述第一积分器、所述第二积分器、所述模式发生器、所述混频器以及所述相位内插器。

4. 根据权利要求3所述的半导体器件,其中

所述第一积分器通过外部提供的最大值控制信号被设定为所述预定值,并且

所述最大值控制信号用于将所述预定值设定为:所述预定值在所述发送时钟的频率满足预定稳定情况之前的值小于满足所述稳定情况之后的值。

5. 根据权利要求1所述的半导体器件,其中所述频率误差调节器包括:

加法器,所述加法器将由所述频率差信号所指示的值与由先前时刻的所述频率调节信号所指示的值相加,并由此产生当前时刻的所述频率调节信号;以及

延迟电路,所述延迟电路延迟从所述加法器输出的所述频率调节信号并将经延迟的频

率调节信号提供给所述加法器。

6. 根据权利要求 5 所述的半导体器件, 其中

所述频率误差调节器包括保持电路, 所述保持电路在所述发送时钟的频率稳定的状态下存储由所述频率调节信号所指示的值, 并且

所述延迟电路在初始状态下输出存储于所述保持电路中的所述值。

7. 根据权利要求 1 所述的半导体器件, 还包括发送器电路, 所述发送器电路基于所述发送时钟发送发送数据。

8. 根据权利要求 1 所述的半导体器件, 其中

所述振荡器包括反馈环, 所述反馈环基于基准时钟的频率来产生所述发送时钟并反馈所述发送时钟, 并且

所述反馈环包括分频器, 且所述频率调节信号被输入至所述分频器。

9. 根据权利要求 8 所述的半导体器件, 其中所述基准时钟从陶瓷谐振器输出或从能够控制其振荡频率的可变频率振荡器输出。

半导体器件

[0001] 相关申请交叉引用

[0002] 本申请基于 2010 年 8 月 27 日提交的日本专利申请 No. 2010-190686 提出并要求其优先权,通过引用将其全部内容并入本文。

技术领域

[0003] 本发明涉及一种半导体器件,具体涉及一种包括时钟和数据恢复电路以及振荡电路的半导体器件,该时钟和数据恢复电路从外部提供的输入信号提取数据,且该振荡电路产生提供给时钟和数据恢复电路的时钟信号。

背景技术

[0004] 近年来,半导体器件之间的通信速度已经得到了提高。对于通信方法而言,已经采用了并行数据传送方法和串行数据传送方法。但是,近年来认为就增加数据传送速率而言,串行数据传送方法优于并行数据传送方法。因此,串行数据传送方法已被更广泛地应用。

[0005] 在串行数据传送方法中,通过利用发送时钟来调制数据信号并传送为串行数据。随后,接收器电路从串行数据中提取采样时钟以及数据信号。时钟和数据恢复电路用于采样时钟和数据信号的提取。

[0006] 此外,在串行数据传送方法中产生高精度时钟作为发送时钟很重要。通常,这种高精度时钟利用石英谐振器产生。但石英谐振器非常昂贵。因此,这就成为系统成本高的原因之一。因此,日本未审专利申请公开 No. 2007-135189 公开了一种技术,其利用比石英谐振器的精度低的谐振器产生高精度发送时钟。此外,已公布的、PCT 国际申请的日本国家阶段专利申请 No. 2008-535387 公开了一种控制时钟信号频率的技术,该时钟信号基于从所接收的信号获得的信息而产生于接收器侧,虽然其目的并不在于产生发送时钟。以下说明日本未审专利申请公开 No. 2007-135189 中公开的技术。

[0007] 首先,图 7 示出日本未审专利申请公开 No. 2007-135189 中公开的通信系统 100 的框图。如图 7 中所示,通信系统 100 包括器件 101 和主机 102。器件 101 和主机 102 包括它们各自的发送/接收电路。在图 7 中,仅示出器件 101 的发送/接收电路。器件 101 从主机 102 接收信号 RX。而且,器件 101 将信号 TX 发送至主机 102。主机 102 通过利用由石英谐振器等制成的基准信号发生源 120 产生基准时钟,并基于该基准时钟进行操作。同时,器件 101 通过利用由陶瓷谐振器制成的基准信号发生源 103 产生基准时钟,并基于该基准时钟进行操作。

[0008] 注意到,器件 101 包括同步建立单元 111、频率误差检测器 112、频率发生器 113 以及串行器 114。同步建立单元 111 接收由器件 101 接收的信号 RX,并从该信号 RX 中提取时钟和数据。随后,同步建立单元 111 输出提取的时钟作为接收信号 RS 并输出提取的数据作为同步建立信号 SCS。而且,同步建立单元 111 基于时钟将数据转换为并行信号,并输出该并行信号作为接收数据 DT。频率误差检测器 112 接收该接收信号 RS、同步建立信号 SCS、基准时钟 F_{ref} 以及发送信号 TS。随后,频率误差检测器 112 检测接收信号 RS 和发送信号 TS

之间的频率差,并由此输出频率调节信号 FCS。频率发生器 113 输出发送信号 TS,该发送信号 TS 的频率基于频率调节信号 FCS 和基准时钟 Fref 来确定。串行器 114 接收发送信号 TS 以及发送数据 DR 并输出信号 TX。

[0009] 注意到,通过器件 101 从信号 RX 中提取出的接收信号 RS 的频率与主机 102 中产生的高精度时钟的频率相同。在器件 101 中,发送信号 TS 基于该接收信号 RS 而产生。即,通过利用器件 101 中具有低精度的谐振器能够产生高精度时钟。

发明内容

[0010] 本申请发明人已经发现如下问题。在器件 101 中,接收信号 RS 和发送信号 TS 之间的相位差通过模拟处理来计算。因此,日本未审专利申请公开 No. 2007-135189 存在的问题是发送信号 TS 的频率误差检测需要很长时间。例如,假设发送信号 TS 为 1.5GHz,那么就需要计数接收信号 RS 至少 3000 次才能检测到 333ppm 的误差。

[0011] 如上所述,在器件 101 中存在不能产生高精度时钟信号的问题。而高精度时钟信号对于高速串行通信来说是必不可少的。此外,为了提高通信速度超过当前使用的通信速度,需要提高时钟信号的频率,从而更进一步提高其精度。因此,上述问题变得更加严重。

[0012] 本发明第一方面是一种半导体器件,其包括:时钟和数据恢复电路,该时钟和数据恢复电路包括相位跟踪环,其产生指示同步时钟和输入信号之间相位超前或相位延迟的相位差信号,并使同步时钟的相位跟踪输入信号的相位,该时钟和数据恢复电路还包括频率跟踪环,其执行控制以使同步时钟的频率跟踪输入信号的频率,该时钟和数据恢复电路被构造为从输入信号提取数据信号以及对应于该数据信号的采样时钟;频率误差调节器,其基于频率差信号来增大或减小由频率调节信号所指示的值,该频率差信号基于频率跟踪环中的相位差信号而产生;以及振荡器,其基于由频率调节信号所指示的值来提高或降低发送时钟的频率。

[0013] 根据本发明示例性方面的半导体器件,在时钟和数据恢复电路中将同步时钟的相位与输入信号的相位进行比较,且基于相位比较结果控制发送时钟的频率。结果,根据本发明示例性方面的半导体器件可在非常短的时间内执行发送时钟的频率校正。

[0014] 根据本发明示例性方面的半导体器件,能够从具有低精度的谐振器产生的时钟信号中产生具有高频率的高精度时钟信号。

附图说明

[0015] 从下面结合附图对某些实施例的描述将使上述和其他方面、优点以及特征变得显而易见,在附图中:

[0016] 图 1 是根据本发明的一个实施例的半导体器件的框图;

[0017] 图 2 是根据一个实施例的数字 CDR、频率误差调节器以及同步时钟的时钟发生电路的框图;

[0018] 图 3 是根据一个实施例的半导体器件的相位检测器的框图;

[0019] 图 4 是根据一个实施例的半导体器件的第二积分器以及模式发生器的框图;

[0020] 图 5 是根据另一实施例的数字 CDR、频率误差调节器以及同步时钟的时钟发生电路的框图;

[0021] 图 6 是根据另一实施例的数字 CDR、频率误差调节器以及同步时钟的时钟发生电路的框图 ;以及

[0022] 图 7 是日本未审专利申请公开 No. 2007-135189 中公开的通信系统的框图。

具体实施方式

[0023] 第一实施例

[0024] 以下参考附图说明本发明的实施例。图 1 示出根据本发明的一个实施例的半导体器件 1 的框图。如图 1 中所示,半导体器件 1 包括接收器电路 10、基准信号发生器 11、PLL(锁相环)电路 12、时钟和数据恢复电路(例如数字 CDR)13、频率误差调节器 14、解串器 15、串行器 16 以及发送器电路 17。半导体器件 1 包括发送 / 接收电路和其他处理电路(未示出)。在图 1 所示的示例中,接收器电路 10、数字 CDR 13 以及解串器 15 构成接收侧的电路,而串行器 16 和发送器电路 17 构成发送侧的电路。

[0025] 基准信号发生器 11 构成具有在外部提供的陶瓷谐振器的振荡器电路,且基于陶瓷谐振器产生的振荡信号 OSC 来产生基准时钟 Fsrc。陶瓷谐振器与石英谐振器相比具有更大的偏差,但比石英谐振器便宜。

[0026] PLL 电路 12 基于基准时钟 Fsrc 产生发送时钟 CLK。在本实施例中,PLL 电路 12 通过基于频率调节信号 Fadj 执行基准时钟 Fsrc 的倍频而产生发送时钟 CLK。

[0027] 接收器电路 10 用作输入缓冲器。即,接收器电路 10 接收接收信号 RXin 并将所接收的信号发送至后续的电路。接收器电路 10 可包括均衡器电路,其校正发送路径的频率特性。

[0028] 在本实施例中,数字 CDR 用作时钟和数据恢复电路 13。数字 CDR13 由处理二进制信息的(多个)逻辑电路构成,并输出通过使用二进制值而指示信息的数字信号作为输出信号。数字 CDR 13 产生相位差信号,该相位差信号指示由发送时钟 CLK 产生的接收时钟 RCLK 与输入信号 RD 之间的相位超前或相位延迟。而且,数字 CDR 13 包括相位跟踪环,其执行控制以使接收时钟 RCLK 的相位跟踪输入信号 RD 的相位,并且数字 CDR 13 还包括频率跟踪环,其执行控制以使接收时钟 RCLK 的频率跟踪输入信号 RD 的频率。而且,数字 CDR 13 从输入信号 RD 提取数据信号 Sout 以及对应于该数据信号 Sout 的同步时钟 SCLK,并控制接收时钟 RCLK 的相位和频率。

[0029] 频率误差调节器 14 根据频率误差信号 FP 产生频率调节信号 Fadj,该频率差信号 FP 基于数字 CDR 13 中的频率跟踪环中的相位差信号而产生。而且,频率误差调节器 14 根据频率差信号 FP 增大或减小由频率调节信号 Fadj 所指示的值。数字 CDR 13、频率误差调节器 14 以及 PLL 电路 12 的细节将在后文说明。

[0030] 解串器 15 基于同步时钟 SCLK 将以串行数据的形式输入的数据信号 Sout 转换为并行数据。在图 1 中,以并行数据的形式输出的经转换的数据信号被表示为“Pout”。

[0031] 串行器 16 基于发送时钟 CLK 将以并行数据的形式提供的的数据信号 Pin 转换为串行数据。在图 1 中,串行数据信号表示为“TD”。发送器电路 17 是输出缓冲器。在功率方面发送器电路 17 放大数据信号 TD,并将该放大的信号作为发送信号 TXout 输出。

[0032] 根据本实施例的半导体器件 1 通过利用与发送时钟同步的数据信号执行通信。注意到,如果将单个频率用作发送时钟,则不希望的辐射的峰将变得更大,且由此恶化

EMI (电磁干扰) 特性。因此,根据本实施例的半导体器件 1 被构造为使得能够通过利用扩频时钟作为发送时钟而接收数据信号。因此,半导体器件 1 中的数字 CDR 13 需使同步时钟的频率跟踪由于扩频而变化的频率。数字 CDR 13 包括频率跟踪环以执行频率跟踪操作。此外,在半导体器件 1 中,通过基于在该数字 CDR 13 中产生的信号控制 PLL 电路 12 来控制发送时钟 CLK 的频率。

[0033] 以下以更加详细的方式具体地说明半导体器件 1 的部件中的数字 CDR 13、频率误差调节器 14 以及 PLL 电路 12。图 2 示出数字 CDR 13、频率误差调节器 14 以及 PLL 电路 12 的框图。

[0034] 数字 CDR 13 包括相位检测器 21、第一积分器 22、第二积分器 23、模式发生器 24、混频器 25 以及相位内插器 26。在数字 CDR 13 中,相位检测器 21、第一积分器 22、混频器 25 以及相位内插器 26 构成相位跟踪环。在数字 CDR 13 中,相位检测器 21、第一积分器 22、第二积分器 23、模式发生器 24、混频器 25 以及相位内插器 26 构成频率跟踪环。此外,在半导体器件 1 中,第二积分器 23 的输出用作频率差信号 FP。

[0035] 相位检测器 21 检测接收时钟 RCLK 与输入信号 RD 之间的相位差,并更新由相位差信号所指示的极性值。此外,相位检测器 21 输出接收时钟 RCLK 作为同步时钟 SCLK,并从输入信号 RD 中提取数据信号 Sout。更具体来说,用作同步时钟 SCLK 的接收时钟 RCLK 输入到相位检测器 21。该接收时钟 RCLK 包括第一接收时钟 RCLK1 和第二接收时钟 RCLK3。第二接收时钟 RCLK3 的相位与第一接收时钟 RCLK1 的相位差 180 度。相位检测器 21 输出上升信号 UP1 和下降信号 DOWN1 作为相位差信号。当同步时钟 SCLK (例如第一接收时钟 RCLK1) 的相位延迟于输入信号 RD 的相位时,相位检测器 21 将上升信号 UP1 置为第一逻辑电平 (例如高电平) 并将下降信号 DOWN1 置为第二逻辑电平 (例如低电平)。另一方面,当同步时钟 SCLK 的相位超前于输入信号 RD 的相位时,相位检测器 21 将上升信号 UP1 置为低电平且将下降信号 DOWN1 置为高电平。

[0036] 图 3 示出相位检测器 21 的框图。如图 3 中所示,相位检测器 21 仅由 (多个) 逻辑电路构成。图 3 示出一种构造的示例,其中利用具有 1.5GHz 频率的二相时钟接收 1.5Gbps 的数据。相位检测器 21 包括第一触发器 41、第二触发器 42、第三触发器 43、锁存器 44、第一异或电路 (XOR) 45、第二异或电路 (XOR) 46、第一数据分配器 (DEMUX 电路) 47、第二数据分配器 (DEMUX 电路) 48、第一或 (OR) 电路 49、第二或 (OR) 电路 50、第一反相器 51、第二反相器 52、第一与 (AND) 电路 53 以及第二与 (AND) 电路 54。

[0037] 第一触发器 41 分别在数据输入端和时钟端接收输入信号 RD 和接收时钟 RCLK1。第一触发器 41 是沿触发的触发器。第二触发器 42 分别在数据输入端和时钟端接收输入信号 RD 和与接收时钟 RCLK1 的相位相反的接收时钟 RCLK3。第三触发器 43 分别在数据输入端和时钟端接收第一触发器 41 的输出 q1 和接收时钟 RCLK1。锁存器 44 分别在数据输入端和时钟端接收第二触发器 42 的输出 q3 和接收时钟 RCLK1。锁存器 44 是贯通锁存器 (through latch)。

[0038] 第一异或电路 (XOR) 45 接收第一触发器 41 的输出 q1 以及锁存器 44 的输出 q31。第二异或电路 (XOR) 46 接收第三触发器 43 的输出 q11 以及锁存器 44 的输出 q31。第一和第二数据分配器 (DEMUX 电路) 47 和 48 分别接收串行格式的、第一和第二异或电路 (XOR) 45 和 46 的输出,并将它们以并行格式输出。第一或电路 49 获取第一数据分配器 47 的输出的

逻辑和。第二或电路 50 获取第二数据分配器 48 的输出的逻辑和。第一反相器 51 输出第一或电路 49 的输出的反相值。第二反相器 52 输出第二或电路 50 的输出的反相值。第一与电路 53 获取第一或电路 49 的输出与第二或电路 50 的输出的反相值（其通过反相器 52 输出）的逻辑乘积。第二与电路 54 获取第二或电路 50 的输出与第一或电路 49 的输出的反相值的逻辑乘积。第一触发器 41 的输出也输出作为数据信号 Sout。此外，接收时钟 RCLK1 也输出作为同步时钟 SCLK。

[0039] 通过上述构造，当发现输入信号 RD 的发送时序在接收时钟 RCLK1 的上升沿和接收时钟 RCLK3 的上升时序之间时，相位检测器 21 将上升信号 UP1 置为高电平，且将下降信号 DOWN1 置为低电平。另一方面，当发现输入信号 RD 的发送时序在接收时钟 RCLK3 的上升沿和接收时钟 RCLK1 的上升时序之间时，相位检测器 21 将上升信号 UP1 置为低电平，且将下降信号 DOWN1 置为高电平。此外，当数据分配器的每一个具有双并行输出时，提供给连接于相位检测器 21 后续级的电路的时钟（未示出）具有提供给相位检测器 21 的接收时钟的频率的一半的频率。

[0040] 接下来说明连接于相位检测器 21 后续级的电路。第一积分器 22 基于相位差信号（例如上升信号 UP1 和下降信号 DOWN1）来增加或减少第一计数值，并在第一计数值达到预定值时输出上升信号 UP2 或下降信号 DOWN2。即，第一积分器 22 对由相位差信号所指示的极性值进行积分。注意到，上升信号 UP2 和下降信号 DOWN2 也可分别称为“第一上升信号”和“第一下降信号”。

[0041] 具体来说，可逆计数器用作第一积分器 22。在该第一积分器 22 中设定上限计数值和下限计数值。此外，当上升信号 UP1 为高电平时，第一积分器 22 根据时钟来增加第一计数值。另一方面，当下降信号 DOWN1 为高电平时，第一积分器 22 根据时钟来减少第一计数值。随后，当第一计数值达到上限计数值时，第一积分器 22 将上升信号 UP2 置为高电平，而当第一计数值达到下限计数值时，第一积分器 22 将下降信号 DOWN2 置为高电平。

[0042] 第二积分器 23 基于上升信号 UP2 和下降信号 DOWN2 来增加或减少计数值，并输出计数值作为频率差信号 FP。更具体来说，第二积分器 23 由可逆计数器构成。当上升信号 UP2 处于高电平时，第二积分器 23 根据时钟来增加第二计数值。另一方面，当下降信号 DOWN2 处于高电平时，第二积分器 23 根据时钟来减少第二计数值。此外，第二积分器 23 输出第二计数值作为频率差信号 FP。注意到，根据本实施例的第二积分器 23 具有如下构造：第二积分器 23 通过对上升信号 UP2 和下降信号 DOWN2 积分来产生中间频率差信号，并基于该中间频率差信号来增加或减少第二计数值。

[0043] 模式发生器 24 基于频率差信号 FP 以预定间隔产生上升信号 UP3 和下降信号 DOWN3。上升信号 UP3 和下降信号 DOWN3 也可分别称为“第二上升信号”和“第二下降信号”。

[0044] 图 4 示出第二积分器 23 和模式发生器 24 的详细框图。以下参考图 4 说明第二积分器 23 和模式发生器 24 的细节。如图 4 中所示，第二积分器 23 包括可逆计数器 61 和可逆计数器 62。此外，模式发生器 24 包括计数器 63 和解码器 64。

[0045] 在可逆计数器 61 中设定上限计数值和下限计数值。此外，当上升信号 UP2 处于高电平时，可逆计数器 61 根据时钟来增大积分值。另一方面，当下降信号 DOWN2 处于高电平时，可逆计数器 61 根据时钟来减小积分值。随后，当积分值达到上限计数值时，可逆计数器 61 将上升信号 UP2a 置为高电平，而当积分值达到下限计数值时，可逆计数器 61 将下降信号

DOWN2a 置为高电平。

[0046] 当可逆计数器 62 具有五位计数宽度时,其输出 -31 至 $+31$ 的值作为第二计数值。该第二计数值用作频率差信号 FP。当上升信号 UP2a 处于高电平时,可逆计数器 62 根据时钟来增加第二计数值。另一方面,当下降信号 DOWN2a 处于高电平时,可逆计数器 62 根据时钟来减少第二计数值。

[0047] 计数器 63 计数时钟。当计数器 63 具有五位计数宽度时,其输出 0 至 31 的值作为计数值。注意到,计数器 63 以循环方式从 0 至 31 计数。

[0048] 解码器 64 基于由频率差信号 FP 所指示的值以及从计数器 63 输出的计数值来确定上升信号 UP3 和下降信号 DOWN3 的逻辑值。这表明“上升信号 UP2a = 1”或“下降信号 DOWN2a = 1”连续重复的状态的次数越多,则输入信号 RD 和发送时钟 CLK 之间的频率差越大。解码器 64 基于频率差信号 FP 和计数器 63 的计数值而在与输入信号 RD 和发送时钟 CLK 之间的频率差成比例的周期中输出“UP3 = 1”或“DOWN3 = 1”。例如,根据真值表执行上述过程,该真值表列出对应计数器 63 的计数值和频率差信号 FP 的组合的输出值 (UP3/DOWN3)。

[0049] 混频器 25 基于上升信号 UP2 和下降信号 DOWN2 以及上升信号 UP3 和下降信号 DOWN3 来产生相位选择信号。该相位选择信号由上升信号 UP4 和下降信号 DOWN4 构成。相位内插器 26 内插发送时钟的相位,并由此输出对应于由相位选择信号指定的相位的时钟信号作为接收时钟 RCLK。注意到,因为在本实施例中,相位检测器 21 使用两个彼此间相位相差 180 度的时钟信号作为接收时钟,所以由相位内插器 26 输出的接收时钟 RCLK 包括两个信号。但是,作为接收时钟 RCLK 输出的时钟信号的数量及其相位差可以根据相位检测器 21 的构造而改变。

[0050] 接下来,以下说明频率误差调节器 14。如图 2 中所示,频率误差调节器 14 包括加法器 31、延迟电路 32 和乘法器 33。加法器 31 将由延迟电路 32 的输出所指示的值与由频率差信号 FP 所指示的值相加,并输出结果值。延迟电路 31 保持加法器 31 的输出信号,并在延迟该信号一个时钟之后将该保持的信号输出到加法器 31。乘法器 33 将由加法器 31 的输出信号所指示的值与由外部提供的增益信号所指示的值相乘,并由此调节加法器 31 的输出信号和发送时钟的频率校正程度之间的关系。乘法器 33 的输出信号作为频率调节信号 Fadj。即,频率误差调节器 14 通过从操作开始时对由频率差信号 FP 所指示的值进行积分来增大或减小由频率调节信号 Fadj 所指示的值。

[0051] PLL 电路 12 包括反馈电路,并利用反馈电路通过执行基准时钟 Fsrc 的倍频来产生发送时钟 CLK。随后,PLL 电路 12 根据频率调节信号 Fadj 通过调节反馈电路中提供的分频器的分频比来控制发送时钟 CLK 的频率。

[0052] 接下来,以下说明图 2 中所示的数字 CDR 13、频率误差调节器 14 以及 PLL 电路 12 的操作。在数字 CDR 13 中,相位检测器 21 将输入信号 RD 的相位与接收时钟 RCLK 的相位作比较。接收时钟 RCLK 包括多个时钟信号,且这多个时钟信号之一用作同步时钟 SCLK。随后,相位检测器 21 输出上升信号 UP1 和下降信号 DOWN1,它们指示同步时钟 SCLK 相对于输入信号 RD 是延迟还是超前。

[0053] 第一积分器 22 对上升信号 UP1 和下降信号 DOWN1 求平均。随后,第一积分器 22 基于求平均处理输出上升信号 UP2 和下降信号 DOWN2。上升信号 UP2 和下降信号 DOWN2 输

入到混频器 25。混频器 25 基于上升信号 UP2 和下降信号 DOWN2 控制上升信号 UP4 和下降信号 DOWN4, 且由此校正接收时钟 RCLK 的相位。以这种方式, 数字 CDR 13 执行相位控制, 以便接收时钟 RCLK 的相位更接近于输入信号 RD 的相位。

[0054] 此外, 当输入信号 RD 的频率与接收时钟 RCLK 的频率不同时, 即当输入信号 RD 的频率与发送时钟 CLK 的频率不同时, 数字 CDR 13 通过利用频率差信号 FP 补偿该频率差。

[0055] 首先, 当输入信号 RD 的频率低于接收时钟 RCLK 的频率时, 数字 CDR 13 通过相位内插器 26 的时钟选择方法来降低接收时钟 RCLK 的频率。此外, 频率误差调节器 14 和 PLL 电路 12 根据数字 CDR 13 输出的频率差信号 FP 来降低发送时钟 CLK 的频率。

[0056] 在此情况下, 相位检测器 21 检测到接收时钟 RCLK 的相位超前于输入信号 RD 的相位, 且由此将下降信号 DOWN1 置为高电平。随后, 响应于下降信号 DOWN1 的连续, 第一积分器 22 将下降信号 DOWN2 置为高电平。相位内插器 26 基于该下降信号 DOWN2 延迟接收时钟 RCLK 的相位。但是, 如果尽管执行该相位控制处理但下降信号 DOWN1 未变成低电平, 则下降信号 DOWN2 处于高电平的时段将变得甚至更长。结果, 由第二积分器 23 产生的频率差信号 FP 所指示的值将减小。

[0057] 随着由频率差信号 FP 所指示的值变得更小, 模式发生器 24 增大将下降信号 DOWN3 置为高电平的周期。另一方面, 随着由频率差信号 FP 所指示的值变得更大, 模式发生器 24 增大将上升信号 UP3 置为高电平的周期。即, 在相位检测器 21 中下降信号 DOWN1 置为高电平的时段越长, 则由模式发生器 24 输出的下降信号 DOWN3 置为高电平的时段变得越长。随后, 当下降信号 DOWN2 和下降信号 DOWN3 都变为高电平时, 混频器 25 将下降信号 DOWN4 置为高电平。结果, 实质上降低了由相位内插器 26 输出的接收时钟 RCLK 的频率。随后, 随着接收时钟 RCLK 的频率更接近 (或变成等于) 输入信号 RD 的频率, 则从相位检测器 21 输出的上升信号 UP1 和下降信号 DOWN1 的高电平时段变得基本上彼此相等, 由此使接收时钟 RCLK 的频率稳定。

[0058] 此外, 当频率差信号 FP 变得更小时, 由频率误差调节器 14 产生的频率调节信号 Fadj 所指示的值也变得更小。结果, PLL 电路 12 降低 PLL 电路 12 中的分频器的分频比, 由此降低发送时钟 CLK 的频率。随着发送时钟 CLK 频率的降低, 从通过对发送时钟 CLK 执行内插而获得的信号中产生的接收时钟 RCLK 的频率也将降低。

[0059] 另一方面, 当输入信号 RD 的频率高于接收时钟 RCLK 的频率时, 相位检测器 21 检测到接收时钟 RCLK 的相位延迟于输入信号 RD 的相位, 且由此将上升信号 UP1 置为高电平。随后, 响应于上升信号 UP1 的连续, 第一积分器 22 将上升信号 UP2 置为高电平。相位内插器 26 基于该上升信号 UP2 提前接收时钟 RCLK 的相位。但是, 如果尽管执行该相位控制处理但上升信号 UP1 未变成低电平, 则上升信号 UP2 处于高电平的时段将变得更长。结果, 由第二积分器 23 产生的频率差信号 FP 所指示的值将增大。

[0060] 随着频率差信号 FP 的值变得更大, 模式发生器 24 延长将上升信号 UP3 置为高电平的时段。随后, 当上升信号 UP2 和上升信号 UP3 都变为高电平时, 混频器 25 将上升信号 UP4 置为高电平。结果, 实质上提高了由相位内插器 26 输出的接收时钟 RCLK 的频率。随后, 随着接收时钟 RCLK 的频率更接近 (或变成等于) 输入信号 RD 的频率, 则从相位检测器 21 输出的上升信号 UP1 和下降信号 DOWN1 的高电平时段变得基本上彼此相等, 由此使接收时钟 RCLK 的频率稳定。

[0061] 此外,当频率差信号 FP 变得更大时,由频率误差调节器 14 产生的频率调节信号 Fadj 所指示的值也变得更大。结果,PLL 电路 12 提高 PLL 电路 12 中的分频器的分频比,由此提高发送时钟 CLK 的频率。随着发送时钟 CLK 频率的提高,从通过对发送时钟 CLK 执行内插而获得的信号中产生的接收时钟 RCLK 的频率也将提高。

[0062] 如上所述,在半导体器件 1 中,通过在数字 CDR 13 中对发送时钟 CLK 执行相位内插而产生接收时钟 RCLK。随后,数字 CDR 13 产生频率差信号 FP,在该频率差信号 FP 上从输入信号 RD 和接收时钟 RCLK 之间的相位差来反映输入信号 RD 和发送时钟 CLK 之间的频率差。因此,半导体器件 1 可较早检测到频率偏差,且由此提高发送时钟 CLK 的频率跟踪能力。

[0063] 在图 7 所示的相关技术示例中,例如,在 1.5GHz 的输入信号 RD 的情况下,需要 3000 个时钟周期 (2nsec) 来检测 333ppm 的误差。相比之下,在半导体器件 1 中,假设相位内插器 26 的相位内插数是 64,则可在 47 个时钟周期 (3000 个时钟周期的六十四分之一) 中检测到 333ppm 的误差。

[0064] 此外,在根据本发明的该实施例的半导体器件 1 中,由数字 CDR13 产生的频率差信号 FP 在频率环路中产生,该频率环路最初提供用于由数字 CDR 13 执行的接收时钟 RCLK 的频率控制。即,在半导体器件 1 中,无需加入任何额外的电路以产生频率差信号 FP,且由此将电路面积增加最小化。

[0065] 此外,在根据本实施例的半导体器件 1 中,即使基准时钟 Fsrc 由诸如陶瓷谐振器的具有低精度的谐振器件产生,也能基于包含了高精度时钟信息的输入信号 RD 从基准时钟 Fsrc 中产生高精度发送时钟 CLK。

[0066] 此外,在根据本实施例的半导体器件 1 中,相位检测器 21 仅由 (多个) 逻辑电路构成。而且,相位检测器 21 通过数字处理来检测输入信号 RD 和接收时钟 RCLK 之间的相位差。注意到,在具有相位内插器的时钟和数据恢复电路中,通常利用数字信号控制相位内插器。因此,当输入信号 RD 和接收时钟 RCLK 之间的相位差通过模拟处理来检测时,可能会需要将检测的值转换为数字值 (模数转换处理)。这种模数转换处理通常并不适用于高速处理。即,在通过模拟处理检测相位差的检测方法中,难以基于高频输入信号 RD 来控制发送时钟 CLK 的频率。串行数据通信的速度正在逐年递增。因此,在这种应用中,以高速检测相位差并对检测到的相位差执行反馈处理十分重要。

[0067] 第二实施例

[0068] 作为另一实施例,说明数字 CDR 13 的改进示例。图 5 示出作为数字 CDR 13 的改进示例的数字 CDR 13a。图 5 示出对应于图 2 的框图。如图 5 中所示,数字 CDR 13a 包括替代第一积分器 22 的第一积分器 22a。在该第一积分器 22a 中,根据最大值控制信号来设定上限计数值和下限计数值。该最大值控制信号由其他电路 (未示出) 提供。

[0069] 最大值控制信号用于在操作开始时将上限计数值和下限计数值的绝对值设置为较小值。随后,当发送时钟 CLK 的频率稳定时,最大值控制信号用于将上限计数值和下限计数值设定为如下值,处于这些值时接收信号 RXin 对抖动具有增大的容差。

[0070] 数字 CDR 13a 通过利用最大值控制信号来控制第一积分器 22a 的上限计数值和下限计数值,使得在操作开始时增大频率差信号 FP 的更新周期。即,可更快速地执行基于频率差信号 FP 控制频率的发送时钟 CLK 的频率控制,由此减小使发送时钟 CLK 的频率收敛所

需的时间。此外,在发送时钟 CLK 稳定后,将上限计数值和下限计数值设定为适当值,以便接收信号 RXin 对抖动具有提高的容差。

[0071] 第三实施例

[0072] 作为另一实施例,说明频率误差调节器 14 的改进示例。图 6 示出作为频率误差调节器 14 的改进示例的频率误差调节器 14a。图 6 示出对应于图 2 的框图。如图 6 中所示,频率误差调节器 14a 包括频率误差调节器 14 和保持电路 34。即,通过将保持电路 34 添加到频率误差调节器 14 而获得频率误差调节器 14a。

[0073] 当发送时钟 CLK 的频率稳定时,变为使能状态的负载信号从其他电路(未示出)输入至保持电路 34。保持电路 34 在负载信号变为使能状态时保持频率调节信号 Fadj 的值作为频率调节值。随后,在下一次启动时,保持电路 34 将保持的频率调节值提供给频率误差调节器 14 的延迟电路 32 作为频率调节初始值。以此方式,频率误差调节器 14a 可从操作开始就输出优化的频率调节信号 Fadj,由此减小发送时钟 CLK 收敛所需的时间。

[0074] 虽然已经就一些实施例描述了本发明,但本领域技术人员将认识到在所附权利要求的精神和范围内能够以各种修改来实施本发明,且本发明并不限于上述示例。

[0075] 而且,权利要求的范围不受上述实施例的限制。本领域技术人员可根据需要来组合第一至第三实施例。此外,例如频率差信号 FP 可以是同时指示频率差的幅度和极性值的值,或可以是仅指示极性值的值。当频率差信号 FP 仅指示频率差的极性值时,优选使用根据极性值递增(例如以一递增)或递减(例如以一递减)的加法器作为频率误差调节器 14 的加法器 31。

[0076] 而且,注意到,即使可能在专利申请过程中进行后续修改,但申请人的意图是涵盖所有要求保护的元素的等同。

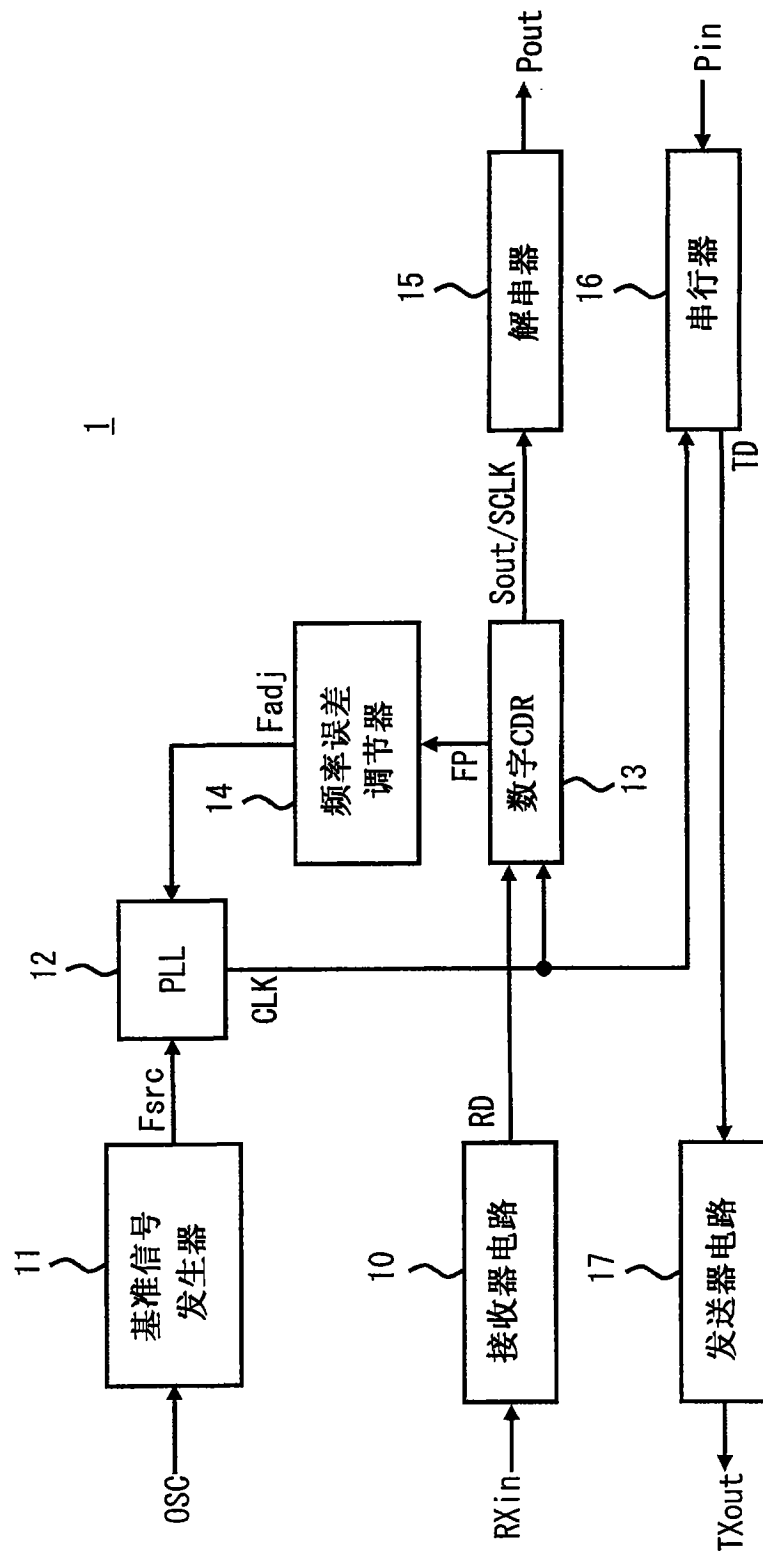


图 1

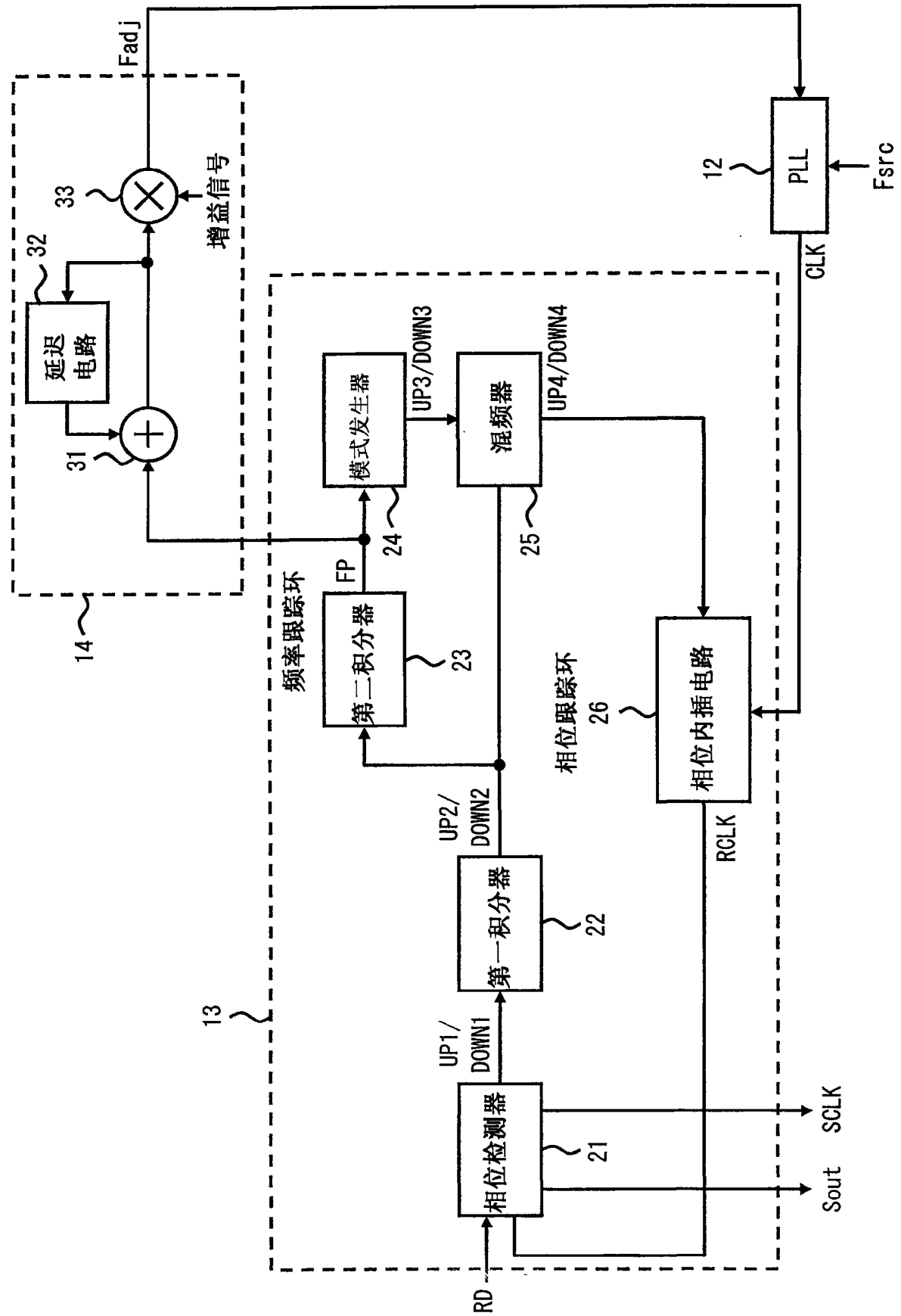


图 2

21

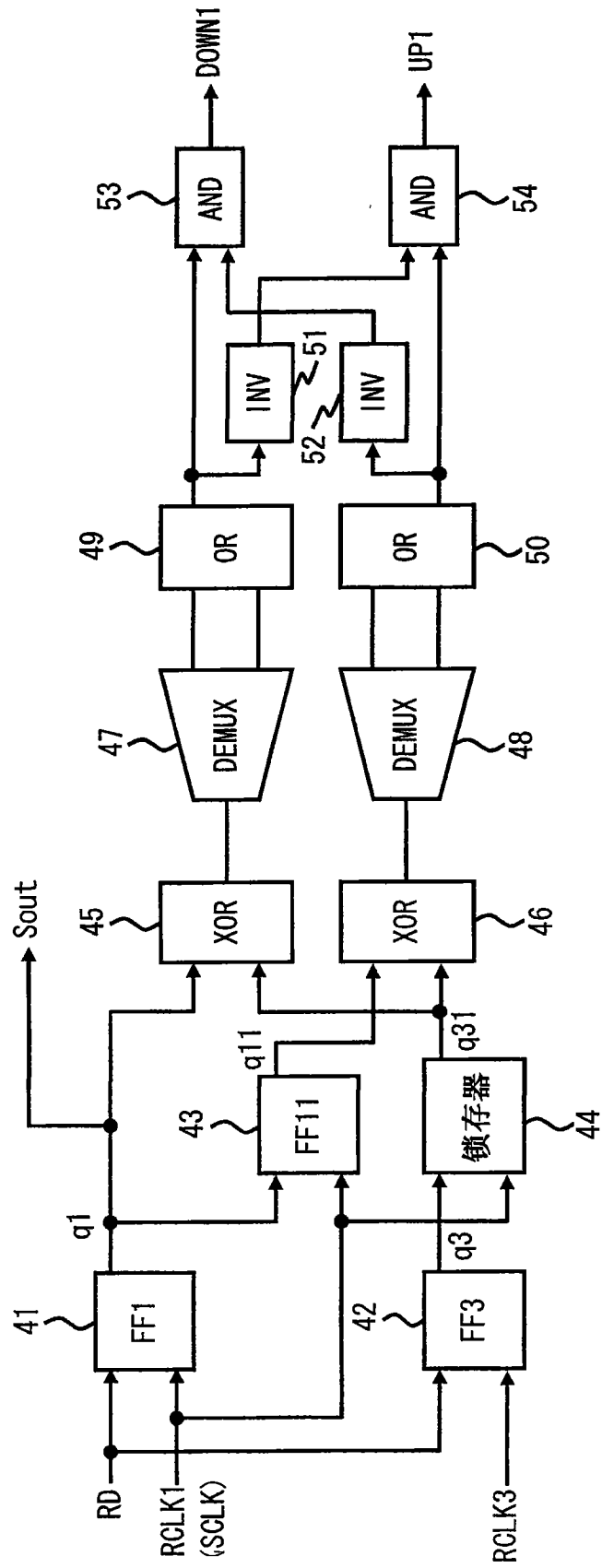


图 3

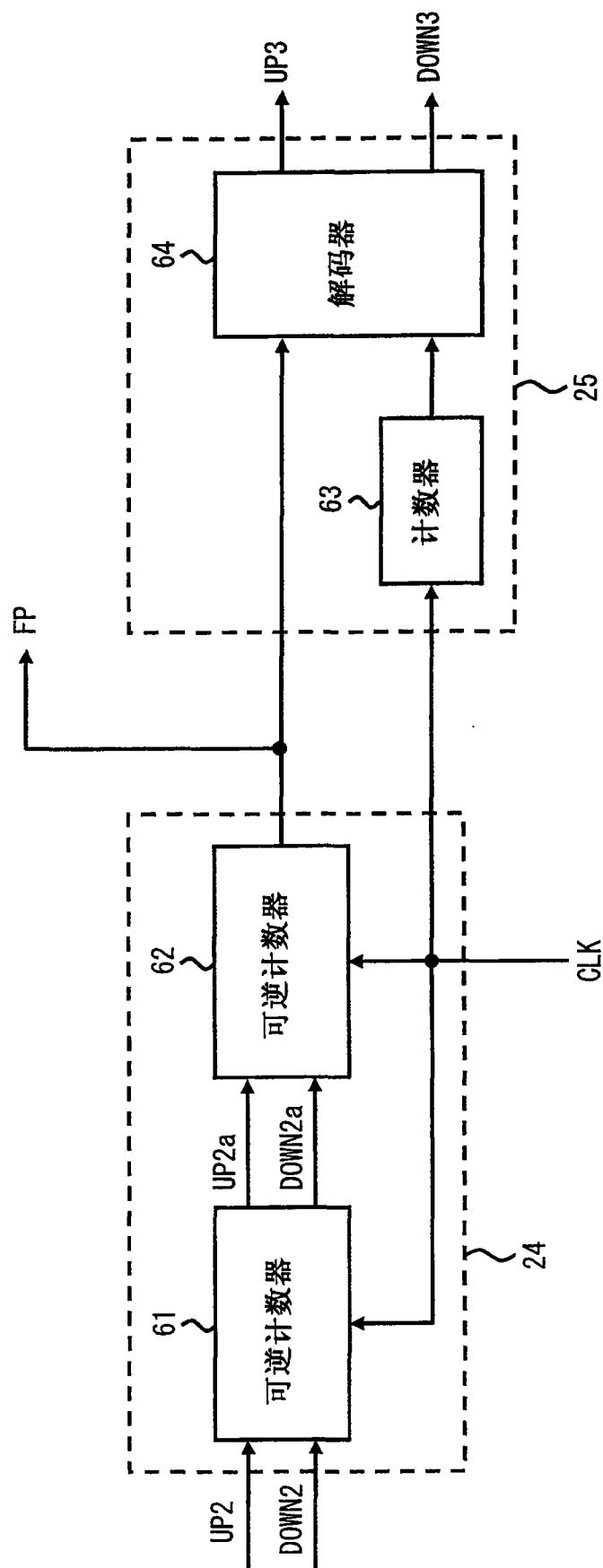


图 4

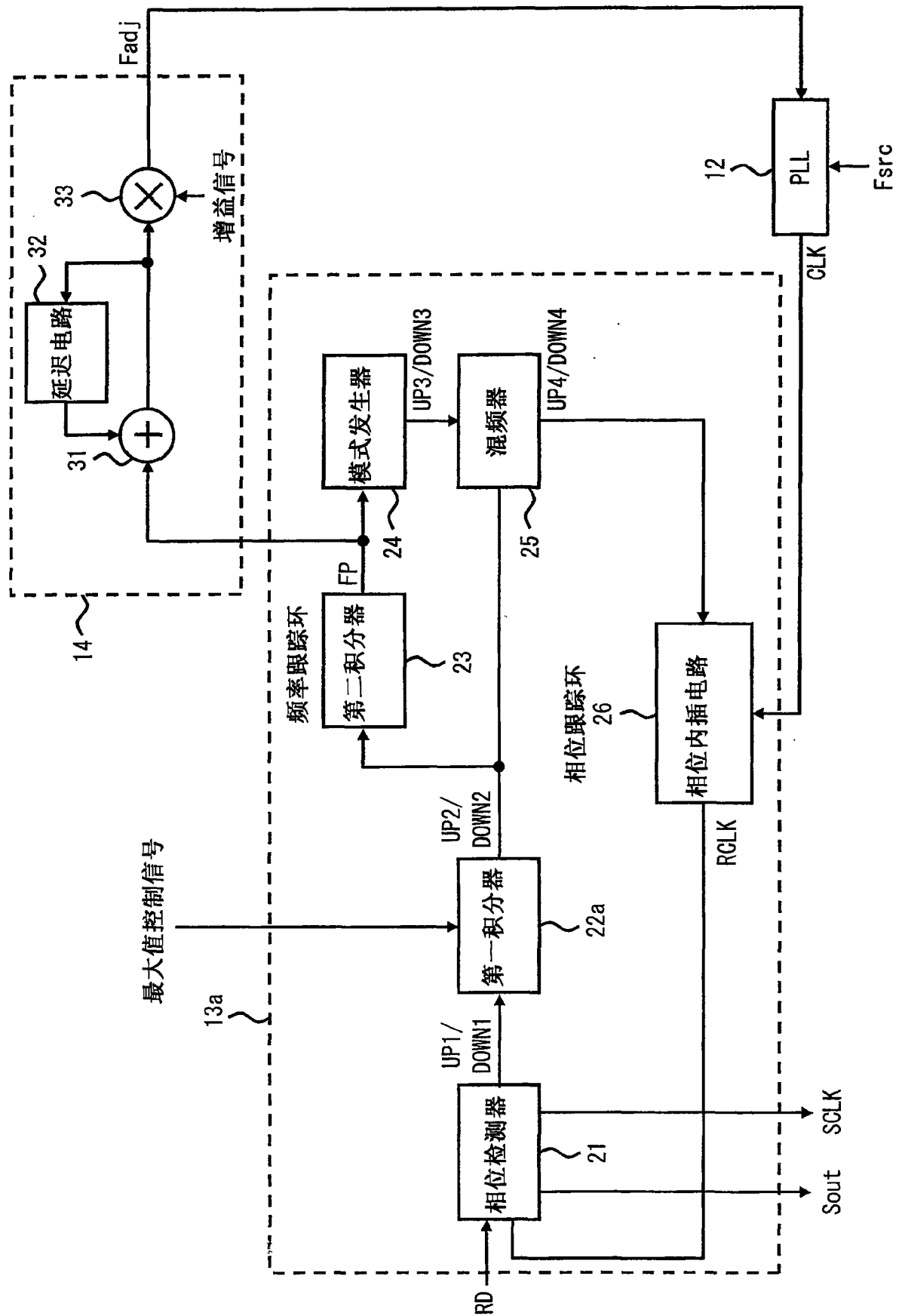


图 5

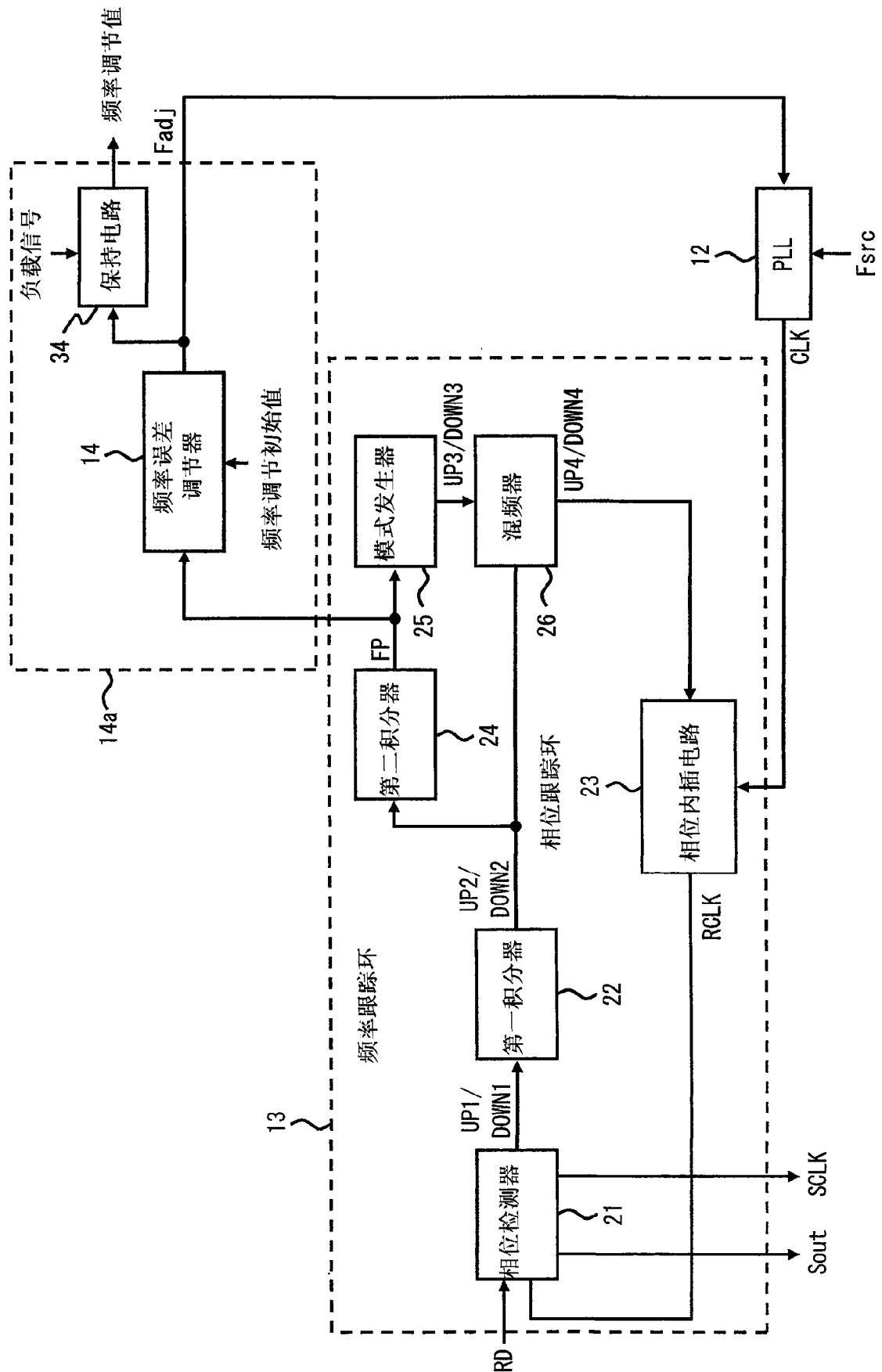


图 6

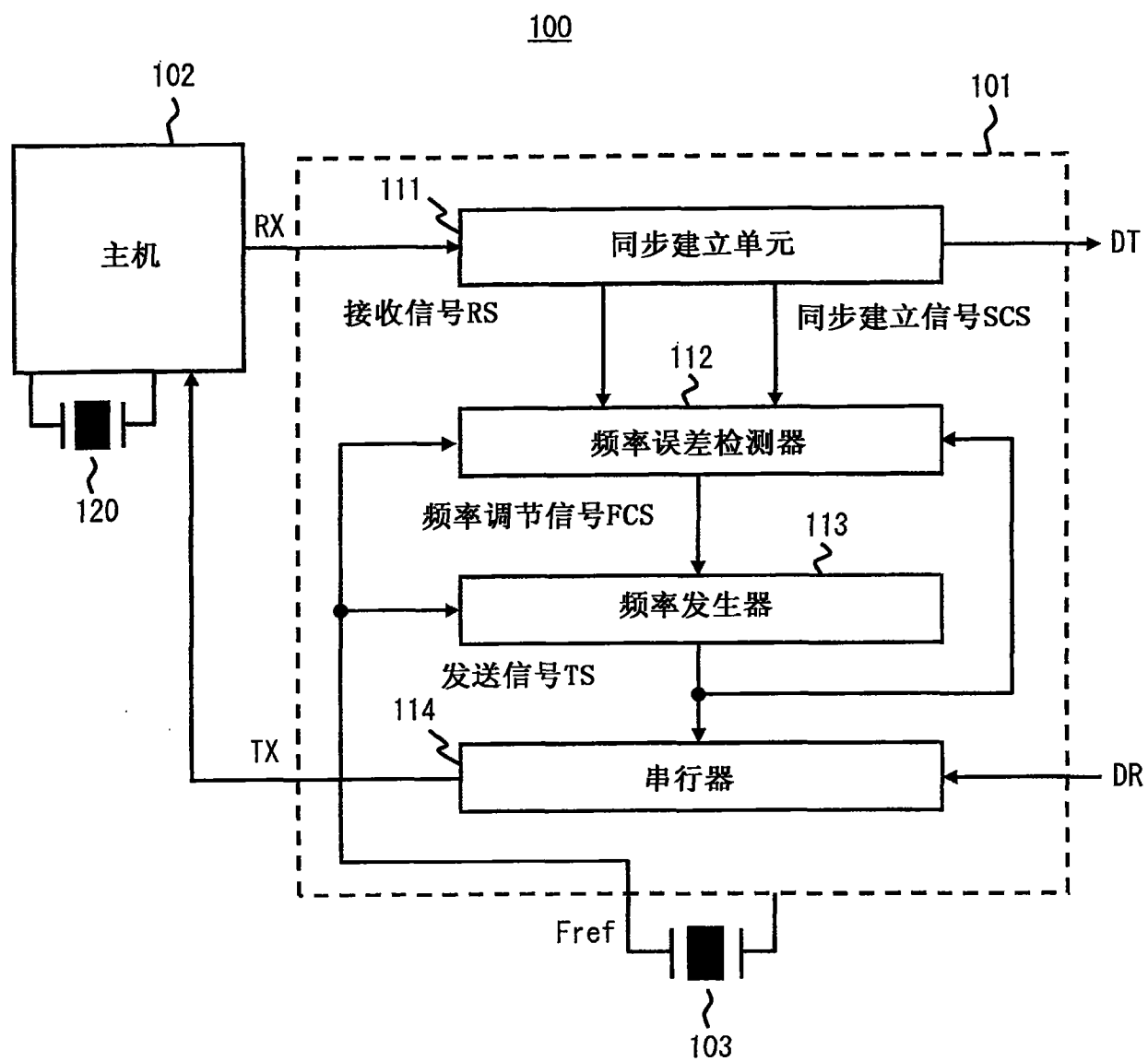


图7 现有技术