



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0010579
(43) 공개일자 2009년01월30일

(51) Int. Cl.⁹

G06F 13/14 (2006.01) G06F 13/38 (2006.01)

G06F 15/16 (2006.01) H04L 12/02 (2006.01)

(21) 출원번호 10-2007-0073815

(22) 출원일자 2007년07월24일

심사청구일자 2007년07월24일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가1 고려대학교 내

(72) 발명자

김철우

서울 성북구 길음동 1283 길음뉴타운 605-1301호

정인화

서울 성북구 안암동 5가 103-34번지 201호

(74) 대리인

전중학

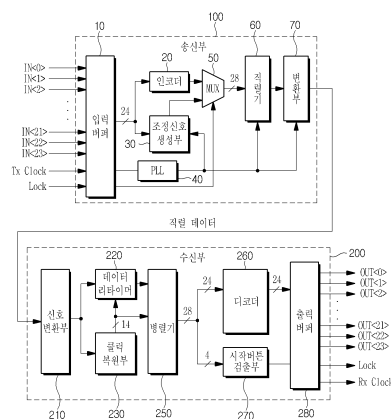
전체 청구항 수 : 총 20 항

(54) 직렬 송수신 장치 및 그 통신 방법

(57) 요약

본 발명은 외부 클럭 신호를 사용하지 않는 고속 송수신 장치 및 그 통신 방법에 관한 것으로, 이를 위하여 직렬 송수신 장치가 초기 동기화 과정을 거치도록 함과 아울러 내장 커스 코드 생성부와 선형 위상 검출부를 포함하는 클럭 복원부를 수신기에 적용함으로써, 데이터에 클럭 정보를 인가하는 임베디드 클럭 방식을 이용하면서도 데이터가 전달되는 동안 발생하는 기준 클럭과 데이터 사이의 스큐 문제 및 복원 클럭의 지터 문제를 제거할 수 있는 뛰어난 효과가 있다.

대표도 - 도1



특허청구의 범위

청구항 1

전송할 병렬 데이터를 입력받아 직류 평형 정보를 포함하는 송신 데이터로 인코딩함과 아울러 하기의 수신부로부터 제공되는 락 신호와 외부 제공 클럭 및 내부 위상 고정 루프의 통신 클럭을 근거로 복수 단계로 이루어진 초기 동기화를 위한 동기화 신호들을 직렬 통신 방식으로 출력하는 조정신호 생성부와, 상기 조정신호 생성부가 제공하는 초기 동기화 신호에 따른 동기 신호를 제공하거나 상기 통신 클럭에 따라 인코딩된 데이터를 직렬 전송하는 직렬 전송 수단을 포함하는 송신부와;

상기 송신부의 조정신호 생성부를 통한 동기 신호가 수신되면 위상 주파수 검출 방식을 통해 전압 제어 발진기를 제어하면서 동기화를 수행한 후 동기화되면 락 신호를 상기 송신부에 제공하고, 상기 송신부로부터 상기 인코딩된 데이터가 수신되면 해당 데이터와 상기 전압 제어 발진기 출력을 선형 위상 검출기를 통해 파악하여 클럭을 복원하는 클럭 복원부를 포함하며, 이를 통해 동기화 및 데이터 수신을 실시한 후 수신된 데이터의 디코딩을 통해 전송대상의 병렬 데이터를 출력하는 수신부를 포함하는 것을 특징으로 하는 직렬 송수신 장치.

청구항 2

제 1항에 있어서, 상기 송신부는 복수의 병렬 데이터 신호를 입력받아 해당 병렬 데이터 신호를 두개 이상의 단위로 분할한 후, 상기 분할 위치에 직류 평형을 위한 정보를 삽입하고, 전체 데이터의 시작과 종료 부분에 각각 시작 정보와 종료 정보를 삽입하는 인코딩 수단을 포함하는 것을 특징으로 하는 직렬 송수신 장치.

청구항 3

제 2항에 있어서, 상기 인코딩 수단은 복수의 병렬 데이터를 균일한 크기의 데이터 블록으로 분할하고, 상기 각 분할된 데이터 블록 사이에 직류 평형 및 신호 구분을 위한 한쌍의 비트를 삽입하며 시작 비트와 정지 비트를 전체 데이터의 앞과 뒤에 삽입한 전송용 데이터를 생성하는 것을 특징으로 하는 직렬 송수신 장치.

청구항 4

제 1항에 있어서, 상기 조정신호 생성부는 상기 수신부로부터 락 신호를 수신하지 못하는 경우 상기 수신부가 데이터 속도에 동기된 클럭 신호를 생성할 때까지 동기화 신호를 제공하며, 상기 수신부로부터 락 신호를 수신할 경우 상기 동기화 신호 대신 실제 전송할 인코딩 데이터 형태의 기 설정된 패턴을 가지는 시험 데이터를 기 설정된 시간동안 전송하는 것을 특징으로 하는 직렬 송수신 장치.

청구항 5

제 4항에 있어서, 상기 조정신호 생성부가 전송하는 기 설정된 패턴을 가진 데이터는 상기 데이터에 포함된 직류 평형 신호의 값이 실제 인코딩된 데이터에 포함되는 직류 평형 신호의 값과 상이한 것을 특징으로 하는 직렬 송수신 장치.

청구항 6

제 1항에 있어서, 상기 수신부의 클럭 복원부는

상기 복수 스테이지를 가지는 전압제어 발진기와;

상기 전압제어 발진기의 출력과 수신되는 직렬 데이터를 근거로 상기 전압제어 발진기를 제어하는 내장 커스 코드(Coarse Code) 생성부와;

상기 조정신호 생성부를 통해 제공되는 동기 신호를 근거로 상기 전압제어 발진기를 미세 조정하는 제 1동기화 수단과;

상기 수신 직렬 데이터와 상기 전압제어 발진기 출력을 입력으로 하는 선형 위상 검출기를 통해 얻어지는 정보로 상기 전압제어 발진기를 미세 조정하는 제 2동기화 수단과;

상기 제 1 또는 제 2동기화 수단에 의한 동기 여부를 검출하여 락 신호를 상기 송신부에 제공하는 락 검출 수단을 포함하는 것을 특징으로 하는 직렬 송수신 장치.

청구항 7

제 6항에 있어서, 상기 클럭 복원부는 수신되는 직렬 데이터를 분석하여 신호가 없던 상태에서 신호가 포함되는 상태로 변경되는 경우 일정 시간동안 상기 제 1동기화 수단을 동작시켜 동기화 과정을 수행하도록 하는 개시 회로부를 더 포함하는 것을 특징으로 하는 직렬 송수신 장치.

청구항 8

제 6항에 있어서, 상기 내장 커스 코드 생성부는

상기 복수 스테이지의 전압 제어 발진기 출력을 지연시키는 복수의 제 1지연단과;

상기 수신되는 직렬 데이터를 지연시키는 복수의 제 2지연단과;

상기 제 1지연단의 출력에 따른 전압 제어 발진기의 출력 하강 모서리 위치를 검출하여 전압 제어 발진기의 주기를 파악하는 식별기와;

상기 식별기의 출력과 제 2지연단의 출력에 따른 수신 직렬 데이터의 위상을 비교하여 상기 전압 제어 발진기 출력과 수신 직렬 데이터의 선후를 파악하여 상기 전압 제어 발진기의 출력을 제어하는 신호를 출력하는 논리부를 포함하는 것을 특징으로 하는 직렬 송수신 장치.

청구항 9

제 6항에 있어서, 상기 복수 스테이지의 전압 제어 발진기는 하나의 외부 클럭에 대해서 제공되는 직렬 신호들 중에서 상기 삽입된 직류 평형 정보에 의해 구분되는 데이터 블록의 비트크기와 상기 삽입된 직류 평형 정보의 절반크기와 시작 또는 정지 비트의 크기를 더한 값과 동일한 크기의 스테이지를 가지는 것을 특징으로 하는 직렬 송수신 장치.

청구항 10

동기화에 따른 락 신호를 제공하는 직렬 수신 장치와 연결되어 병렬 데이터를 직렬 데이터로 전송하는 직렬 송신 장치에 있어서,

전송할 병렬 데이터를 입력받아 직류 평형 정보와 시작 및 종료 정보를 포함하는 송신 데이터로 인코딩하는 인코딩부와;

상기 직렬 수신 장치로부터 제공되는 락 신호와 외부 제공 클럭 및 내부 위상 고정 루프의 통신 클럭을 근거로 동기화 신호들을 직렬 통신 방식으로 제공하는 조정신호 생성부와;

상기 조정신호 생성부가 제공하는 동기화 신호에 따른 동기 신호를 제공하거나 상기 통신 클럭에 따라 인코딩된 데이터 중 하나를 선택하여 직렬 전송하는 직렬 전송 수단을 포함하는 것을 특징으로 하는 직렬 송신 장치.

청구항 11

제 10항에 있어서, 상기 인코딩부는 복수의 병렬 데이터를 균일한 크기의 데이터 블록으로 분할하고, 상기 각 분할된 데이터 블록 사이에 직류 평형 및 신호 구분을 위한 한쌍의 비트를 삽입하며 시작 비트와 정지 비트를 전체 데이터의 앞과 뒤에 삽입한 전송용 데이터를 생성하는 것을 특징으로 하는 직렬 송신 장치.

청구항 12

제 10항에 있어서, 상기 조정신호 생성부는 상기 수신 장치로부터 락 신호를 수신하지 못하는 경우 상기 수신 장치가 데이터 속도에 동기된 클럭 신호를 생성할 때까지 동기화 신호를 제공하며, 상기 수신 장치로부터 락 신호를 수신할 경우 상기 동기 신호 대신 실제 전송할 인코딩 데이터 형태로 기 설정된 패턴을 가지는 시험 데이터를 기 설정된 시간동안 전송하는 것을 특징으로 하는 직렬 송신 장치.

청구항 13

제 12항에 있어서, 상기 조정신호 생성부가 전송하는 기 설정된 패턴을 가진 데이터는 상기 데이터에 포함된 직류 평형 신호의 값이 실제 인코딩된 데이터에 포함되는 직류 평형 신호의 값과 상이한 것을 특징으로 하는 직렬 송신 장치.

청구항 14

연결시 직렬 통신 방식으로 순차적인 초기 동기화 신호를 제공하고, 동기화에 끝나는 경우 실제 데이터를 전송하는 송신기와 연결되는 직렬 수신 장치에 있어서,

상기 송신기가 제공하는 순차적인 동기화 신호를 직렬 통신 방식으로 수신하여 위상 주파수 검출 방식을 통해 통신용 동기를 맞추어 동기화가 끝났음을 알리는 락 신호를 상기 송신기에 제공하고, 상기 송신기로부터 제공되는 상기 실제 데이터를 선행 위상 검출기를 통해 파악하여 클럭을 복원하는 클럭 복원부와;

상기 클럭 복원부를 통해 복원되는 클럭에 맞추어 실제 수신되는 데이터로부터 실제 데이터를 획득하며, 상기 획득된 실제 데이터를 디코딩하여 전송대상의 병렬 데이터를 출력하는 수신 신호 처리 수단을 포함하는 것을 특징으로 하는 직렬 수신 장치.

청구항 15

제 14항에 있어서, 상기 클럭 복원부는

복수 스테이지를 가지는 전압제어 발진기와;

상기 전압제어 발진기의 출력과 수신되는 직렬 데이터를 근거로 상기 전압제어 발진기를 제어하는 내장 커스 코드(Coarse Code) 생성부와;

상기 조정신호 생성부를 통해 제공되는 동기 신호를 근거로 상기 전압제어 발진기를 미세 조정하는 제 1동기화 수단과;

상기 수신 직렬 데이터와 상기 전압제어 발진기 출력을 입력으로 하는 선행 위상 검출기를 통해 얻어지는 정보로 상기 전압제어 발진기를 미세 조정하는 제 2동기화 수단과;

상기 제 1 또는 제 2동기화 수단에 의한 동기 여부를 검출하여 락 신호를 상기 송신부에 제공하는 락 검출 수단을 포함하는 것을 특징으로 하는 직렬 수신 장치.

청구항 16

제 15항에 있어서, 상기 내장 커스 코드 생성부는

상기 복수 스테이지의 전압 제어 발진기 출력을 지연시키는 복수의 제 1지연단과;

상기 수신되는 직렬 데이터를 지연시키는 복수의 제 2지연단과;

상기 제 1지연단의 출력에 따른 전압 제어 발진기의 출력 하강 모서리 위치를 검출하여 전압 제어 발진기의 주기를 파악하는 식별기와;

상기 식별기의 출력과 제 2지연단의 출력에 따른 수신 직렬 데이터의 위상을 비교하여 상기 전압 제어 발진기 출력과 수신 직렬 데이터의 선후를 파악하여 상기 전압 제어 발진기의 출력을 제어하는 신호를 출력하는 논리부를 포함하는 것을 특징으로 하는 직렬 수신 장치.

청구항 17

제 15항에 있어서, 상기 복수 스테이지의 전압 제어 발진기는 하나의 외부 클럭에 대해서 제공되는 직렬 신호들 중에서 상기 삽입된 직류 평형 정보에 의해 구분되는 데이터 블록의 비트크기와 상기 삽입된 직류 평형 정보의 절반 크기와 시작 또는 정지 비트의 크기를 더한 값과 동일한 크기의 스테이지를 가지는 것을 특징으로 하는 직렬 수신 장치.

청구항 18

송신기와 수신기가 직렬 채널을 통해 연결되는 경우 상기 송신기가 수신기에 동기화 클럭 정보를 직렬 채널을 통해 전송하는 초기 동기화 단계와;

상기 초기 동기화 단계를 통해 수신기가 동기되면 동기 완료 정보를 상기 송신기에 제공하고, 그에 따라 상기 송신기가 기 설정된 형태의 시험 데이터를 상기 직렬 채널을 통해 일정 시간 전송하는 전송 준비 단계와;

상기 송신기가 실제 데이터를 균일한 복수의 크기로 구분하여 직류 평형 정보를 구분 영역마다 포함시키고, 전

체 데이터에 시작 및 종료 정보를 포함시켜 잉여 정보를 가지는 실제 전송 데이터로 인코딩하여 상기 직렬 채널을 통해 직렬 전송하는 단계와;

상기 수신기는 상기 직렬 채널을 통해 수신되는 실제 전송 데이터를 선형 위상 검출 방식을 통해 동기된 클럭 주파수와 비교하여 클럭의 지터를 복원하면서 직렬 수신된 상기 실제 전송 데이터로부터 데이터를 획득하여 상기 잉여 정보를 제거한 원래의 데이터로 디코딩하여 출력하는 단계를 포함하는 것을 특징으로 하는 직렬 송수신 장치의 통신 방법.

청구항 19

제 18항에 있어서, 상기 초기 동기화 단계는 상기 수신기가 수신되는 동기화 신호와 상기 수신기에 내장된 전압 제어 발진기의 출력을 입력들로 하여 동작하는 커스 코드 생성부의 출력에 의해 상기 전압 제어 발진기가 제어되는 방식으로 동기화가 이루어지는 단계와;

상기 전압 제어 발진기의 출력과 수신되는 동기화 신호를 위상 주파수 검출 수단을 통해 비교하여 상기 전압 제어 발진기를 미세 제어하는 단계를 포함하는 것을 특징으로 하는 직렬 송수신 장치의 통신 방법.

청구항 20

제 18항에 있어서, 상기 전송 준비 단계는 상기 송신기가 잉여 정보를 가지는 실제 전송 데이터의 형태이면서 상기 직렬 평형 정보의 값을 실제 전송 데이터와 상이하도록 한 시험 데이터를 일정 시간 전송하는 단계를 포함하는 것을 특징으로 하는 직렬 송수신 장치의 통신 방법.

명세서

발명의 상세한 설명

기술 분야

- <1> 본 발명은 직렬 송수신 장치에 관한 것으로, 특히 외부 클럭 신호를 사용하지 않는 고속 송수신 장치 및 그 통신 방법에 관한 것이다.

배경 기술

- <2> 다양한 통신 방식의 급속한 확산과 발전은 멀티미디어에 대한 사용자 수요를 높이게되었으며, 그에 따라 더 높은 속도로 더 많은 데이터를 더 안정적으로 전송함과 아울러, 이러한 전송에 필요한 하드웨어 구성을 최소화하기 위한 연구가 활발해지고 있다.
- <3> 일반적으로 데이터의 전송 속도를 높이기 위해서는 채널의 수를 늘려 여러 데이터를 동시에 전송하는 병렬 전송 방식과 하나의 채널을 통해 빠른 속도로 데이터를 전송하는 직렬 전송 방식 중 하나를 선택하여 그 기능을 극대화하는 것이 일반적이다. 여기서, 병렬 전송 방식은 경우 여러 전송 채널들 사이에 서로 다른 채널을 통해 전송되는 데이터 사이의 시간차를 의미하는 데이터 스큐가 존재할 수 있고, 채널의 수가 늘어날수록 하드웨어적인 비용이 많이 들기 때문에 최근에는 직렬 데이터 전송 방식이 고속 송수신기의 표준으로 채택되어 널리 사용되고 있으며, 이러한 고속 직렬통신을 병렬로 구성하고자 하는 연구도 진행되고 있다. 이러한 직렬 데이터 송수신에서는 데이터가 오고 가는 속도가 매우 높기 때문에 잡음과 채널의 대역폭에 의해 데이터의 불확실성이 증가하는 문제가 있다. 이러한 데이터 전송의 불확실성을 줄이기 위해서 수신기는 입력 데이터를 샘플링하기 위해 가능한 지터(jitter)가 작도록 클럭을 복원해야 하며, 비트 에러율이 최소가 되도록 복원된 클럭과 입력 데이터의 위상 관계를 최적의 상태로 유지해야 한다. 따라서, 고속 직렬 통신에 있어 송신기로부터 클럭과 데이터를 입력받아 수신기가 입력 데이터를 샘플링하기 위한 최적의 상태로 클럭 신호를 재정렬하는 클럭 복원회로의 역할은 막중하다 할 수 있다.
- <4> 일반적인 고속 데이터 송수신기는 송신기에서 수신기로 데이터를 전송하기 위해 고속 송수신 데이터에 대한 동기 기준을 제공하기 위한 기준 클럭 신호를 함께 전송하는 형태로 이루어져 있다. 하지만 이러한 방식은 수 미터에 이르는 긴 거리까지 전송하는 경우 데이터와 기준 클럭 사이의 스큐문제로 인하여 수신기가 데이터를 복원하는데 문제가 발생할 수 있다. 또한, 기존의 송수신기는 전송속도를 변화시키기 위해서 전송속도에 맞도록 수신기의 기준 클럭신호를 바꾸어 주거나, 수신기의 동작속도를 조절하기 위해 디지털 코드를 바꾸어 주어야하는 등의 번거로움이 있다.

- <5> 미국 공개특허 US 6,680,970호 "다중 속도 임베디드 클럭 직렬 수신기를 위한 데이터율 검출에 적용되는 통계적 방법과 시스템(Statistical methods and systems for data rate detection for multi-speed embedded clock serial receivers)"에서는 이러한 문제를 해결하기 위해서 데이터의 경계(edge)를 검출하는 방식을 사용하는 방식을 제안하였으나, 이 경우 데이터의 경계 검출의 한계로 인하여 선형 위상 검출기를 사용하는 것에 비해 복원되는 클럭 신호의 지터가 크기 때문에 속도에 제한이 발생하게 되며, 오류 가능성도 높아지게 된다.
- <6> 다른 방법으로 미국 공개특허 US 5,838,749호 "디지털 데이터 신호로부터 임베디드 클럭을 추출하는 방법 및 장치(Method and apparatus for extracting an embedded clock from a digital data signal)"에서는 상기 문제의 해결을 위해서 클럭 복원회로 내부에 클럭 공급기를 탑재하는 방식을 사용하고 있으나, 이러한 클럭 공급기의 부가적인 탑재로 인한 면적 및 비용 증가와 전력 소모 증가 등의 문제점이 발생한다.

발명의 내용

해결 하고자하는 과제

- <7> 본 발명 실시예들의 목적은 송신기에서 수신기로 데이터를 전달할 때, 초기 동기화 과정을 거치도록 함과 아울러 내장 커스 코드 생성부와 선형 위상 검출부를 포함하는 클럭 복원부를 수신기에 적용함으로써, 데이터에 클럭 정보를 인가하는 임베디드 클럭 방식을 이용하면서도 데이터가 전달되는 동안 발생하는 기준 클럭과 데이터 사이의 스큐 문제 및 복원 클럭의 지터 문제를 제거할 수 있도록 한 직렬 송수신 장치 및 그 통신 방법을 제공하는 것이다.
- <8> 본 발명 실시예들의 다른 목적은 데이터를 전송시 기준 클럭을 함께 전송하지 않도록 하여 데이터와 기준 클럭 사이의 스큐문제를 근본적으로 제거함과 아울러, 전송 채널의 수를 최소화하여 하드웨어적인 비용을 줄일 수 있도록 한 직렬 송수신 장치 및 그 통신 방법을 제공하는 것이다.
- <9> 본 발명 실시예들의 또 다른 목적은 데이터를 전송시 기준 클럭을 함께 전송하지 않도록 함으로써 별도의 외부 동작 없이 속도를 조절할 수 있으며, 선형 위상 검출 방식을 적용하여 복원되는 클럭 신호의 지터를 크게 감소시킬 수 있도록 한 직렬 송수신 장치 및 그 통신 방법을 제공하는 것이다.
- <10> 본 발명 실시예들의 또 다른 목적은 수신기에 별도의 클럭 공급기와 같은 부가적인 회로 없이도 클럭 신호를 복원할 수 있도록 한 직렬 송수신 장치 및 그 통신 방법을 제공하는 것이다.

과제 해결수단

- <11> 상기와 같은 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 직렬 송수신 장치는 전송할 병렬 데이터를 입력받아 직류 평형 정보를 포함하는 송신 데이터로 인코딩함과 아울러 하기의 수신부로부터 제공되는 락 신호와 외부 제공 클럭 및 내부 위상 고정 루프의 통신 클럭을 근거로 복수 단계로 이루어진 초기 동기화를 위한 동기화 신호들을 직렬 통신 방식으로 출력하는 조정신호 생성부와, 상기 조정신호 생성부가 제공하는 초기 동기화 신호에 따른 동기 신호를 제공하거나 상기 통신 클럭에 따라 인코딩된 데이터를 직렬 전송하는 직렬 전송 수단을 포함하는 송신부와, 상기 송신부의 조정신호 생성부를 통한 동기 신호가 수신되면 위상 주파수 검출 방식을 통해 전압 제어 발진기를 제어하면서 동기화를 수행한 후 동기화되면 락 신호를 상기 송신부에 제공하고, 상기 송신부로부터 상기 인코딩된 데이터가 수신되면 해당 데이터와 상기 전압 제어 발진기 출력을 선형 위상 검출기를 통해 파악하여 클럭을 복원하는 클럭 복원부를 포함하며, 이를 통해 동기화 및 데이터 수신을 실시한 후 수신된 데이터의 디코딩을 통해 전송대상의 병렬 데이터를 출력하는 수신부를 포함하여 이루어진다.
- <12> 상기 송신부는 복수의 병렬 데이터 신호를 입력받아 해당 병렬 데이터 신호를 두개 이상의 단위로 분할한 후, 상기 분할 위치에 직류 평형을 위한 정보를 삽입하고, 전체 데이터의 시작과 종료 부분에 각각 시작 정보와 종료 정보를 삽입하는 인코딩 수단을 포함할 수 있다.
- <13> 상기 조정신호 생성부는 상기 수신부로부터 락 신호를 수신하지 못하는 경우 상기 수신부가 데이터 속도에 동기된 클럭 신호를 생성할 때까지 동기화 신호를 제공하며, 상기 수신부로부터 락 신호를 수신할 경우 상기 동기화 신호 대신 실제 전송할 인코딩 데이터 형태의 기 설정된 패턴을 가지는 시험 데이터를 기 설정된 시간동안 전송한다.
- <14> 상기 수신부의 클럭 복원부는 상기 복수 스테이지를 가지는 전압제어 발진기와, 상기 전압제어 발진기의 출력과 수신되는 직렬 데이터를 근거로 상기 전압제어 발진기를 제어하는 내장 커스 코드(Coarse Code) 생성부와, 상기 조정신호 생성부를 통해 제공되는 동기 신호를 근거로 상기 전압제어 발진기를 미세 조정하는 제 1동기화 수단

과, 상기 수신 직렬 데이터와 상기 전압제어 발진기 출력을 입력으로 하는 선형 위상 검출기를 통해 얻어지는 정보로 상기 전압제어 발진기를 미세 조정하는 제 2동기화 수단과, 상기 제 1 또는 제 2동기화 수단에 의한 동기 여부를 검출하여 락 신호를 상기 송신부에 제공하는 락 검출 수단을 포함한다.

<15> 상기 내장 커스 코드 생성부는 상기 복수 스테이지의 전압 제어 발진기 출력을 지연시키는 복수의 제 1지연단과, 상기 수신되는 직렬 데이터를 지연시키는 복수의 제 2지연단과, 상기 제 1지연단의 출력에 따른 전압 제어 발진기의 출력 하강 모서리 위치를 검출하여 전압 제어 발진기의 주기를 파악하는 식별기와, 상기 식별기의 출력과 제 2지연단의 출력에 따른 수신 직렬 데이터의 위상을 비교하여 상기 전압 제어 발진기 출력과 수신 직렬 데이터의 선후를 파악하여 상기 전압 제어 발진기의 출력을 제어하는 신호를 출력하는 논리부를 포함하여 이루어진다.

<16> 또한, 본 발명 다른 실시예에 따른 직렬 송신 장치는 동기화에 따른 락 신호를 제공하는 직렬 수신 장치와 연결되어 병렬 데이터를 직렬 데이터로 전송하는 직렬 송신 장치에 관한 것으로, 전송할 병렬 데이터를 입력받아 직류 평형 정보와 시작 및 종료 정보를 포함하는 송신 데이터로 인코딩하는 인코딩부와, 상기 직렬 수신 장치로부터 제공되는 락 신호와 외부 제공 클럭 및 내부 위상 고정 루프의 통신 클럭을 근거로 동기화 신호들을 직렬 통신 방식으로 제공하는 조정신호 생성부와, 상기 조정신호 생성부가 제공하는 동기화 신호에 따른 동기 신호를 제공하거나 상기 통신 클럭에 따라 인코딩된 데이터 중 하나를 선택하여 직렬 전송하는 직렬 전송 수단을 포함할 수 있다.

<17> 본 발명 다른 실시예에 따른 직렬 수신 장치는 연결시 직렬 통신 방식으로 순차적인 초기 동기화 신호를 제공하고, 동기화에 끝나는 경우 실제 데이터를 전송하는 송신기와 연결되는 직렬 수신 장치에 관한 것으로, 상기 송신기가 제공하는 순차적인 동기화 신호를 직렬 통신 방식으로 수신하여 위상 주파수 검출 방식을 통해 통신용 동기를 맞추어 동기화가 끝났음을 알리는 락 신호를 상기 송신기에 제공하고, 상기 송신기로부터 제공되는 상기 실제 데이터를 선형 위상 검출기를 통해 파악하여 클럭을 복원하는 클럭 복원부와, 상기 클럭 복원부를 통해 복원되는 클럭에 맞추어 실제 수신되는 데이터로부터 실제 데이터를 획득하며, 상기 획득된 실제 데이터를 디코딩하여 전송대상의 병렬 데이터를 출력하는 수신 신호 처리 수단을 포함할 수 있다.

<18> 본 발명 다른 실시예에 따른 직렬 송수신 장치를 이용한 통신 방법은, 송신기와 수신기가 직렬 채널을 통해 연결되는 경우 상기 송신기가 수신기에 동기화 클럭 정보를 직렬 채널을 통해 전송하는 초기 동기화 단계와, 상기 초기 동기화 단계를 통해 수신기가 동기되면 동기 완료 정보를 상기 송신기에 제공하고, 그에 따라 상기 송신기가 기 설정된 형태의 시험 데이터를 상기 직렬 채널을 통해 일정 시간 전송하는 전송 준비 단계와, 상기 송신기가 실제 데이터를 균일한 복수의 크기로 구분하여 직류 평형 정보를 구분 영역마다 포함시키고, 전체 데이터에 시작 및 종료 정보를 포함시켜 잉여 정보를 가지는 실제 전송 데이터로 인코딩하여 상기 직렬 채널을 통해 직렬 전송하는 단계와, 상기 수신기는 상기 직렬 채널을 통해 수신되는 실제 전송 데이터를 선형 위상 검출 방식을 통해 동기된 클럭 주파수와 비교하여 클럭의 지터를 복원하면서 직렬 수신된 상기 실제 전송 데이터로부터 데이터를 획득하여 상기 잉여 정보를 제거한 원래의 데이터로 디코딩하여 출력하는 단계를 포함한다.

효 과

<19> 본 발명의 실시예에 따른 직렬 송수신 장치 및 그 통신 방법은 초기 동기화 과정을 거치도록 함과 아울러 내장 커스 코드 생성부와 선형 위상 검출부를 포함하는 클럭 복원부를 수신기에 적용함으로써, 데이터에 클럭 정보를 인가하는 임베디드 클럭 방식을 이용하면서도 데이터가 전달되는 동안 발생하는 기준 클럭과 데이터 사이의 스큐 문제 및 복원 클럭의 지터 문제를 제거할 수 있는 뛰어난 효과가 있다.

<20> 본 발명의 실시예에 따른 직렬 송수신 장치 및 그 통신 방법은 데이터를 전송할 경우 기준 클럭을 함께 전송하지 않도록 하여 데이터와 기준 클럭 사이의 스큐문제를 근본적으로 제거함과 아울러, 전송 채널의 수를 최소화하여 하드웨어적인 비용을 줄일 수 있는 효과가 있다.

<21> 본 발명의 실시예에 따른 직렬 송수신 장치 및 그 통신 방법은 단일 채널을 이용하는 직렬 통신에서 별도의 외부 동작 없이 속도를 조절할 수 있으며, 선형 위상 검출 방식을 적용하여 복원되는 클럭 신호의 지터를 크게 감소시켜 최대 통신 속도 및 안정성을 높일 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

<22> 상기한 바와 같은 본 발명을 첨부된 도면들과 실시예들을 통해 상세히 설명하도록 한다.

- <23> 도 1은 본 발명 일 실시예에 따른 송수신기 구조를 보인 블록도로서, 도시한 바와 같이 병렬 신호를 수신하여 직렬 신호로 송신하는 송신부(100)와 해당 직렬 신호를 수신하는 수신부(200)로 이루어진다. 도시된 실시예에서, 전송할 병렬 데이터는 24비트를 예로 들어 설명하며, 이는 액정 디스플레이 수단을 제어하기 위한 제어 신호 인터페이스에 사용되는 경우이다.
- <24> 상기 송신부(100)는 24비트의 병렬 데이터와 기준 클럭 신호를 입력받아 도 1의 인코더(Encoder)(20)를 통해 소정의 프로토콜에 따른 직렬 신호로 만들 병렬 데이터를 생성한다. 상기 예에서는 24비트 데이터를 12비트씩 구분한 후 구분 영역에 2비트의 직류 평형 신호를 삽입하고, 전체 데이터의 시작과 끝을 알리기 위한 시작 비트와 정지 비트를 각각 삽입하도록 구성된 인코더(20)를 이용한다. 혹은 필요시 특정한 패턴의 신호를 생성할 수도 있도록 한다.
- <25> 상기 인코딩된 신호는 직렬로 변환할 경우 도 2에 도시한 바와 같은 형태를 가질 수 있으며, 여기서 각각 1비트씩으로 구성되는 시작 비트와 정지 비트가 존재하며, 상기 전송할 병렬 데이터를 균일한 크기의 블록(도시된 경우에는 12비트 씩 2개 블록)으로 구분한 후 해당 구분에 삽입된 한쌍의 직류 평형 신호(DC_A , DC_B)가 포함되어 있음을 알 수 있다. 즉, 도시된 예에서, 변환된 28비트의 신호는 데이터에 주파수 정보를 인가하기 위해 삽입된 코드로서 데이터의 처음을 알리기 위해 항상 1의 값을 나타내는 시작(Start)비트와 데이터의 마지막을 알리기 위해 항상 0의 값을 나타내는 종료(Stop)비트를 가지고, 실제 데이터 24비트의 가운데에 직류평형(DC-balancing) 비트를 가진다. 시작비트와 정지 비트는 항상 1과 0의 값을 가지기 때문에, 수신단 첫 번째 비트 출력과 마지막 비트 출력이 항상 1과 0으로 출력되면 수신부(200)가 복원동작을 마친 것으로 판단하게 하는 역할을 하고, DC_A 와 DC_B 비트는 장거리 전송에 따른 데이터의 왜곡을 최소화하기 위한 직류평형의 역할을 한다. 조정 신호 생성부(Training Signal Generator)(30)는 수신기에 주파수 정보를 제공하는 몇 가지의 신호 패턴을 형성하여 실제 데이터가 전송되기 전에 클럭 복원회로가 데이터의 속도에 맞는 클럭 신호를 생성하도록 돕는 역할을 한다. 즉, 초기 동기와 신호와 시험 데이터 신호를 순차적으로 제공하여 수신부(200)가 동기화 되도록 하는 역할을 하는 수단이다.
- <26> 상기 조정신호 생성부(30)에 의해 수신부(200)가 동기화 되면, 상기 조정신호 생성부(30)의 출력 대신 인코더(20)의 출력이 믹스(50)에 의해 선택되어 직렬기(70) 및 CMOS등의 논리신호를 LVDS(low voltage differential signaling: 저전압 차동 시그널링) 신호로 변환하는 LVDS 변환부(70)를 통해 인코딩된 직렬 전송 데이터로서 직렬 통신 채널을 통해 전송된다.
- <27> 도 3 내지 도 5는 동작 단계에 따른 조정신호 생성부(30)의 신호 패턴을 보여준다. 먼저, 송수신부(100, 200)에 전원이 인가되면 조정신호 생성부(30)는 수신부(200)가 데이터 속도에 동기된 클럭 신호를 생성할 때까지 클럭 신호를 생성하여 수신기 내부의 위상 고정 루프(Phase Locked Loop)에 기준 클럭을 제공해 주는 역할을 한다. 수신부(200)가 첫 번째 조정신호에 동기화되어 데이터의 속도에 맞는 클럭을 생성하게 되면 수신부(200)는 락(Lock) 신호를 생성하여 송신부(100)에 다음 단계의 신호를 전송받을 준비가 되었음을 알려준다.
- <28> 락 신호를 인가받은 조정신호 생성부(30)는 클럭 신호의 생성을 중단하고, 수신부(200)에 실제 전송 데이터(인코딩되어 잉여비트들이 포함된 형태)와 비슷한 기 설정된 패턴 데이터를 두번째로 공급해 줌으로써 수신부(200)가 실제 데이터를 수신하기 위한 최적의 상태가 되기를 기다린다. 즉, 일정 시간동안 패턴 데이터를 시험 데이터로 전송한다.
- <29> 한편, 이때의 시험 패턴 데이터에 포함된 직류 평형 비트들(DC_A , DC_B)을 실제 데이터 전송 시(예를 들어 1과 0의 조합인 경우)와는 달리 각각 1과 0으로 설정함으로써 이 신호가 실제 전송 데이터가 아닌 조정용 시험 데이터임을 알려준다. 상기 수신부(200)가 최적의 상태가 되기에 충분한 시간이 지난 후 조정신호 생성부는 시작 비트와 정지 비트가 포함된 28비트의 실제 전송 데이터를 직렬 전송하게 되고, 이때 DC_A 와 DC_B 비트를 각각 0과 1로 설정함으로써 실제 전송 데이터를 구분할 수 있도록 한다.
- <30> 상기 수신부(200)는 직렬 채널을 통해 수신한 VLDS 신호를 다시 논리레벨 신호로 변환하는 CMOS 변환부(210)를 통해 변환되어 클럭 복원을 위한 클럭 복원부(230)와 데이터 리타이머(220)를 거쳐 복원된 클럭에 맞추어 구분된 데이터 블록 단위로 신호가 획득된 후 병렬기(250)를 통해 신호가 병렬화된다. 이후, 시작 비트 검출부를 통해 잉여 비트들로 미세 락(fine lock)을 검출하고, 디코더(260)를 통해 실제 신호인 24비트 신호를 획득하여 출력 버퍼(280)를 통해 원래 송신된 병렬 신호 형태의 데이터 및 수신 클럭과 락 신호가 출력된다. 상기 락 신호는 상기 송신부(100)의 입력으로 제공된다.

- <31> 도 6은 본 발명 일 실시예에 따른 클럭 복원 회로의 블록도를 나타낸 것으로 클럭 복원부(230)와 관련 주변부의 일부 구성이 포함된 것이다.
- <32> 신호의 속도에 반비례하는 지터의 특성을 이용하여, 송신기가 5~65MHz의 클럭 신호에 28비트의 데이터 정보를 인가하여 신호를 전송한다면, 수신기는 10~130MHz의 클럭 신호마다 14비트의 데이터 정보를 추출해 내도록 설계함으로써 수신기 내부의 지터를 최소화하였다. 즉, 인코딩시 구분한 데이터 블록의 크기에 따라 데이터를 추출하도록 하는 것으로 수신기에서 지터 저감 동작이 이루어지게 된다.
- <33> 클럭 복원부(230)를 포함하는 도시된 회로의 동작은 크게 커스(Coarse) 전압 생성 동작, 위상 고정 루프 동기화 동작, 데이터 정렬 동작의 세 단계로 나누어진다. 커스 전압 생성 동작은 광대역 송수신기의 저지터 특성과 관련이 있는 동작으로서 수신기 내부의 위상 고정 루프가 10~130MHz의 넓은 주파수 범위를 하나의 미세 조정 전압으로 제어하는 대신에 전체 주파수 범위를 복수(예를 들어, 세 개)의 주파수 범위로 나누어, 소정 비트(범위가 3개 이하인 경우 2비트)의 커스 전압에 해당하는 주파수 대역만을 미세 조정 전압으로 제어하는 방식을 가능하게 함으로써, 전압 제어 발진기(232) 이득을 최소화하는 효과를 얻게 한다. 전압 제어 발진기(232)의 이득이 크면 작은 조정 전압 변화에도 주파수 변화가 크게 나타나기 때문에 외부 잡음에 매우 민감하게 반응하여 지터 특성을 떨어뜨린다는 단점이 있다. 이러한 이유 때문에 커스 전압 제어 방식은 기존의 회로에서도 널리 쓰이고 있는 방식이지만, 주파수 범위에 따라 그에 맞는 커스 전압을 외부에서 직접 인가해주는 방식을 사용해 왔기 때문에, 별도의 외부 제어 신호가 필수적이었다. 하지만, 본 실시예에서는 수신부(200)의 내부에서 자체적으로 동작 속도에 맞는 커스 전압을 생성하는 커스 코드 생성부(231)를 구성하는 것으로 이러한 문제점을 해결하였다.
- <34> 상기 커스 코드 생성부(231)에 따른 커스 전압 동작은 다음과 같이 이루어진다. 초기 송수신부에 처음 전원이 인가되면 가장 먼저 송신부 내부의 위상 고정 루프(40)를 기준 클럭 신호에 동기 시키는 동작을 하게 되는데, 위상 고정 루프가 동기 될 때까지 송신부(40)의 직렬 채널 출력은 0으로 고정되도록 한다. 그에 따라, 수신부(200)는 송신부(100)가 정상 동작을 할 때까지 0의 입력을 받아들여지게 된다. 이때, 송신부(100) 내부의 직렬기(60)는 송신부 내부의 위상 고정 루프(40)가 진동하면서 발생시키는 클럭 신호로 직렬 데이터 신호를 샘플링하는데, 직렬 데이터 신호가 0으로 고정되어 있기 때문에, 샘플링 된 14비트의 신호도 모두 0으로 고정된다. 송신부(100) 내부의 위상 고정 루프(40)가 동기 동작을 마치게 되면, 앞서 설명한대로 초기 동기화를 위한 첫 번째 조정신호인 클럭 신호가 송신기의 출력, 즉 직렬 데이터가 되어 수신부(200)로 전송된다. 직렬 데이터가 0이 아닌 값을 가지게 되면, 상기 수신부(200)에 포함된 병렬기(243)는 24비트의 출력 중 적어도 하나의 출력을 1로 가지게 된다.
- <35> 도 7은 클럭 복원부(230)에 포함된 개시회로(241)의 구성을 보인 것으로, 노어게이트, 낸드게이트, 반전기 등의 간단한 회로(310)로 구성되어 14비트의 병렬기 출력이 모두 0일 때와 적어도 하나가 1일 때를 구분하여, 송신부(100)가 내부적인 동기 동작을 마치고 어떠한 신호를 제공하기 시작하였음을 수신부(200)에 알려주는 역할을 하는 회로이다. 시작회로 내부의 노어게이트, 낸드게이트, 반전기로 구성된 판별회로(310)가 병렬기의 출력이 적어도 하나의 1을 가짐을 판별해내게 되면, 판별회로(310)의 최종단에 연결된 10단의 D-플립플롭 회로(320)가 8분주된 클럭 신호를 통해 80주기의 긴 펄스신호를 발생시킨다. 이 펄스 신호는 시작회로의 최종 출력인 커스 인에이블(Coarse Enable) 신호가 되어 전체 수신부(200)를 리셋시키고, 커스 전압 생성 동작을 시작하게 한다. 여기서, 80주기의 긴펄스를 생성하는 회로 및 방식은 수신부(200)의 초기 동기화를 위해 필요한 소정의 지연을 얻기 위한 것으로 그 구체적인 구성이나 지연 시간은 다르게 구성할 수 있다.
- <36> 상기 커스 코드 생성 동작은 도 8의 커스 전압 생성기(440)에 의해 이루어진다. 커스 인에이블(Coarse Enable) 신호는 먹스(234, 235)에 연결되어 커스 인에이블 신호가 1의 값을 갖는 동안 전하펌프1(CP1)(236)의 입력 UP1과 DN1 신호를 각각 VDD, GND와 연결되도록 하여 전하펌프1(236)이 전압 제어 발진기(232)를 현재의 커스 코드에서 발진할 수 있는 최대의 속도로 발진하도록 설정한다. 앞서 시작회로(241)의 동작에 의해 수신부(200)의 모든 회로가 리셋 동작을 마친 상태이므로 처음 커스 코드는 00의 상태를 가지게 되고, 이때의 전압 제어 발진기(232)는 현재의 커스 코드에 따라 가장 낮은 주파수 범위 내에서 나타낼 수 있는 최고 주파수로 발진하고 있는 상태이다. 커스 코드 생성부(231)는 현재 커스 코드에서의 최대 주파수로 발진하는 전압 제어 발진기(232)의 클럭 신호와 기준 클럭 신호의 형태로 인가되고 있는 직렬 데이터 신호를 입력받아 이를 반전기로 구성된 지연단 및 D-플립플롭단(443)에 인가한다. 지연단에 연결된 D-플립플롭단은 지연된 클럭 신호의 상승 모서리에서 입력 클럭 신호를 샘플링하여 지연된 클럭 신호가 입력 클럭 신호의 하강 모서리보다 앞선 위상을 갖는 경우에는 1, 하강 모서리보다 뒤쳐진 위상을 갖는 경우에는 0의 값을 출력하게 함으로써 입력 클럭 신호의 하강 모서리와 지연된 클럭의 상승 모서리가 비슷한 위상을 갖는 부분에서는 출력 값이 1에서 0으로 바뀌게 된다. 이는 클럭 신호의 하강 모서리가 몇 개의 지연셀을 거친 신호와 비슷한 위상을 갖게 되는지 찾아내는 역할을 한다. 식별기

(1-0 검출기(Identifier))(444)는 도 9의 회로가 연속적으로 배열되어 있는 블록으로서 입력 신호가 1에서 0으로 바뀌는 부분에서 1의 신호를 출력하는 회로이기 때문에, 클럭 신호의 하강 모서리의 위치에 해당하는 단에서 1의 신호를 발생시킨다. 위의 동작을 통해 식별기(444)가 N번째 단에서 1의 신호를 출력하였다면 그 입력 신호의 주기는 2N과 비슷한 값을 갖는다는 것을 알 수 있기 때문에, 식별기(444)가 몇 번째 단에서 1의 값을 출력하는가를 비교함으로써 어떤 신호가 더 빠른 신호인지를 쉽게 검출해 낼 수 있다. 만약 이러한 동작을 통해 직렬 데이터 신호가 전압 제어 발진기(232)의 클럭 신호보다 빠르다고 판단이 되면 간단한 디지털 로직으로 구성된 로직부(445, 441)를 통해 커스 코드를 하나 증가시키고, 커스 코드가 증가함에 따라 한 단계 높은 범위 내에서 발진하는 전압 제어 발진기(232)의 클럭 신호를 직렬 데이터 신호와 비교하여 커스 코드를 하나 증가시키거나, 현재의 값을 유지하게 하는 동작을 한번 더 반복한다.

<37> 기준 클럭 신호의 80주기에 해당하는 시간이 지난 후 커스 인에이블 신호는 0의 값으로 바뀌게 된다. 커스 인에이블 신호가 0이 되면, 앞서 커스 코드 생성 동작을 위해 각각 VDD, GND를 출력으로 선택했던 다중 위상 선택기가 PFD_UP, PFD_DN 신호를 출력으로 선택하게 되고, 생성된 커스 코드는 그대로 유지된다. PFD_UP, PFD_DN 신호는 위상-주파수 검출기의 출력이기 때문에, 전체 클럭 복원 회로는 전압 제어 발진기(232), 위상-주파수 검출기(233), 전하펌프1(236), 루프필터(저항 및 커패시터 구성)로 구성되는 일반적인 위상 고정 루프의 형태를 갖게 된다. 위상 고정 루프 동기화 동작은 이 위상 고정 루프를 통해 기준 클럭 형태로 인가되는 직렬 데이터에 전압 제어 발진기(232)의 출력 클럭을 동기화시키는 동작이다. 직렬 데이터에 전압 제어 발진기(232)의 출력 클럭이 어느 정도 동기가 되면, 도 10의 동기 검출기(510, 520, 530)에 의해 주파수 락(Freq.Lock) 신호가 검출된다. 동기 검출기는 위상 고정 루프 동기화 동작 동안 직렬 데이터와 전압 제어 발진기(232)의 출력 클럭을 입력받아 두 신호의 위상차가 D-플립플롭 입력단의 버퍼셀의 지연 시간보다 작을 때 두 신호가 동기되었다고 판단하여 락 신호를 1로 출력한다. 락 신호에 연결된 5개의 D-플립플롭(530)은 아래에 연결된 리셋회로(520)와 함께 동기 검출기의 오동작에 대비하여 락 신호가 5주기 이상 1로 출력될 때에만 최종 출력 (Freq. Lock)을 1로 출력하게 하는 역할을 한다.

<38> 주파수 락(Freq. Lock) 신호가 1을 출력하면 수신부(200)는 위상 고정 루프 동기화 동작을 멈추고, 다중 위상 선택기(238)의 출력을 변경시켜 새로운 루프를 구성하게 된다. 새로운 루프는 전압 제어 발진기(232), 선형 위상 검출기(Linear PD)(239), 전하펌프2(CP2)(237)로 구성되고, 루프를 통해 생성된 전압 제어 발진기 (232) 클럭과 정렬된 직렬 데이터 신호가 병렬기(243)에 연결된다. 이때, 송신부(100)의 조정신호 생성부(30)는 수신부(200)에서 출력한 주파수 락(Freq. Lock) 신호를 입력받아 수신부(200)가 데이터를 받을 준비가 되었음을 알고 앞서 설명한대로 2번째와 3번째 패킷(도 4 및 도 5)의 조정신호를 전송한다.

<39> 새롭게 구성된 루프는 데이터 정렬 동작을 담당하는 루프로써 전압 제어 발진기(232) 클럭의 상승 모서리가 실제 데이터 신호 각 비트의 정중앙에 위치하도록 정렬하는 역할을 한다. 기존의 고속 송수신기의 경우 주로 뱅-뱅(Bang-Bang) 위상 검출기를 사용하여 클럭 복원 회로를 구성하는데, 이는 복원되는 클럭 신호가 상대적으로 큰 지터를 갖고, 이로 인해 비트 에러율(BER)이 높아질 수 있다는 단점이 있기 때문에, 본 실시예에서는 선형 위상 검출기(239)를 사용하여 상대적으로 작은 지터와 낮은 비트 에러율을 나타내도록 설계하였다.

<40> 상기 전압 제어 발진기(232)는 14개의 스테이지, 즉 14개의 상이한 위상을 가지는 전압 제어 발진기를 이용하며, 이를 통해 14 비트의 데이터 블록(데이터 12비트와 잉여 2비트)에 대한 발진 출력을 제공할 수 있다. 만일 입력 신호를 다른 크기의 데이터 블록으로 구분한 경우라면 상이한 스테이지가 필요하다.

<41> 도 11과 도 12는 상기 선형 위상 검출기(239)의 예제 회로도 및 회로의 동작 파형을 나타낸 그림이다. 상기 선형 위상 검출기(239) 회로는 2개의 다중 위상 클럭 신호(CLK(n), CLK(n-1)), 2개의 병렬기 출력 신호(DES(n-1), DES(n)), 그리고 직렬 데이터 신호를 입력받아 병렬기 출력 신호가 차례로 0과 1의 값을 가질 때, 다시 말해서 직렬 데이터 신호가 상승 모서리를 가질 때, 세 개의 다중 위상 클럭 신호 중 가운데 신호와 직렬 데이터 신호의 위상 차이에 따라 그 위상 차이에 해당하는 펄스 신호를 출력하는 동작을 한다. 예를 들어 14개의 다중 위상 중에서 1번째, 2번째 다중 위상 클럭 신호를 사용한다고 가정하면, 1번째 클럭 신호에 의해 샘플링 된 직렬 데이터 신호와 2번째 클럭 신호에 의해 샘플링 된 직렬 데이터 신호가 각각 0과 1이라면, 즉, 도 12에서와 같이 직렬 데이터 신호가 1번째 클럭과 2번째 클럭 신호의 사이에서 상승 모서리를 가지게 된다면, 상기 선형 위상 검출기(239)는 직렬 데이터의 상승 모서리와 2번째 클럭 신호의 상승 모서리의 위상차를 PD_DN 신호로, 직렬 데이터의 상승 모서리와 1번째 클럭 신호의 상승 모서리의 위상차를 PD_UP 신호로 나타낸다. PD_DN과 PD_UP 신호는 다중 위상 클럭 신호와 직렬 데이터 신호의 위상차와 비례하는 펄스로 나타나게 되므로, PD_DN 신호가 PD_UP 신호 보다 넓은 펄스로 나타날 경우에는 다중 클럭 신호가 더 느려지도록 전하펌프2(237)에 신호를 보내고, 반대의 경우에는 다중 클럭 신호가 더 빨라지도록 전하펌프2(237)에 신호를 보낸다. PD_DN 신호와 PD_UP 신호의

너비가 같은 경우는 2번째 클럭이 직렬 데이터의 정중앙에 위치한 경우이므로 이 경우 전하펌프2(237)는 출력 전류를 일정하게 유지한다.

<42> PD_DN 신호와 PD_UP 신호는 전하펌프의 입력이 되는 신호이므로 두 신호 사이의 위상차가 존재하면 전하펌프에 진류 오차를 발생시켜 고정 위상 오차를 발생시킬 수 있으므로, 항상 먼저 출력되는 PD_DN 신호는 지연셀 한단의 지연, 즉 다중 위상 클럭 신호 간 위상차의 절반의 위상이 지연된 상태로 출력되도록 설계하여 고정 위상 오차를 최소화하도록 하였다.

<43> 선형 위상 검출기(239)에 의한 데이터 정렬을 마치면, 병렬기(243)의 첫 번째 출력과 마지막 출력은 항상 시작 비트와 정지 비트를 의미하는 1과 0으로 고정된다. 간단한 로직으로 첫 번째 출력과 마지막 출력이 1과 0으로 출력됨을 검출하는 회로인 시작비트 검출기(243)는 시작비트와 정지 비트가 1과 0으로 고정됨을 확인하면 미세 락(Fine Lock) 신호를 1로 고정시켜 병렬기(243)의 출력을 사용해도 좋다는 허가 신호를 제공한다. 최종적으로 수신부(200)는 병렬기(243)의 28비트 출력신호 중 시작비트, 정지 비트, DC_A , DC_B 를 제외한 실제 24비트의 출력과 데이터 속도에 동기된 클럭 신호를 출력한다.

도면의 간단한 설명

<44> 도 1은 기준 클럭을 사용하지 않는 고속 송수신기의 구성을 도시한 블록도.

<45> 도 2는 고속 송수신기의 신호 전송 형태를 나타낸 도면.

<46> 도 3은 조정 신호 발생기의 초기 동기화 신호 전송 형태를 나타낸 도면.

<47> 도 4는 조정 신호 발생기의 시험 데이터 전송 형태를 나타낸 도면.

<48> 도 5는 조정 신호 발생기의 실제 데이터 전송 형태를 나타낸 도면.

<49> 도 6은 클럭 복원 회로의 구성을 도시한 블록도.

<50> 도 7은 시작 회로의 구성을 도시한 블록도.

<51> 도 8은 커스 전압 생성기의 구성을 도시한 블록도.

<52> 도 9는 커스 전압 생성기에 포함된 1-0 검출기의 구성을 도시한 블록도.

<53> 도 10은 동기 검출기 회로의 구성을 도시한 블록도.

<54> 도 11은 선형 위상 검출기 회로의 구성을 도시한 블록도.

<55> 도 12는 선형 위상 검출기에 의해서 위상 차이가 검출되는 경우를 도시한 도면.

<56> ** 도면의 주요 부분에 대한 부호의 설명 **

<57> 10: 입력 버퍼 20: 인코더

<58> 30: 조정신호 생성부 40: 위상 고정 루프

<59> 50: 먹스 60: 직렬기

<60> 70: LVDS 변환부 100: 송신부

<61> 200: 수신부 210: CMOS 변환부

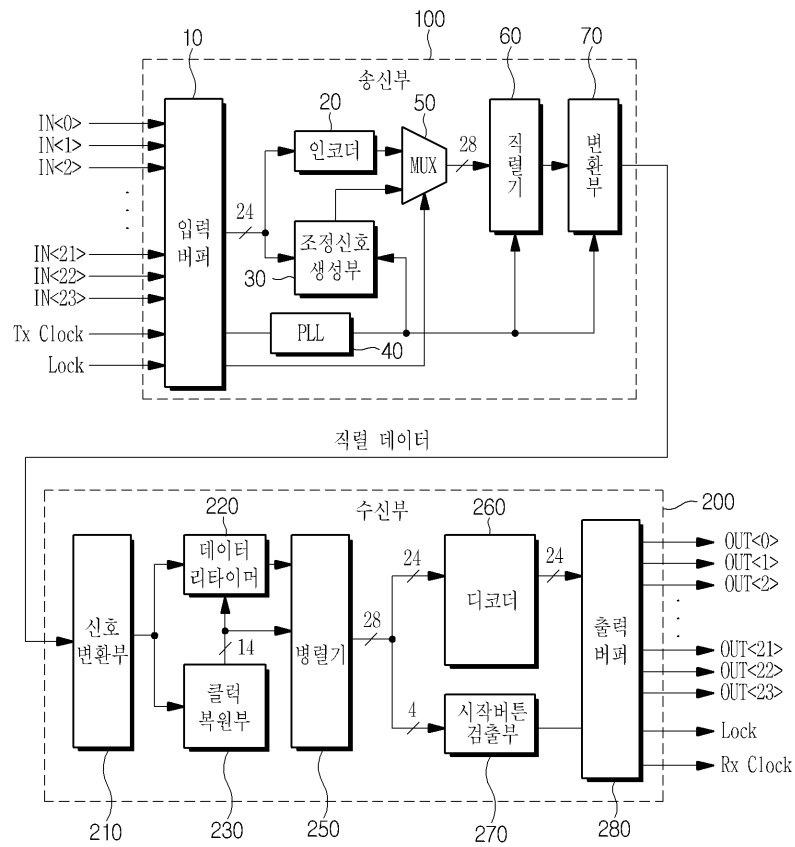
<62> 220: 데이터 리타이머 230: 클럭 복원부

<63> 250: 병렬기 260: 디코더

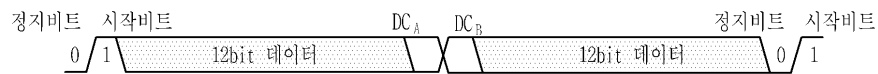
<64> 270: 시작비트 검출부 280: 출력 버퍼

도면

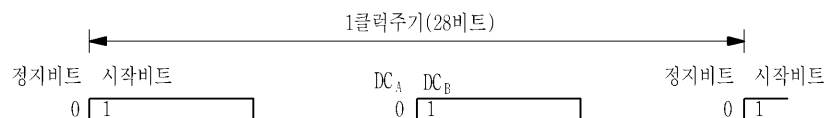
도면1



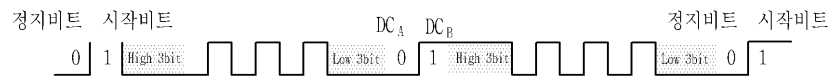
도면2



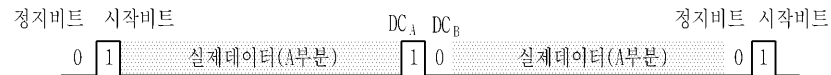
도면3



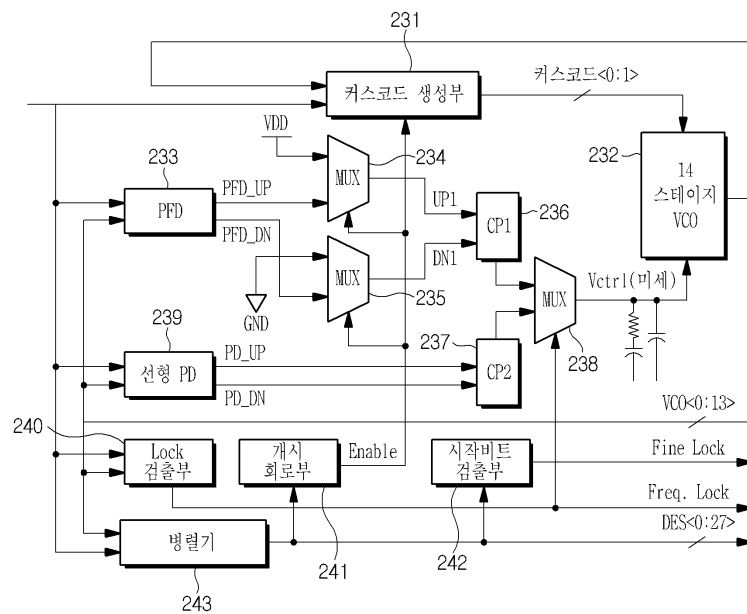
도면4



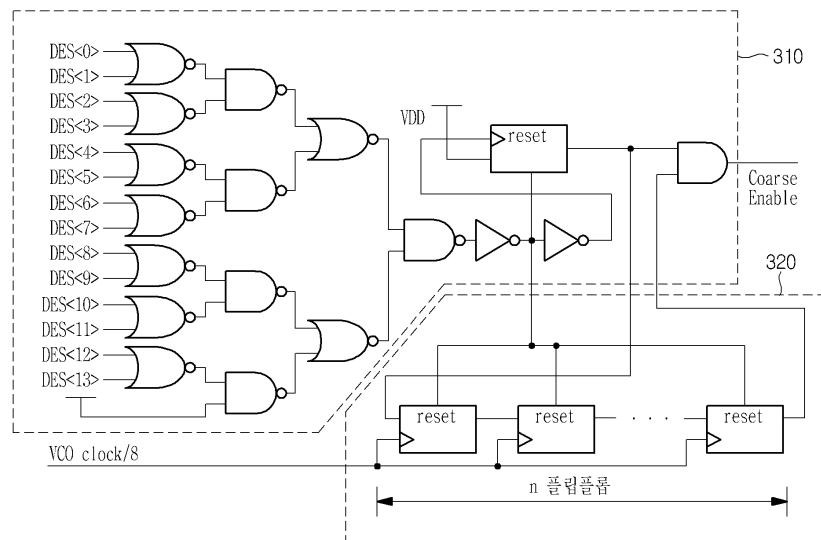
도면5



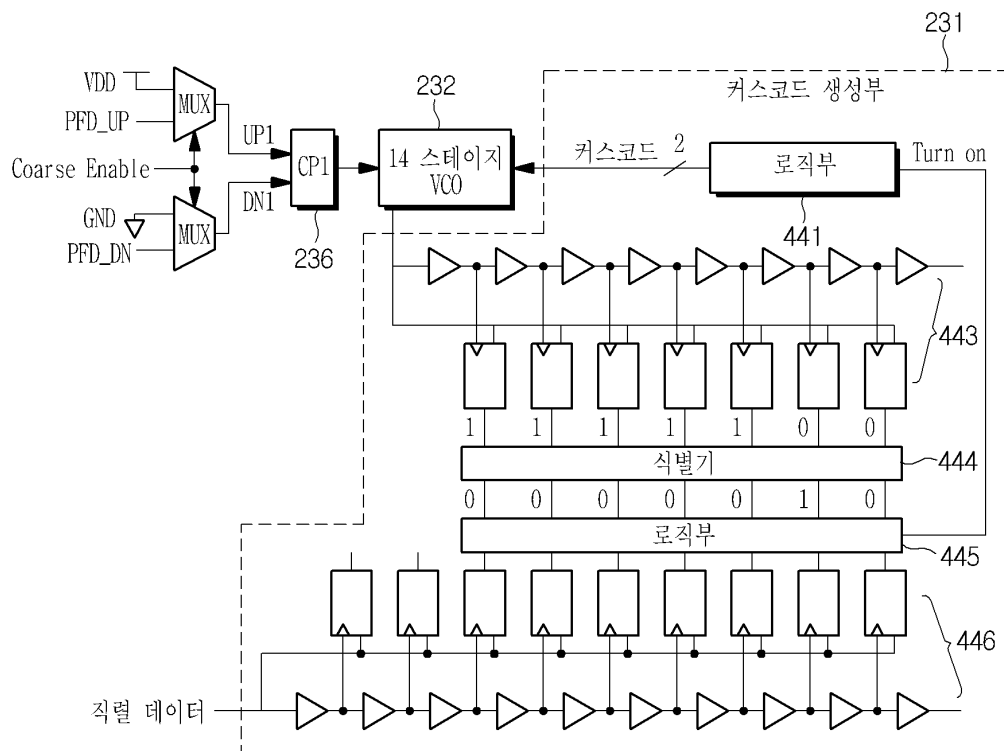
도면6



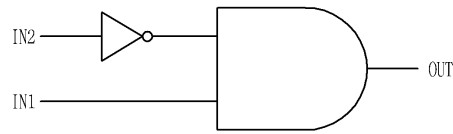
도면7



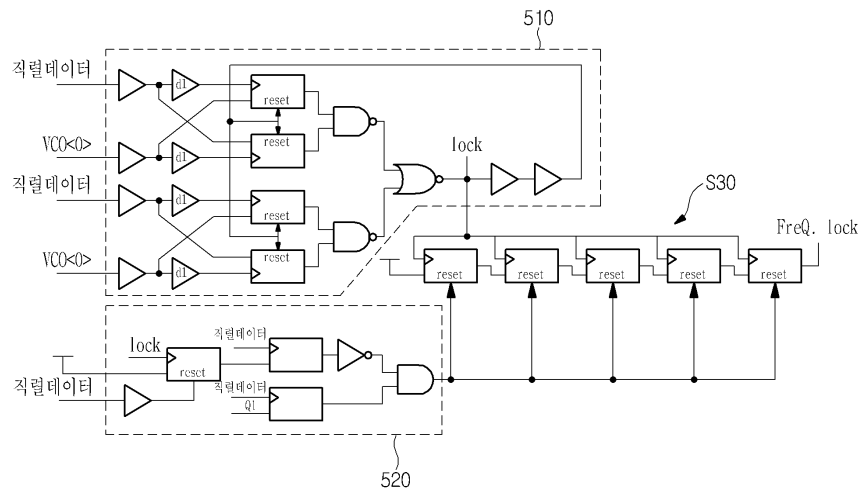
도면8



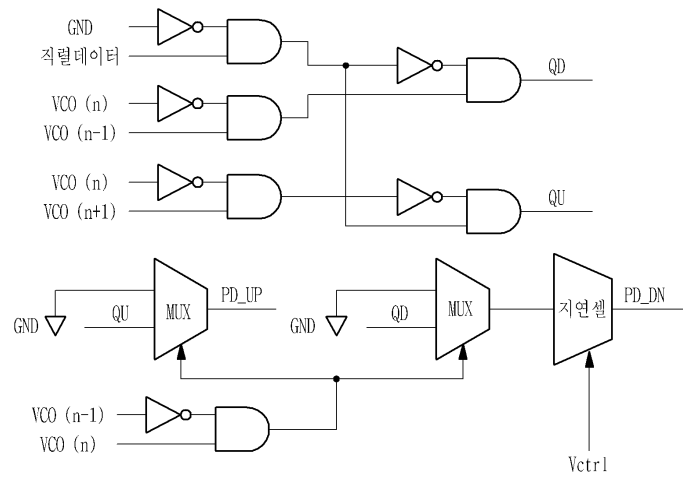
도면9



도면10



도면11



도면12

