

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年9月30日(30.09.2010)

PCT

(10) 国際公開番号
WO 2010/109558 A1

- (51) 国際特許分類:
G02F 1/1368 (2006.01) G02F 1/1343 (2006.01)
- (21) 国際出願番号: PCT/JP2009/005883
- (22) 国際出願日: 2009年11月5日(05.11.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-072239 2009年3月24日(24.03.2009) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番2号 Osaka (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 星野淳之
(HOSHINO, Atsuyuki).
- (74) 代理人: 特許業務法人原謙三国際特許事務所
(HARAKENZO WORLD PATENT & TRADE-

MARK); 〒5300041 大阪府大阪市北区天神橋2
丁目北2番6号 大和南森町ビル Osaka (JP).

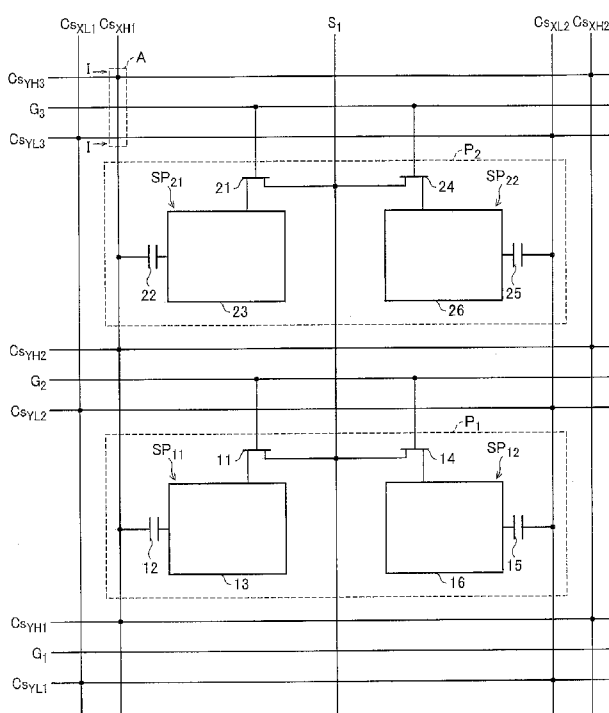
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: TFT SUBSTRATE AND LIQUID CRYSTAL DISPLAY APPARATUS USING THE SAME

(54) 発明の名称: TFT基板及びこれを用いた液晶表示装置

[図1]



(57) Abstract: Provided is a TFT substrate wherein the pixel potentials of a plurality of pixels arranged thereon can be precisely maintained. The TFT substrate is provided with gate bus lines (G₂, G₃), auxiliary capacity bus lines (C_{SYH3}, C_{SYL2}) formed of the same wiring layer as the gate bus lines (G₂, G₃), an auxiliary capacity bus line (C_{SXH1}) which is formed of the same wiring layer as the gate bus lines (G₂, G₃) and which forms an auxiliary capacity (22) of a first sub pixel (SP₂₁), and an auxiliary capacity bus line (C_{SXL2}) which is formed of the same wiring layer as the gate bus lines (G₂, G₃) and which forms an auxiliary capacity (25) of a second sub pixel (SP₂₂). The auxiliary capacity bus line (C_{SYH3}) and the auxiliary capacity bus line (C_{SXH1}), and the auxiliary capacity bus line (C_{SYL2}) and the auxiliary capacity bus line (C_{SXL2}) are respectively interconnected through connection wire portions formed of a wiring layer different from the gate bus lines (G₂, G₃).

(57) 要約: TFT基板上に配列された複数の画素の画素電位を精度良く保持することができるTFT基板を提供する。本発明のTFT基板は、ゲートバスライン(G

[続葉有]

WO 2010/109558 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

G_2 、 G_3) と、ゲートバスライン (G_2 、 G_3) と同一配線層から構成された補助容量バスライン ($C_{s_{YH3}}$ 、 $C_{s_{YL2}}$) と、ゲートバスライン (G_2 、 G_3) と同一配線層から構成され、第 1 の副画素 (SP_{21}) の補助容量 (22) を形成する補助容量バスライン ($C_{s_{XH1}}$) と、ゲートバスライン (G_2 、 G_3) と同一配線層から構成され、第 2 の副画素 (SP_{22}) の補助容量 (25) を形成する補助容量バスライン ($C_{s_{XL2}}$) とを備えている。補助容量バスライン ($C_{s_{YH3}}$) と補助容量バスライン ($C_{s_{XH1}}$)、及び、補助容量バスライン ($C_{s_{YL2}}$) と補助容量バスライン ($C_{s_{XL2}}$) は、それぞれ、ゲートバスライン (G_2 、 G_3) とは異なる配線層から構成された接続配線部を介して接続されている。

明 細 書

発明の名称： T F T基板及びこれを用いた液晶表示装置

技術分野

[0001] 本発明は、薄膜トランジスタを用いたアクティブマトリクス型のT F T基板及びこれを用いた液晶表示装置に関する。

背景技術

[0002] γ 特性の視角依存性を改善した液晶表示装置として、マルチ画素駆動方式の液晶表示装置がある。マルチ画素駆動においては、輝度の異なる2つ以上の副画素によって1つの画素を構成することにより、視野角特性すなわち γ 特性の視角依存性を改善する（例えば、特許文献1を参照）。

[0003] 図9に、従来のマルチ画素駆動方式の液晶表示装置が備える画素の構成例を示す。図9に示すように、1つの画素 P_1 は2つの副画素 SP_1 、 SP_2 に分割されている。副画素 SP_1 は、薄膜トランジスタ（以下、「T F T」と呼ぶ。）51と、補助容量52と、副画素電極53と、を有している。同様に、副画素 SP_2 は、T F T61と、補助容量62と、副画素電極63と、を有している。

[0004] T F T51及びT F T61の各々のゲート電極は、ゲートバスライン G_1 に接続されており、各々のソース電極は、ソースバスライン S_1 に接続されている。

[0005] 補助容量52は、副画素電極53と補助容量バスライン Cs_1 との間で形成されている。補助容量62は、副画素電極63と補助容量バスライン Cs_2 との間で形成されている。

[0006] 補助容量バスライン Cs_1 とゲートバスライン G_1 は、副画素 SP_1 を挟むようにして互いに平行となるように配置されている。補助容量バスライン Cs_2 とゲートバスライン G_1 は、副画素 SP_2 を挟むようにして互いに平行となるように配置されている。

[0007] また、画素 P_1 の補助容量バスライン Cs_1 は、この補助容量バスラインC

s_1 を挟んで画素 P_1 に隣接する他の画素（図示省略）の副画素が有する補助容量を形成するための補助容量バスラインを兼ねている。同様に、画素 P_1 の補助容量バスライン C_{s_2} は、この補助容量バスライン C_{s_2} を挟んで画素 P_1 に隣接する他の画素（図示省略）の副画素が有する補助容量を形成するための補助容量バスラインを兼ねている。

- [0008] 図10を用いて、マルチ画素駆動方式の表示パネルにおける補助容量バスライン C_{s_1} 、 C_{s_2} （以下、 C_{s_1} 、 C_{s_2} を総称して「 C_s 」と呼ぶ場合もある。）の駆動方法について説明する。
- [0009] 図10に示すように、表示領域であるアクティブエリア AA に交互に配置された補助容量バスライン C_s は、アクティブエリア AA に隣接する領域に配置された C_s 幹配線 b_b に接続されている。 C_s 幹配線 b_b は、複数本で1組の C_s 幹配線群 BB_1 及び C_s 幹配線群 BB_2 を構成している。 C_s 幹配線群 BB_1 は、アクティブエリア AA に対して補助容量バスライン C_s が延びる一方の方向の所定側となる、アクティブエリア AA の一端側に隣接する領域に設けられている。また、 C_s 幹配線群 BB_2 は、アクティブエリア AA に対して補助容量バスライン C_s が延びる他方の方向の所定側となる、アクティブエリア AA の他端側に隣接する領域に設けられている。
- [0010] 例えば、 C_s 幹配線群 BB_1 のみが設けられている場合には、補助容量バスライン C_s の一端が C_s 幹配線群 BB_1 を構成する C_s 幹配線 b_b に接続されている。一方、 C_s 幹配線群 BB_1 及び C_s 幹配線群 BB_2 の両方が設けられている場合には、補助容量バスライン C_s の一端が C_s 幹配線群 BB_1 を構成する C_s 幹配線 b_b に接続されており、補助容量バスライン C_s の他端が C_s 幹配線群 BB_2 を構成する C_s 幹配線 b_b に接続されている。 C_s 幹配線 b_b は、補助容量バスライン C_s の延びる方向に直交する方向、すなわち図9のソースバスライン S_1 の延びる方向に延びている。
- [0011] 図10では、12本の C_s 幹配線 b_b からなる C_s 幹配線群 BB_1 、および、12本の C_s 幹配線 b_b からなる C_s 幹配線群 BB_2 が設けられている。そして、各補助容量バスライン C_s は、各 C_s 幹配線群 BB_1 および BB

2の各々のいずれか1本の C_s 幹配線 b_b に接続されている。連続して配置された12本の補助容量バスライン C_s は、各 C_s 幹配線群 BB_1 、 BB_2 のうちの互いに異なる C_s 幹配線 b_b に接続されている。

[0012] 一方、 C_s 幹配線群 BB_1 のみが設けられている場合には、連続して配置された12本の補助容量バスライン C_s は、 C_s 幹配線群 BB_1 のうちの互いに異なる C_s 幹配線 b_b に接続されることになる。

[0013] このようなマルチ画素駆動方式では、互いに異なる補助容量電圧 V_{cs} を補助容量バスライン C_{s1} 及び補助容量バスライン C_{s2} の各々に印加することにより、同一の画素 P_1 を構成する副画素 SP_1 及び SP_2 の各々の輝度を異なるものとし、そうすることにより、画素 P_1 全体の γ 特性を改善している。

[0014] 上記の補助容量電圧 V_{cs} は、 C_s 幹配線 b_b を介して補助容量バスライン C_{s1} 及び補助容量バスライン C_{s2} に供給されている。そして、各 C_s 幹配線群 BB_1 、 BB_2 の異なる C_s 幹配線 b_b には、異なる補助容量電圧 V_{cs} が印加されている。このため、 C_s 幹配線群 BB_1 、 BB_2 の各々には、 C_s 幹配線 b_b の本数分の異なる補助容量電圧 V_{cs} が C_s ドライバ（図示省略）から供給されている。

[0015] 図10に示したように、アクティブエリア AA の両側に C_s 幹配線群 BB_1 、 BB_2 が配置された場合では、同一の補助容量バスライン C_s に接続された、 C_s 幹配線群 BB_1 、 BB_2 の各々の C_s 幹配線 b_b には同一の補助容量電圧 V_{cs} が印加されている。

[0016] このようにして、アクティブエリア AA の両側から補助容量電圧 V_{cs} を供給している。このため、大きなサイズの液晶画面であっても、補助容量電圧 V_{cs} が配線遅延によって、同一の補助容量バスライン C_s におけるアクティブエリア AA の異なる場所間で、補助容量電圧 V_{cs} の波形が異なることを抑制することができる。

[0017] 従来、このような補助容量バスライン C_s をアクティブエリア AA 内で網目状に配置する構成が提案されている（例えば、特許文献2～6を参照）。

[0018] 例えば、特許文献2に開示された従来の液晶表示装置では、図10に示し

た補助容量バスラインCsに相当する蓄積容量バスラインを網目状に形成することで、電源側から見た蓄積容量バスラインのインピーダンスを極めて小さくすることができる。このため、蓄積容量バスラインの時定数を小さくすることができるので、表示品位を低下することなく、液晶表示装置の大型化、高精細化を実現している。

- [0019] また、特許文献3に開示された従来の液晶表示素子でも、図10に示した補助容量バスラインCsに相当する補助容量配線ユニットを網目状に形成することで、補助容量ユニットの電気抵抗値を下げるができる。さらに、補助容量配線ユニットに断線が発生した場合でも、補助容量配線全体が網目状に形成されているため、断線の悪影響を最小限に抑えることができる。

先行技術文献

特許文献

- [0020] 特許文献1：国際公開特許公報「第2006/098449号パンフレット（2006年9月21日公開）」
特許文献2：日本国公開特許公報「特開2001-281690号公報（2001年10月10日公開）」
特許文献3：日本国公開特許公報「特開平9-160075号公報（1997年6月20日公開）」
特許文献4：日本国公開特許公報「特開平3-72321号公報（1991年3月27日公開）」
特許文献5：日本国公開特許公報「特開昭62-265688号公報（1987年11月18日公開）」
特許文献6：日本国公開特許公報「特開2001-109018号公報（2001年4月20日公開）」

発明の概要

発明が解決しようとする課題

- [0021] ところで、TV用途の液晶表示装置では、倍速駆動や大型・高精細化等の

要求から、画素電位を保持するための上記の補助容量バスライン C_s の低抵抗化が求められている。

[0022] 特に、上述したような従来のマルチ画素駆動方式では、例えば図9を用いて説明したように、互いに異なる補助容量電圧 V_{cs} を補助容量バスライン C_{s1} 及び補助容量バスライン C_{s2} の各々に印加しなければならない。その結果、補助容量バスライン C_{s1} 及び補助容量バスライン C_{s2} の両方の低抵抗化が必要である。

[0023] しかしながら、このような補助容量バスライン C_{s1} 及び補助容量バスライン C_{s2} の両方の抵抗を下げようとした場合、最低2組必要な補助容量バスラインを $2 \times n$ (n : 自然数) 倍の組としなければならない。その結果、図10に示した C_s 幹配線群 $BB1$ 、 $BB2$ も低抵抗化が必要となり、このため、それらの配線幅が増大して、 C_s 幹配線群 $BB1$ 、 $BB2$ が占める領域の増大化を招いてしまう。

[0024] そこで、上記の特許文献2及び3に開示された、補助容量バスライン C_s を網目状に形成する構成を採用することが有効と期待できる。

[0025] しかしながら、互いに異なる補助容量電圧 V_{cs} が印加される補助容量バスライン C_{s1} 及び補助容量バスライン C_{s2} に上記の特許文献2及び3に開示された構成を採用し、各々を単純に接続した場合、それらを接続する配線の経路が非常に複雑となってしまう。

[0026] このため、図9に示した副画素電極53及び副画素電極63と、補助容量バスライン C_{s1} 及び補助容量バスライン C_{s2} との間で余分な容量が形成されてしまい、その結果、各画素 P_1 の画素電位を精度良く保持することができないといった課題があった。

[0027] 上記課題に鑑み、本発明の目的は、TFT基板上に配列された複数の画素の画素電位を精度良く保持することができるTFT基板及びこれを用いた液晶表示装置を提供することである。

課題を解決するための手段

[0028] 上記目的を達成するために、本発明におけるTFT基板は、第1の副画素

及び当該第 1 の副画素に隣接する第 2 の副画素からなる、複数の画素がマトリクス状に配列されたアクティブマトリクス型の TFT 基板であって、前記第 1 の副画素及び前記第 2 の副画素が隣接する隣接方向に沿って延在する第 1 及び第 2 のゲートバスラインと、前記第 1 及び第 2 のゲートバスラインと同一の配線層から構成され、且つ、前記隣接方向に沿って延在する第 1 及び第 2 の補助容量バスラインと、前記第 1 及び第 2 のゲートバスラインと同一の配線層から構成され、且つ、前記第 1 の副画素に近接し、前記第 1 の副画素の副画素電極との間において前記第 1 の副画素の補助容量を形成する第 3 の補助容量バスラインと、前記第 1 及び第 2 のゲートバスラインと同一の配線層から構成され、且つ、前記第 2 の副画素に近接し、前記第 2 の副画素の副画素電極との間において前記第 2 の副画素の補助容量を形成する第 4 の補助容量バスラインとを備え、前記第 1 の補助容量バスラインと前記第 1 の副画素は、前記第 1 のゲートバスラインを挟むようにして配置され、前記第 2 の補助容量バスラインと前記第 2 の副画素は、前記第 2 のゲートバスラインを挟むようにして配置されており、前記第 1 の補助容量バスラインと前記第 2 の補助容量バスラインとは、互いに異なる電圧が印加されており、前記第 1 の補助容量バスラインと前記第 3 の補助容量バスラインとの間を接続する、前記第 1 及び第 2 のゲートバスラインとは異なる配線層から構成された第 1 の接続配線部と、前記第 2 の補助容量バスラインと前記第 4 の補助容量バスラインとの間を接続する、前記第 1 及び第 2 のゲートバスラインとは異なる配線層から構成された第 2 の接続配線部とをさらに備えている。

[0029] 上記の TFT 基板では、第 1 の副画素は、自身に近接する第 3 の補助容量バスラインとの間において補助容量を形成する。そして、第 3 の補助容量バスラインは、第 1 及び第 2 のゲートバスラインとは異なる配線層から構成された第 1 の接続配線部を介して、第 1 の補助容量バスラインと接続されている。

[0030] また、第 2 の副画素は、自身に近接する第 4 の補助容量バスラインとの間において補助容量を形成する。そして、第 4 の補助容量バスラインは、第 1

及び第2のゲートバスラインとは異なる配線層から構成された第2の接続配線部を介して、第2の補助容量バスラインと接続されている。

[0031] このため、第1の補助容量バスライン及び第3の補助容量バスラインをTFT基板上に網目状に形成することができる。また、第2の補助容量バスライン及び第4の補助容量バスラインをTFT基板上に網目状に形成することができる。

[0032] したがって、第1の補助容量バスライン及び第3の補助容量バスラインを用いて同一の補助容量電圧をTFT基板上の各画素に均一に供給することができ、また、第2の補助容量バスライン及び第4の補助容量バスラインを用いて、第1の補助容量バスラインに印加される補助容量電圧とは異なる同一の補助容量電圧をTFT基板上の各画素に均一に供給することができる。そうすることにより、2つの異なる電圧を用いるマルチ画像駆動における各画素の画素電位を精度良く保持することができる。

[0033] 本発明における液晶表示装置は、上記のTFT基板と、前記TFT基板を用いて画像を表示するための画像表示処理を制御するための制御回路とを備えている。

[0034] 上記の液晶表示装置では、第1の副画素は、自身に近接する第2の補助容量バスラインとの間において補助容量を形成する。そして、第2の補助容量バスラインは、ゲートバスラインとは異なる配線層から構成された接続配線部を介して、第1の補助容量バスラインと接続されている。

[0035] このため、第1の補助容量バスライン及び第2の補助容量バスラインをTFT基板上に網目状に形成することができる。したがって、これら第1の補助容量バスライン及び第2の補助容量バスラインを用いて同一の補助容量電圧をTFT基板上の各画素に均一に供給することができるので、各画素の画素電位を精度良く保持することができる。

発明の効果

[0036] 本発明のTFT基板は、以上のように、前記第1の副画素及び前記第2の副画素が隣接する隣接方向に沿って延在する第1及び第2のゲートバスライ

ンと、前記第 1 及び第 2 のゲートバスラインと同一の配線層から構成され、且つ、前記隣接方向に沿って延在する第 1 及び第 2 の補助容量バスラインと、前記第 1 及び第 2 のゲートバスラインと同一の配線層から構成され、且つ、前記第 1 の副画素に近接し、前記第 1 の副画素の副画素電極との間において前記第 1 の副画素の補助容量を形成する第 3 の補助容量バスラインと、前記第 1 及び第 2 のゲートバスラインと同一の配線層から構成され、且つ、前記第 2 の副画素に近接し、前記第 2 の副画素の副画素電極との間において前記第 2 の副画素の補助容量を形成する第 4 の補助容量バスラインとを備え、前記第 1 の補助容量バスラインと前記第 1 の副画素は、前記第 1 のゲートバスラインを挟むようにして配置され、前記第 2 の補助容量バスラインと前記第 2 の副画素は、前記第 2 のゲートバスラインを挟むようにして配置されており、前記第 1 の補助容量バスラインと前記第 2 の補助容量バスラインとは、互いに異なる電圧が印加されており、前記第 1 の補助容量バスラインと前記第 3 の補助容量バスラインとの間を接続する、前記第 1 及び第 2 のゲートバスラインとは異なる配線層から構成された第 1 の接続配線部と、前記第 2 の補助容量バスラインと前記第 4 の補助容量バスラインとの間を接続する、前記第 1 及び第 2 のゲートバスラインとは異なる配線層から構成された第 2 の接続配線部とをさらに備えているものである。

[0037] それゆえ、TFT 基板上に配列された複数の画素の画素電位を精度良く保持することができるという効果を奏する。

図面の簡単な説明

[0038] [図1]本発明の実施の形態 1 における液晶表示装置のアクティブエリア上に配置された複数の画素の配置構成を示す回路図である。

[図2]図 1 の A 部を I-I 方向から見た断面図である。

[図3]本発明の実施の形態 1 における液晶表示装置の構成を示すブロック図である。

[図4]本発明の実施の形態 2 における液晶表示装置のアクティブエリア上に配置された複数の画素の配置構成を示す回路図である。

[図5]本発明の実施の形態3における液晶表示装置のアクティブエリア上に配置された複数の画素の配置構成を示す回路図である。

[図6]本発明の実施の形態4における液晶表示装置のアクティブエリア上に配置された複数の画素の配置構成を示す回路図である。

[図7]図6の副画素電極形状の変形例を説明するための説明図である。

[図8]本発明の実施の形態5における液晶表示装置のアクティブエリア上に配置された複数の画素の配置構成を示す回路図である。

[図9]従来のマルチ画素駆動方式の液晶表示装置が備える画素の構成例を示す図である。

[図10]補助容量バスライン及びC_s幹配線の配置を示す平面図である。

発明を実施するための形態

[0039] 以下図面を参照して、本発明の実施の形態を説明する。以下の図面の記載において、同一または類似の部分には同一または類似の符号を付している。

[0040] (実施の形態1)

図3は、本発明の実施の形態1における液晶表示装置1の構成を示すブロック図である。本実施の形態における液晶表示装置1は、図3に示すように、アクティブマトリクス型の表示部(TFT基板)2と、ソースドライバ3と、ゲートドライバ(GD)4と、表示制御回路5と、C_s制御回路6及び7と、を備えている。

[0041] なお、これら構成要件は、1つのパネル上に実装されていてもよいし、ソースドライバ3と、ゲートドライバ4と、表示制御回路5と、C_s制御回路6及び7との一部または全部がフレキシブルプリント基板等の外部基板に搭載されて、表示部2を備えたパネルに接続された構成でも構わない。要は、表示部2と、ソースドライバ3と、ゲートドライバ4と、表示制御回路5と、C_s制御回路6及び7は、任意に配置可能である。

[0042] 表示部2は、複数の画素がマトリクス状に配置された領域であるアクティブエリアAAと、複数のゲートバスラインと、複数のソースバスラインと、複数の補助容量バスラインと、2つのC_s幹配線群BB₁、BB₂と、を有し

ている。

- [0043] なお、図3では、図面の見易さのため、アクティブエリアAA上に配置された複数の画素に含まれる後述の画素 P_2 、複数のゲートラインに含まれる G_3 、複数のソースバスラインに含まれる S_1 、及び、複数の補助容量バスラインに含まれる補助容量バスライン $C_{s_{YH3}}$ 、 $C_{s_{YL3}}$ 、 $C_{s_{XH1}}$ 、 $C_{s_{XL2}}$ のそれぞれのみが記載されている。
- [0044] 画素 P_2 は、副画素 SP_{21} 及び副画素 SP_{22} から構成されている。そして、副画素 SP_{21} 及び副画素 SP_{22} に含まれる各TFT（図示省略）のゲート電極がゲートバスライン G_3 に接続されており、各々のソース電極がソースバスライン S_1 に接続されている。そして、ゲートバスラインとソースバスラインとは、互いに交差するように配置されている。
- [0045] C_s 幹配線群 BB_1 は、アクティブエリアAAに隣接する領域のうち、補助容量バスラインが延びる方向のうち的一方側に隣接する領域に設けられている。また、 C_s 幹配線群 BB_2 は、アクティブエリアAAに隣接する領域のうち、補助容量バスラインの延びる方向のうち他方側に隣接する領域に設けられている。そして、補助容量バスラインは、 C_s 幹配線群 BB_1 及び C_s 幹配線群 BB_2 の各々に接続されている。
- [0046] 表示制御回路5は、ソースドライバ3、ゲートドライバ4、 C_s 制御回路6及び C_s 制御回路7を制御する。例えば、表示制御回路5は、チューナ等の外部の信号源から、表示すべき画像を表わすデジタルビデオ信号 D_v と、そのデジタルビデオ信号 D_v に対応する水平同期信号 HSY 及び垂直同期信号 VSY と、表示動作を制御するための制御信号 D_c とを受け取る。そして、表示制御回路5は、受け取ったこれらの信号 D_v 、 HSY 、 VSY 、 D_c を用いて、そのデジタルビデオ信号 D_v の表わす画像を表示部2に表示させるための複数の信号を生成し、出力する。具体的には、表示制御回路5は、その複数の信号として、データスタートパルス信号 SSP と、データクロック信号 SCK と、ラッチストロープ信号 LS と、表示すべき画像を表わすデジタル画像信号 DA （ビデオ信号 D_v に対応する信号）と、ゲートスタートパ

ルス信号GSPと、ゲートクロック信号GCKと、ゲートドライバ出力制御信号（走査信号出力制御信号）GOEとを生成する。

[0047] より詳しくは、表示制御回路5は、ビデオ信号Dvを内部メモリで必要に応じてタイミング調整等を行った後に、デジタル画像信号DAとして出力し、そのデジタル画像信号DAの表わす画像の各画素に対応するパルスからなる信号としてデータクロック信号SCKを生成する。

[0048] そして、表示制御回路5は、水平同期信号HSYに基づき1水平走査期間毎に所定期間だけハイレベル（Hレベル）となる信号としてデータスタートパルス信号SSPを生成し、垂直同期信号VSYに基づき1フレーム期間（1垂直走査期間）毎に所定期間だけHレベルとなる信号としてゲートスタートパルス信号GSPを生成する。

[0049] そして、表示制御回路5は、水平同期信号HSYに基づきゲートクロック信号GCKを生成し、水平同期信号HSY及び制御信号Dcに基づきラッチストロープ信号LS、ならびにゲートドライバ出力制御信号GOEを生成する。

[0050] 上記のようにして表示制御回路5において生成された信号のうち、デジタル画像信号DA、ラッチストロープ信号LS、信号電位（データ信号電位）の極性を制御する信号POL、データスタートパルス信号SSP、及びデータクロック信号SCKは、ソースドライバ3に入力され、ゲートスタートパルス信号GSPとゲートクロック信号GCKとゲートドライバ出力制御信号GOEとは、ゲートドライバ4に入力される。

[0051] ソースドライバ3は、デジタル画像信号DA、データクロック信号SCK、ラッチストロープ信号LS、データスタートパルス信号SSP、及び、極性反転信号POLに基づき、データ信号を1水平走査期間毎に順次生成し、これらのデータ信号をソースバスラインに出力する。これらデータ信号は、デジタル画像信号DAの表わす画像の各走査信号線に接続された各画素の画素値に相当するアナログ電位である。

[0052] ゲートドライバ4は、ゲートスタートパルス信号GSPと、ゲートクロック

ク信号GCKと、ゲートドライバ出力制御信号GOEとに基づき、走査信号を生成し、これらをゲートバスラインに出力し、これによってゲートバスラインが選択的に駆動される。

[0053] 上記のようにソースドライバ3及びゲートドライバ4により表示部2のソースバスライン及びゲートバスラインが駆動されることで、選択されたゲートバスラインに接続されたTFTを介して、ソースバスラインから副画素電極に信号電位が書き込まれる。

[0054] これにより各画素が備える副画素の液晶層にデジタル画像信号DAに応じた電圧が印加され、その電圧印加によってバックライトからの光の透過量が制御され、デジタルビデオ信号Dvの示す画像が画素に表示される。

[0055] Cs制御回路6及び7は、表示制御回路5から出力されるゲートスタートパルス信号GSP、ゲートクロック信号GCKに基づいて、補助容量バスラインの電位を制御するための補助容量電圧Vcsの位相及び周期等を制御する回路である。Cs制御回路6は補助容量電圧VcsをCs幹配線群BB₁に出力し、Cs制御回路7は補助容量電圧VcsをCs幹配線群BB₂に出力する。

[0056] 次に、本発明の実施の形態1における画素の配置構成について説明する。図1は、図3に示した液晶表示装置1のアクティブエリアAA上に配置された複数の画素の配置構成を示す回路図である。

[0057] 図1に示すように、本実施の形態における液晶表示装置1のアクティブエリアAAにおいて、画素P₁及び画素P₂が配置されている。画素P₁は、副画素SP₁₁（第1の副画素）及び副画素SP₁₂（第2の副画素）から構成されており、画素P₂は、副画素SP₂₁（第1の副画素）及び副画素SP₂₂（第2の副画素）から構成されている。

[0058] まず、画素P₁について説明する。

[0059] 副画素SP₁₁は、TFT（薄膜トランジスタ）11と、補助容量12と、副画素電極13と、を有している。同様に、副画素SP₁₂は、TFT14と、補助容量15と、副画素電極16と、を有している。

- [0060] 副画素 SP_{11} のTFT11のゲート電極は、ゲートバスライン G_2 （第2のゲートバスライン）に接続されており、そのソース電極は、ソースバスライン S_1 に接続されている。同様に、副画素 SP_{12} のTFT14のゲート電極は、ゲートバスライン G_2 に接続されており、そのソース電極は、ソースバスライン S_1 に接続されている。
- [0061] 副画素 SP_{11} の補助容量12は、副画素電極13と補助容量バスライン $C_{s_{XH1}}$ （第3の補助容量バスライン）との間で形成されている。副画素 SP_{12} の補助容量15は、副画素電極16と補助容量バスライン $C_{s_{XL2}}$ （第4の補助容量バスライン）との間で形成されている。
- [0062] そして、副画素 SP_{11} 及び副画素 SP_{12} は共に、補助容量バスライン $C_{s_{XH1}}$ 及び補助容量バスライン $C_{s_{XL2}}$ の間に挟まれるように隣接されている。さらに、副画素 SP_{11} は、補助容量バスライン $C_{s_{XH1}}$ に近接して配置されている一方、副画素 SP_{12} は、補助容量バスライン $C_{s_{XL2}}$ に近接して配置されている。
- [0063] 次に、画素 P_2 について説明する。
- [0064] 副画素 SP_{21} は、TFT21と、補助容量22と、副画素電極23と、を有している。同様に、副画素 SP_{22} は、TFT24と、補助容量25と、副画素電極26と、を有している。
- [0065] 副画素 SP_{21} のTFT21のゲート電極は、ゲートバスライン G_3 （第1のゲートバスライン）に接続されており、そのソース電極は、ソースバスライン S_1 に接続されている。同様に、副画素 SP_{22} のTFT24のゲート電極は、ゲートバスライン G_3 に接続されており、そのソース電極は、ソースバスライン S_1 に接続されている。
- [0066] 副画素 SP_{21} の補助容量22は、副画素電極23と補助容量バスライン $C_{s_{XH1}}$ との間で形成されている。副画素 SP_{22} の補助容量25は、副画素電極26と補助容量バスライン $C_{s_{XL2}}$ との間で形成されている。
- [0067] そして、副画素 SP_{21} 及び副画素 SP_{22} は共に、補助容量バスライン $C_{s_{XH1}}$ 及び補助容量バスライン $C_{s_{XL2}}$ の間に挟まれるように隣接されている。さ

らに、副画素 SP_{11} は、補助容量バスライン Cs_{XH1} に近接して配置されている一方、副画素 SP_{12} は、補助容量バスライン Cs_{XL2} に近接して配置されている。

[0068] 補助容量バスライン Cs_{XH1} 及び Cs_{XL2} 、並びに、補助容量バスライン Cs_{XH1} に近接する補助容量バスライン Cs_{XL1} 及び補助容量バスライン Cs_{XL2} に近接する補助容量バスライン Cs_{XH2} は、ソースバスライン S_1 と平行となるように配置されている。

[0069] 一方、補助容量バスライン Cs_{YH1} 、 Cs_{YH2} 、 Cs_{YH3} （第1の補助容量バスライン）と、補助容量バスライン Cs_{YL1} 、 Cs_{YL2} 、 Cs_{YL3} （第2の補助容量バスライン）は、ゲートバスライン G_1 、 G_2 及び G_3 と平行となるように配置されている。ゲートバスライン G_1 、 G_2 及び G_3 は互いに平行となるように配置されている。

[0070] さらに、ゲートバスライン G_1 、 G_2 及び G_3 は、副画素 SP_{11} と副画素 SP_{12} とが隣接する方向、並びに、副画素 SP_{21} と副画素 SP_{22} とが隣接する方向に沿って延在している。同様に、補助容量バスライン Cs_{YH1} 、 Cs_{YH2} 、 Cs_{YH3} 、 Cs_{YL1} 、 Cs_{YL2} 、 Cs_{YL3} も、副画素 SP_{11} と副画素 SP_{12} とが隣接する方向、並びに、副画素 SP_{21} と副画素 SP_{22} とが隣接する方向に沿って延在している。

[0071] そして、これら補助容量バスライン Cs_{YL1} 、 Cs_{YH1} 、 Cs_{YL2} 、 Cs_{YH2} 、 Cs_{YL3} 及び Cs_{YH3} の各々の両端は、図3に示した2つの Cs 幹配線群 BB_1 、 BB_2 の各々の Cs 幹配線 bb に接続されている。

[0072] そして、補助容量バスライン Cs_{XL1} は、補助容量バスライン Cs_{YL1} 、 Cs_{YL2} 及び Cs_{YL3} の各々と接続している。補助容量バスライン Cs_{XH1} は、補助容量バスライン Cs_{YH1} 、 Cs_{YH2} 及び Cs_{YH3} の各々と接続している。補助容量バスライン Cs_{XL2} は、補助容量バスライン Cs_{YL1} 、 Cs_{YL2} 及び Cs_{YL3} の各々と接続している。補助容量バスライン Cs_{XH2} は、補助容量バスライン Cs_{YH1} 、 Cs_{YH2} 及び Cs_{YH3} の各々と接続している。

[0073] このようにして、これら補助容量バスラインが接続されることにより、補

助容量バスライン $C_{s_{XL1}}$ 、 $C_{s_{XL2}}$ 、 $C_{s_{YL1}}$ 、 $C_{s_{YL2}}$ 及び $C_{s_{YL3}}$ の各々には、同一の補助容量電圧 V_{cs} が印加されることになる。また、補助容量バスライン $C_{s_{XH1}}$ 、 $C_{s_{XH2}}$ 、 $C_{s_{YH1}}$ 、 $C_{s_{YH2}}$ 及び $C_{s_{YH3}}$ の各々にも、同一の補助容量電圧 V_{cs} が印加されることになる。すなわち、これら補助容量バスラインは、アクティブエリアAA上において、網目状に配置されるように構成されている。

[0074] 次に、このような補助容量バスラインの配置構成を行なうために必要となる、補助容量バスラインの接続構造について説明する。図2は、図1のA部をI-I方向から見た断面図である。以下、図1及び図2を用いて説明する。

[0075] 図1において、補助容量バスライン $C_{s_{XL1}}$ 、 $C_{s_{XL2}}$ 、 $C_{s_{YL1}}$ 、 $C_{s_{YL2}}$ 、 $C_{s_{YL3}}$ 、 $C_{s_{XH1}}$ 、 $C_{s_{XH2}}$ 、 $C_{s_{YH1}}$ 、 $C_{s_{YH2}}$ 及び $C_{s_{YH3}}$ と、ゲートバスライン G_1 、 G_2 及び G_3 とは、同一の配線層から構成されるのが一般的である。

[0076] このため、例えば図1のA部においては、補助容量バスライン $C_{s_{YH3}}$ と $C_{s_{XH1}}$ との間に両者と同一の配線層からなるゲートバスライン G_3 が存在するため、従来のように単純に接続させることができない。

[0077] そこで、本実施の形態では、図1のA部においては、補助容量バスライン $C_{s_{XH1}}$ と $C_{s_{YH3}}$ との間の接続を、ゲートバスライン G_3 、補助容量バスライン $C_{s_{XH1}}$ 及び $C_{s_{YH3}}$ とは異なる配線層を用いて実現する。

[0078] すなわち、図1のA部においては、図2に示すように、基板101上に補助容量バスライン $C_{s_{YL3}}$ 、 $C_{s_{XH1}}$ 、 $C_{s_{YH3}}$ 、及び、ゲートバスライン G_3 が配置されている。そして、これら補助容量バスライン $C_{s_{YL3}}$ 、 $C_{s_{XH1}}$ 、 $C_{s_{YH3}}$ 、及び、ゲートバスライン G_3 の上部には層間絶縁膜102及び保護膜103が配置されている。

[0079] 補助容量バスライン $C_{s_{XH1}}$ 上の層間絶縁膜102及び保護膜103に開口部が設けられている。同様に、補助容量バスライン $C_{s_{YH3}}$ 上の層間絶縁膜102及び保護膜103にも開口部が設けられている。

- [0080] そして、補助容量バスライン $C_{s_{XH1}}$ 及び $C_{s_{YH3}}$ とは異なる配線層（接続配線部）104をこれらの開口部を介して補助容量バスライン $C_{s_{XH1}}$ 及び $C_{s_{YH3}}$ の両者を電氣的に接続している。
- [0081] このようにして、補助容量バスライン $C_{s_{XH1}}$ と $C_{s_{YH3}}$ との間を、ゲートバスライン G_3 がそれらの間に配置されているにもかかわらず、ゲートバスライン G_3 を飛び越えるようにして接続することができる。
- [0082] なお、上記では、図1のA部における補助容量バスライン $C_{s_{XH1}}$ 及び $C_{s_{YH3}}$ との間の接続構造を例として説明したが、このような接続構造は、図1における他の部分においても同様に実現可能である。すなわち、ゲートバスライン G_1 を飛び越えるようにして接続される補助容量バスライン $C_{s_{YL1}}$ と $C_{s_{XL1}}$ との間の接続構造、ゲートバスライン G_2 を飛び越えるようにして接続される補助容量バスライン $C_{s_{YL2}}$ と $C_{s_{XL1}}$ との間の接続構造、ゲートバスライン G_3 を飛び越えるようにして接続される補助容量バスライン $C_{s_{YL3}}$ と $C_{s_{XL1}}$ との間の接続構造、ゲートバスライン G_1 を飛び越えるようにして接続される補助容量バスライン $C_{s_{YH1}}$ と $C_{s_{XH1}}$ との間の接続構造、ゲートバスライン G_2 を飛び越えるようにして接続される補助容量バスライン $C_{s_{YH2}}$ と $C_{s_{XH1}}$ との間の接続構造、ゲートバスライン G_1 を飛び越えるようにして接続される補助容量バスライン $C_{s_{YL1}}$ と $C_{s_{XL2}}$ との間の接続構造、ゲートバスライン G_2 を飛び越えるようにして接続される補助容量バスライン $C_{s_{YL2}}$ と $C_{s_{XL2}}$ との間の接続構造、ゲートバスライン G_3 を飛び越えるようにして接続される補助容量バスライン $C_{s_{YL3}}$ と $C_{s_{XL2}}$ との間の接続構造、ゲートバスライン G_1 を飛び越えるようにして接続される補助容量バスライン $C_{s_{YH1}}$ と $C_{s_{XH2}}$ との間の接続構造、ゲートバスライン G_2 を飛び越えるようにして接続される補助容量バスライン $C_{s_{YH2}}$ と $C_{s_{XH2}}$ との間の接続構造、及び、ゲートバスライン G_3 を飛び越えるようにして接続される補助容量バスライン $C_{s_{YH3}}$ と $C_{s_{XH2}}$ との間の接続構造も、同様に実現することができる。
- [0083] 以上説明したように、本発明の実施の形態1における液晶表示装置1では、ゲートバスライン間に2つの補助容量バスラインを互いに対峙するように

配置し、一方の補助容量バスラインを一方のゲートバスラインに近接させて配置し、他方の補助容量バスラインを他方のゲートバスラインに近接させて配置する。

- [0084] 2つの補助容量バスラインの各々は、各々が対応する副画素のエッジに沿って配置された補助容量バスラインと接続する。
- [0085] そして、副画素のエッジに沿って配置された補助容量バスラインは、対峙するゲート配線を越えた先にある同じ電位の補助容量バスラインと接続している。
- [0086] このため、互いに異なる2つの電位の補助容量バスラインを網目状に配置することができる。さらに、1つの画素を構成する2つの副画素の各副画素電極を、ソースバスラインを挟んで対称なTFTにより駆動される2つの副画素電極とすることにより、不要な容量を形成することが防止される。
- [0087] ここで、本実施の形態における液晶表示装置1においては、ゲートバスラインに平行であって、そのゲートバスラインと同一の配線層（ゲート層）で作る補助容量バスラインと、隣の同じ電位の補助容量バスラインとを、ゲート配線と垂直な方向で接続している。
- [0088] このような接続構造は、層間絶縁膜及び保護膜に開口した開口部であるコンタクトホールを介して、層間絶縁膜及び保護膜上の配線層を用いて行なわれる。
- [0089] したがって、本実施の形態における液晶表示装置1によれば、ソースバスラインを挟んで画素電極を分割する副画素構造、つまり、同じTFT（実質的に同じタイミングに駆動される2つ以上のTFTを含む）によって駆動される構造とし、かつ、それぞれの副画素電極を異なる電位の補助容量バスラインとの間に容量を形成することができる。このため、本実施の形態における液晶表示装置1によれば、画素電極の電位を微妙に異ならせる容量分割方式の視野角制御が可能となる。
- [0090] また、1つの画素領域内での均一な補助容量バスラインの抵抗分布及び、その補助容量バスラインを用いて画素－補助容量バスライン間の容量を形成

するので、従来必要だった、異なる電位毎に加えて、同じ電位内の補助容量バスラインを複数のグループに分割する必要が無くなる。

[0091] この結果、画素領域外部に、従来であれば分割したグループ数だけ必要であった C_s 幹配線群 BB_1 、 BB_2 が、最低2本、あるいは0本とすることが可能となり、画素領域外部のスペースを削減することができる。

[0092] (実施の形態2)

次に、本発明の実施の形態2について説明する。

[0093] 図4は、本発明の実施の形態2における液晶表示装置のアクティブエリア上に配置された複数の画素の配置構成を示す回路図である。

[0094] 上記の実施の形態1では、各副画素電極13、16、23、26に近接して配置された補助容量バスライン $C_{s_{XH1}}$ (第1の分岐ライン部分)、 $C_{s_{XL2}}$ (第1の分岐ライン部分)は共に、各副画素電極13、16、23、26の一边のみに近接するものであった。

[0095] これに対し、本発明の実施の形態2における液晶表示装置では、補助容量バスラインが、矩形形状を持つ各副画素電極の両側、つまり2つの辺(第1辺、第2辺)に近接して配置されている。そうすることにより、各副画素電極の補助容量が増大し、副画素の電位の安定化をより図ることができる。

[0096] 図4に示すように、本実施の形態における液晶表示装置では、2つの補助容量バスライン $C_{s_{XH1}B_1}$ (第2の分岐ライン部分)及び $C_{s_{XL2}B_1}$ (第2の分岐ライン部分)が新たに追加されている。

[0097] このため、副画素 SP_{21} の補助容量27が、上記の実施の形態1に対して、副画素電極23と補助容量バスライン $C_{s_{XH1}B_1}$ との間に新たに形成されている。

[0098] また、副画素 SP_{22} の補助容量28が、上記の実施の形態1に対して、副画素電極26と補助容量バスライン $C_{s_{XL2}B_1}$ との間で形成されている。

[0099] (実施の形態3)

次に、本発明の実施の形態3について説明する。

[0100] 図5は、本発明の実施の形態3における液晶表示装置のアクティブエリア

上に配置された複数の画素の配置構成を示す回路図である。

- [0101] 本発明の実施の形態3における液晶表示装置では、補助容量バスラインが、矩形形状を持つ各副画素電極を囲むように、各副画素電極の3つの辺（第1辺、第2辺、第3辺）に近接して配置されている。そうすることにより、各副画素電極の補助容量がより増大し、副画素の電位をより安定化させることができる。
- [0102] 図5に示すように、本実施の形態における液晶表示装置では、2つの補助容量バスライン $C_{s_{XH1}B_2}$ （第3の分岐ライン部分）及び $C_{s_{XL2}B_2}$ （第3の分岐ライン部分）が新たに追加されている。
- [0103] このため、副画素 SP_{21} の補助容量29が、上記の実施の形態2に対して、副画素電極23と補助容量バスライン $C_{s_{XH1}B_2}$ との間に新たに形成されている。
- [0104] また、副画素 SP_{22} の補助容量30が、上記の実施の形態2に対して、副画素電極26と補助容量バスライン $C_{s_{XL2}B_2}$ との間で形成されている。
- [0105] （実施の形態4）
次に、本発明の実施の形態4について説明する。
- [0106] 図6は、本発明の実施の形態4における液晶表示装置のアクティブエリア上に配置された複数の画素の配置構成を示す回路図である。
- [0107] 上記の実施の形態1～3では、各画素を構成する2つの副画素の各副画素電極は、同一のソースバスラインを挟むようにして対向する配置であった。
- [0108] これに対し、本発明の実施の形態4における液晶表示装置では、各画素を構成する2つの副画素の各副画素電極が2つのソースバスライン挟まれるように配置されている。
- [0109] 図6に示すように、画素 P_2 は、副画素 SP_{21} 及び副画素 SP_{22} から構成されている。そして、副画素 SP_{21} は、TFT21aと、補助容量22aと、副画素電極23aと、を有している。同様に、副画素 SP_{22} は、TFT24aと、補助容量25aと、副画素電極26aと、を有している。
- [0110] 副画素 SP_{21} のTFT21aのゲート電極は、ゲートバスライン G_3 に接続

されており、そのソース電極は、ソースバスライン S_1 に接続されている。同様に、副画素 SP_{22} のTFT24aのゲート電極は、ゲートバスライン G_3 に接続されており、そのソース電極は、ソースバスライン S_1 に接続されている。

- [0111] 副画素 SP_{21} の補助容量22aは、副画素電極23aと補助容量バスライン $C_{s_{XH1}}$ との間で形成されている。副画素 SP_{22} の補助容量25aは、副画素電極26aと補助容量バスライン $C_{s_{XL2}}$ との間で形成されている。
- [0112] そして、副画素 SP_{21} は、補助容量バスライン $C_{s_{XH1}}$ に近接して配置されている。副画素 SP_{22} は、補助容量バスライン $C_{s_{XL2}}$ に近接して配置されている。
- [0113] 本実施の形態においては、画素P2が持つ1つの矩形の画素領域を、長辺の各辺（左右）を支配的に占有する2つの副画素 SP_{21} 及び SP_{22} で分離している。各副画素 SP_{21} 及び SP_{22} は同じゲートバスライン G_3 及びソースバスライン S_1 によって駆動される2つのTFT21a及び24aに接続される。なお、これら2つのTFT21a及び24aのサイズは異なっても良い。
- [0114] 2つの補助容量バスライン $C_{s_{XH1}}$ 及び補助容量バスライン $C_{s_{XL2}}$ は、それぞれ一方の副画素 SP_{21} 及び SP_{22} との間に補助容量を形成している。
- [0115] なお、図6の副画素電極23a及び副画素電極26aは、例えば、図7に示す形状を持つ副画素電極23b及び副画素電極26bで置き換えても良い。
- [0116] （実施の形態5）
次に、本発明の実施の形態5について説明する。
- [0117] 図8は、本発明の実施の形態5における液晶表示装置のアクティブエリア上に配置された複数の画素の配置構成を示す回路図である。
- [0118] 図8に示すように、本実施の形態における液晶表示装置では、各副画素の補助容量を形成するため、補助容量バスライン $C_{s_{XH11}}$ 、 $C_{s_{XH12}}$ 、 $C_{s_{XL11}}$ 、 $C_{s_{XH21}}$ 、 $C_{s_{XL21}}$ 、 $C_{s_{XL22}}$ 、 $C_{s_{XH31}}$ 、 $C_{s_{XH32}}$ 、 $C_{s_{XL31}}$ 、 $C_{s_{XH41}}$ 、 $C_{s_{XL41}}$ 、 $C_{s_{XL42}}$ が配置されている。

- [0119] 上記の実施の形態 1～4における液晶表示装置は、パソコン等のディスプレイに用いられるストライプ配列を採用するものであった。
- [0120] これに対し、本実施の形態における液晶表示装置は、映像表示用に用いられるデルタ配列を採用するものである。
- [0121] デルタ配列は、ゲートバスライン（走査線）毎に 1/2 ピッチ毎画素をずらした配列である。そして、画素及び補助容量バスライン等の配置は、上記のピッチをずらしたこと以外は、基本的にストライプ配列と同じとなる。
- [0122] 一般に、デルタ配列では、ソースバスラインが画素電極のエッジに沿って延在、伸長するため、配線長がストライプ配列に対して長くなってしまふ欠点がある。
- [0123] しかし、本実施の形態では、ソースバスラインを挟んで 2 つの副画素を有する構造をとっているため、データ配線を蛇行させる必要が無く、効率的なレイアウトができる利点がある。
- [0124] また、デルタ配列は、一般的には、ストライプ配列と比較して大きな開口率を得ることができ、映像表示用には非常に有利である。
- [0125] なお、上記の実施の形態 1～5においては、補助容量バスラインの接続を以下のように行なうこともできる。
- [0126] すなわち、TFT基板にある補助容量バスラインの一部（例えば、先端部）に、コンタクトホールを設け、導電性を有する柱スペーサー（PS）を設けることによって、対向基板との間に導通を取れるようにする。
- [0127] このとき、
- (1) 対向基板の透明電極に切り欠きを設け、上記の接続部分が独立するようにする。
- [0128] (2) 補助容量バスライン間の導通をとるための配線を、対向基板の透明電極上に追加の絶縁膜を設けた上で形成し、上記接続のための柱スペーサ間の導通を取れるようにする。
- [0129] 本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術

的手段を適宜組み合わせ得られる実施形態についても本発明の技術的範囲に含まれる。

[0130] 本発明におけるTFT基板は、第1の副画素及び当該第1の副画素に隣接する第2の副画素からなる、複数の画素がマトリクス状に配列されたアクティブマトリクス型のTFT基板であって、前記第1の副画素及び前記第2の副画素が隣接する隣接方向に沿って延在する第1及び第2のゲートバスラインと、前記第1及び第2のゲートバスラインと同一の配線層から構成され、且つ、前記隣接方向に沿って延在する第1及び第2の補助容量バスラインと、前記第1及び第2のゲートバスラインと同一の配線層から構成され、且つ、前記第1の副画素に近接し、前記第1の副画素の副画素電極との間において前記第1の副画素の補助容量を形成する第3の補助容量バスラインと、前記第1及び第2のゲートバスラインと同一の配線層から構成され、且つ、前記第2の副画素に近接し、前記第2の副画素の副画素電極との間において前記第2の副画素の補助容量を形成する第4の補助容量バスラインとを備え、前記第1の補助容量バスラインと前記第1の副画素は、前記第1のゲートバスラインを挟むようにして配置され、前記第2の補助容量バスラインと前記第2の副画素は、前記第2のゲートバスラインを挟むようにして配置されており、前記第1の補助容量バスラインと前記第2の補助容量バスラインとは、互いに異なる電圧が印加されており、前記第1の補助容量バスラインと前記第3の補助容量バスラインとの間を接続する、前記第1及び第2のゲートバスラインとは異なる配線層から構成された第1の接続配線部と、前記第2の補助容量バスラインと前記第4の補助容量バスラインとの間を接続する、前記第1及び第2のゲートバスラインとは異なる配線層から構成された第2の接続配線部とをさらに備えている。

[0131] 上記のTFT基板では、第1の副画素は、自身に近接する第3の補助容量バスラインとの間において補助容量を形成する。そして、第3の補助容量バスラインは、第1及び第2のゲートバスラインとは異なる配線層から構成された第1の接続配線部を介して、第1の補助容量バスラインと接続されてい

る。

- [0132] また、第2の副画素は、自身に近接する第4の補助容量バスラインとの間において補助容量を形成する。そして、第4の補助容量バスラインは、第1及び第2のゲートバスラインとは異なる配線層から構成された第2の接続配線部を介して、第2の補助容量バスラインと接続されている。
- [0133] このため、第1の補助容量バスライン及び第3の補助容量バスラインをTFT基板上に網目状に形成することができる。また、第2の補助容量バスライン及び第4の補助容量バスラインをTFT基板上に網目状に形成することができる。
- [0134] したがって、第1の補助容量バスライン及び第3の補助容量バスラインを用いて同一の補助容量電圧をTFT基板上の各画素に均一に供給することができ、また、第2の補助容量バスライン及び第4の補助容量バスラインを用いて、第1の補助容量バスラインに印加される補助容量電圧とは異なる同一の補助容量電圧をTFT基板上の各画素に均一に供給することができる。そうすることにより、2つの異なる電圧を用いるマルチ画像駆動における各画素の画素電位を精度良く保持することができる。
- [0135] 前記第1の接続配線部は、前記第1の副画素の副画素電極と同一の配線層から構成され、前記第2の接続配線部は、前記第2の副画素の副画素電極と同一の配線層から構成されていることが好ましい。
- [0136] この場合、TFT基板を構成する配線構造を簡略化することができるので、TFT基板の製造コストを低減することができる。
- [0137] 矩形形状を持つ前記第1の副画素は、前記第3の補助容量バスラインに沿っている、第1辺及び当該第1辺の反対側に位置する第2辺を有し、前記第3の補助容量バスラインは、前記第1の副画素の第1辺に近接する第1の分岐ライン部分と、前記第1の副画素の第2辺に近接する第2の分岐ライン部分と、を含んでいることが好ましい。
- [0138] この場合、2つの補助容量、すなわち、第1の分岐ライン部分を用いた補助容量と第2の分岐ライン部分を用いた補助容量とを各副画素に形成するこ

とができるので、これら副画素からなる各画素の画素電位をより精度良く保持することができる。

[0139] 前記第1の副画素は、前記第1辺と前記第2辺と間に配置された前記第1のゲートバスライン側の第3辺をさらに有し、前記第3の補助容量バスラインは、前記第1の副画素の第3辺に近接する第3の分岐ライン部分をさらに含んでいることが好ましい。

[0140] この場合、3つの補助容量、すなわち、第1の分岐ライン部分を用いた補助容量、第2の分岐ライン部分を用いた補助容量及び、第3の分岐ライン部分を用いた補助容量を各副画素に形成することができるので、これら副画素からなる各画素の画素電位をより精度良く保持することができる。

[0141] 前記第1及び第2のゲートバスラインと交差するソースバスラインをさらに備え、前記第1の副画素及び前記第2の副画素は、前記ソースバスラインを挟むようにして対向するように配置されていることが好ましい。

[0142] この場合、第1及び第2の副画素を、ソースバスラインを挟むようにして対向するように、すなわち、ソースバスラインを挟んで略点对称となるように配置することができる。また、第1及び第2の副画素からなる、2つの画素同士を、第3または第4の補助容量バスラインを挟むようにして対向するように配置することができる。このため、複数の画素を効率的に配列し、複数の画素が占める面積を低減することができる。

[0143] 前記第1の接続配線部は、前記第1の副画素の副画素電極と同一の配線層及び前記ソースバスラインと同一の配線層から構成され、前記第2の接続配線部は、前記第2の副画素の副画素電極と同一の配線層及び前記ソースバスラインと同一の配線層から構成されていることが好ましい。

[0144] この場合、TF T基板を構成する配線構造を簡略化することができるので、TF T基板の製造コストを低減することができる。

[0145] 前記第1及び第2のゲートバスラインと交差する2つのソースバスラインをさらに備え、前記第1の副画素及び前記第2の副画素は、隣接する前記2つのソースバスライン間に配置され、且つ、隣接する前記2つのソースバス

ラインのいずれか一方と接続されていることが好ましい。

[0146] この場合、TFT基板を構成する配線構造を簡略化することができるので、TFT基板の製造コストを低減することができる。

[0147] 前記複数の画素の配列は、ストライプ配列であることが好ましい。

[0148] この場合、複数の画素を用いて表示される文字の視認性を高くすることができる。

[0149] 前記複数の画素の配列は、デルタ配列であることが好ましい。

[0150] この場合、各画素の開口率（光透過率、有効利用率）を向上させることができる。

[0151] 本発明における液晶表示装置は、上記のTFT基板と、前記TFT基板を用いて画像を表示するための画像表示処理を制御するための制御回路とを備えている。

[0152] 上記の液晶表示装置では、第1の副画素は、自身に近接する第2の補助容量バスラインとの間において補助容量を形成する。そして、第2の補助容量バスラインは、ゲートバスラインとは異なる配線層から構成された接続配線部を介して、第1の補助容量バスラインと接続されている。

[0153] このため、第1の補助容量バスライン及び第2の補助容量バスラインをTFT基板上に網目状に形成することができる。したがって、これら第1の補助容量バスライン及び第2の補助容量バスラインを用いて同一の補助容量電圧をTFT基板上の各画素に均一に供給することができるので、各画素の画素電位を精度良く保持することができる。

産業上の利用可能性

[0154] 本発明は、例えばパーソナルコンピュータのモニターやテレビジョン受像機など、各種の表示装置に適用できる。

符号の説明

- [0155]
- 1 液晶表示装置
 - 2 表示部（TFT基板）
 - 3 ソースドライバ

- 4 ゲートドライバ
- 5 表示制御回路
- 6、7 C_s 制御回路
- 11、14、21、21a、24、24a、51、61 TFT（薄膜トランジスタ）
- 12、15、22、22a、25、25a、27、28、29、30、52、62 補助容量
- 13、16、23、23a、23b、26、26a、26b、53、63 副画素電極
- 101 基板
- 102 層間絶縁膜
- 103 保護膜
- 104 配線層（第1の接続配線部、第2の接続配線部）
- $C_{s_{YH1}}$ 、 $C_{s_{YH2}}$ 、 $C_{s_{YH3}}$ 補助容量バスライン（第1の補助容量バスライン）
- $C_{s_{YL1}}$ 、 $C_{s_{YL2}}$ 、 $C_{s_{YL3}}$ 補助容量バスライン（第2の補助容量バスライン）
- $C_{s_{XH1}}$ 、 $C_{s_{XH2}}$ 補助容量バスライン（第3の補助容量バスライン）
- $C_{s_{XL1}}$ 、 $C_{s_{XL2}}$ 補助容量バスライン（第4の補助容量バスライン）
- S_1 ソースバスライン

請求の範囲

[請求項1]

第1の副画素及び当該第1の副画素に隣接する第2の副画素からなる、複数の画素がマトリクス状に配列されたアクティブマトリクス型のTFT基板であって、

前記第1の副画素及び前記第2の副画素が隣接する隣接方向に沿って延在する第1及び第2のゲートバスラインと、

前記第1及び第2のゲートバスラインと同一の配線層から構成され、且つ、前記隣接方向に沿って延在する第1及び第2の補助容量バスラインと、

前記第1及び第2のゲートバスラインと同一の配線層から構成され、且つ、前記第1の副画素に近接し、前記第1の副画素の副画素電極との間において前記第1の副画素の補助容量を形成する第3の補助容量バスラインと、

前記第1及び第2のゲートバスラインと同一の配線層から構成され、且つ、前記第2の副画素に近接し、前記第2の副画素の副画素電極との間において前記第2の副画素の補助容量を形成する第4の補助容量バスラインと

を備え、

前記第1の補助容量バスラインと前記第1の副画素は、前記第1のゲートバスラインを挟むようにして配置され、前記第2の補助容量バスラインと前記第2の副画素は、前記第2のゲートバスラインを挟むようにして配置されており、

前記第1の補助容量バスラインと前記第2の補助容量バスラインとは、互いに異なる電圧が印加されており、

前記第1の補助容量バスラインと前記第3の補助容量バスラインとの間を接続する、前記第1及び第2のゲートバスラインとは異なる配線層から構成された第1の接続配線部と、

前記第2の補助容量バスラインと前記第4の補助容量バスラインと

の間を接続する、前記第 1 及び第 2 のゲートバスラインとは異なる配線層から構成された第 2 の接続配線部とをさらに備えていることを特徴とする T F T 基板。

[請求項 2] 前記第 1 の接続配線部は、前記第 1 の副画素の副画素電極と同一の配線層から構成され、前記第 2 の接続配線部は、前記第 2 の副画素の副画素電極と同一の配線層から構成されていることを特徴とする請求項 1 に記載の T F T 基板。

[請求項 3] 矩形形状を持つ前記第 1 の副画素は、前記第 3 の補助容量バスラインに沿っている、第 1 辺及び当該第 1 辺の反対側に位置する第 2 辺を有し、

前記第 3 の補助容量バスラインは、前記第 1 の副画素の第 1 辺に近接する第 1 の分岐ライン部分と、前記第 1 の副画素の第 2 辺に近接する第 2 の分岐ライン部分と、を含んでいることを特徴とする請求項 1 または 2 に記載の T F T 基板。

[請求項 4] 前記第 1 の副画素は、前記第 1 辺と前記第 2 辺と間に配置された前記第 1 のゲートバスライン側の第 3 辺をさらに有し、

前記第 3 の補助容量バスラインは、前記第 1 の副画素の第 3 辺に近接する第 3 の分岐ライン部分をさらに含んでいることを特徴とする請求項 3 に記載の T F T 基板。

[請求項 5] 前記第 1 及び第 2 のゲートバスラインと交差するソースバスラインをさらに備え、

前記第 1 の副画素及び前記第 2 の副画素は、前記ソースバスラインを挟むようにして対向するように配置されていることを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の T F T 基板。

[請求項 6] 前記第 1 の接続配線部は、前記第 1 の副画素の副画素電極と同一の配線層及び前記ソースバスラインと同一の配線層から構成され、前記第 2 の接続配線部は、前記第 2 の副画素の副画素電極と同一の配線層及び前記ソースバスラインと同一の配線層から構成されていることを

特徴とする請求項5に記載のTFT基板。

[請求項7] 前記第1及び第2のゲートバスラインと交差する2つのソースバスラインをさらに備え、

前記第1の副画素及び前記第2の副画素は、隣接する前記2つのソースバスライン間に配置され、且つ、隣接する前記2つのソースバスラインのいずれか一方と接続されていることを特徴とする請求項1～4のいずれか1項に記載のTFT基板。

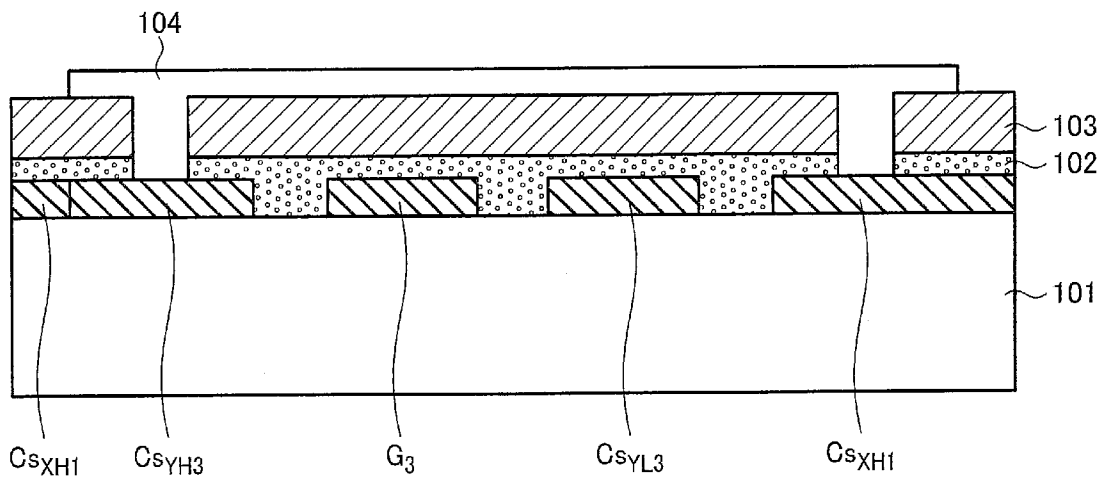
[請求項8] 前記複数の画素の配列は、ストライプ配列であることを特徴とする請求項1～7のいずれか1項に記載のTFT基板。

[請求項9] 前記複数の画素の配列は、デルタ配列であることを特徴とする請求項1～7のいずれか1項に記載のTFT基板。

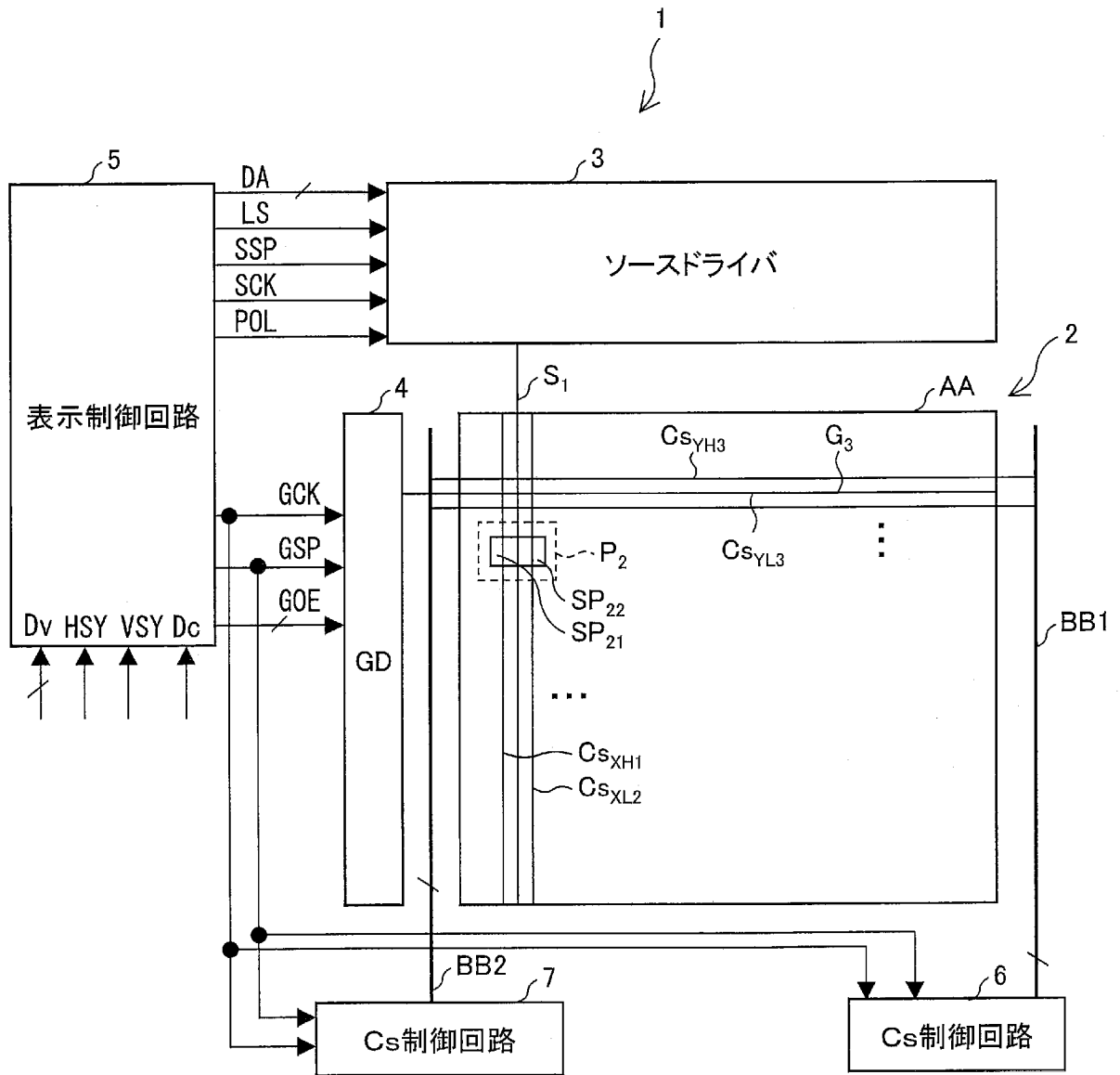
[請求項10] 請求項1～9のいずれか1項に記載のTFT基板と、

前記TFT基板を用いて画像を表示するための画像表示処理を制御するための制御回路と
を備えていることを特徴とする液晶表示装置。

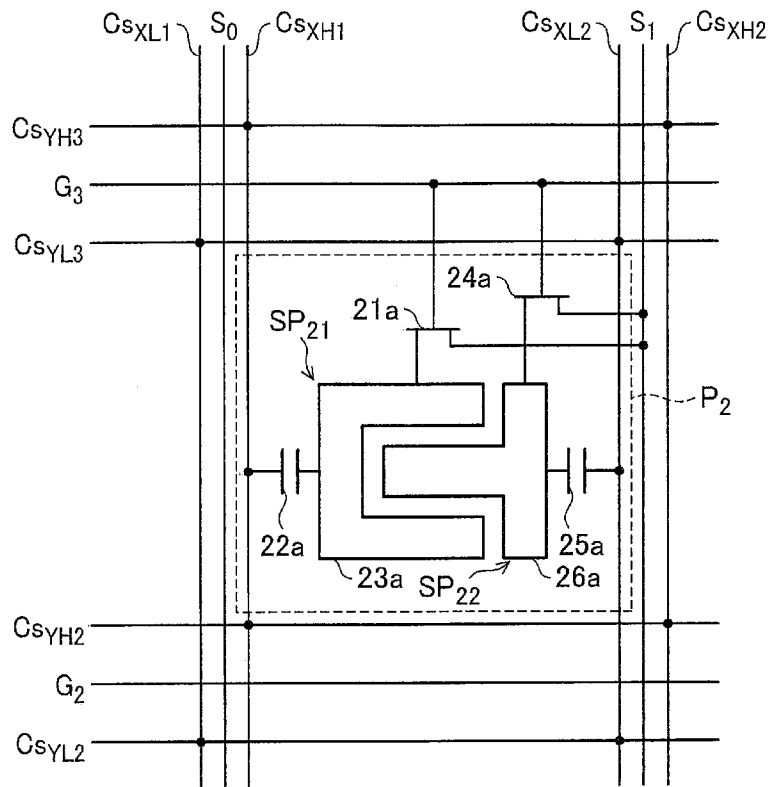
[図2]



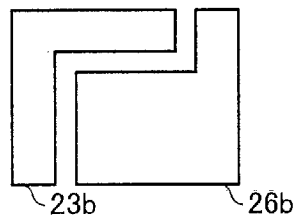
[図3]



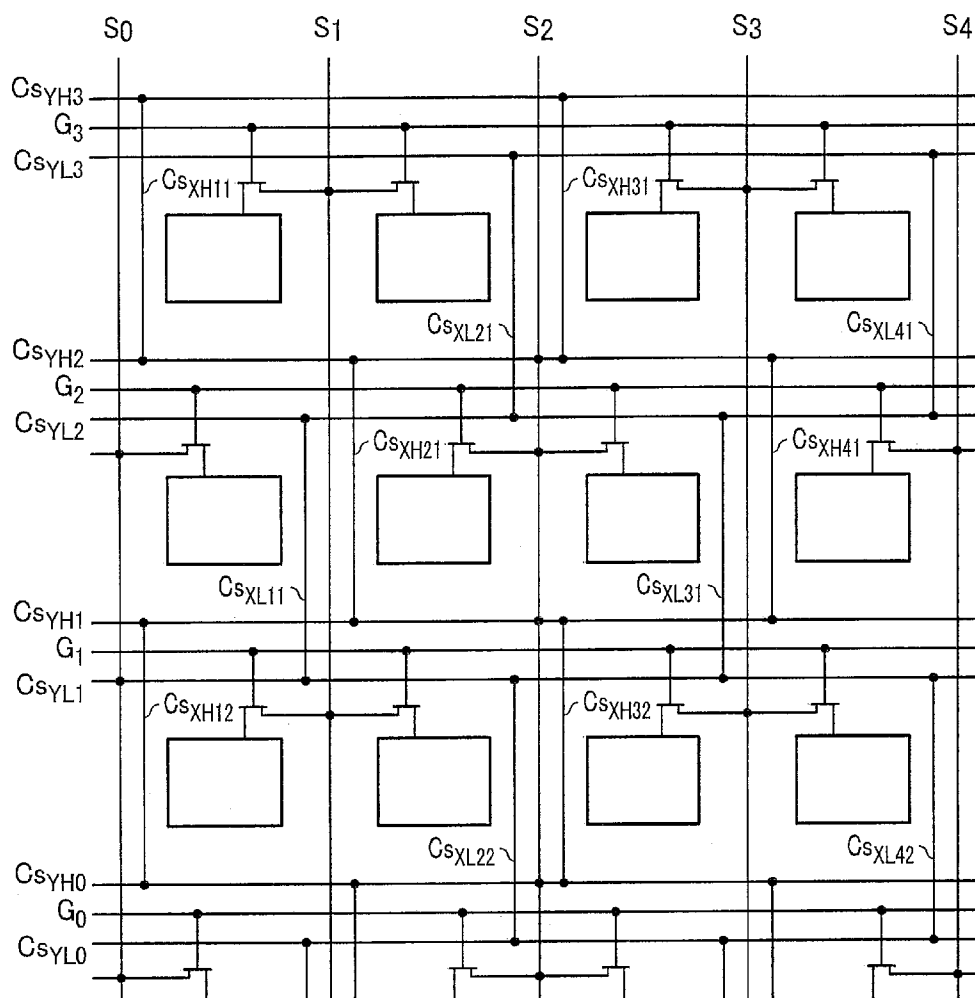
[圖6]



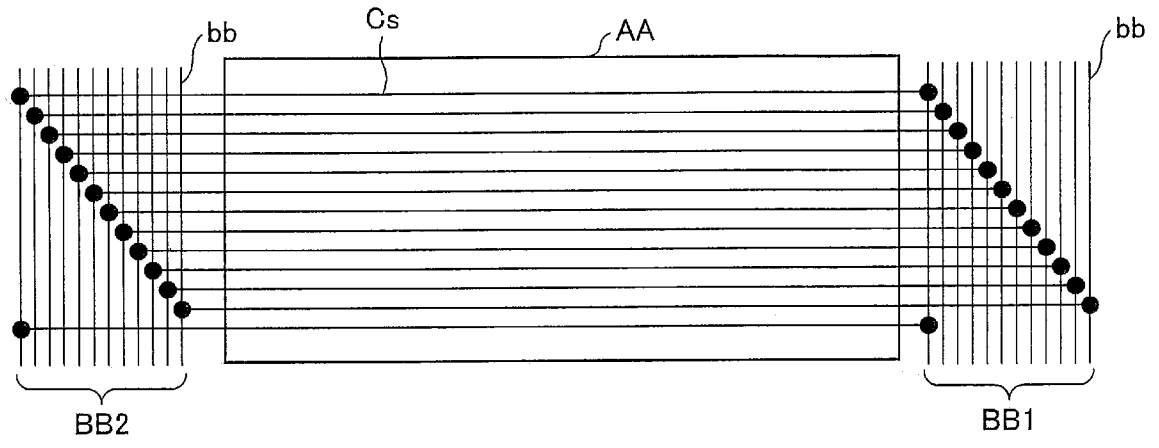
[圖7]



[図8]



[図10]



INTERNATIONAL SEARCH REPORT

International application No. PCT/JP2009/005883
--

A. CLASSIFICATION OF SUBJECT MATTER
G02F1/1368(2006.01) i, G02F1/1343(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G02F1/1368, G02F1/1343

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

<i>Jitsuyo Shinan Koho</i>	<i>1922-1996</i>	<i>Jitsuyo Shinan Toroku Koho</i>	<i>1996-2010</i>
<i>Kokai Jitsuyo Shinan Koho</i>	<i>1971-2010</i>	<i>Toroku Jitsuyo Shinan Koho</i>	<i>1994-2010</i>

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<i>JP 2008-158286 A (Sharp Corp.), 10 July 2008 (10.07.2008), entire text; all drawings (Family: none)</i>	1-10

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search <i>01 February, 2010 (01.02.10)</i>	Date of mailing of the international search report <i>09 February, 2010 (09.02.10)</i>
--	---

Name and mailing address of the ISA/ <i>Japanese Patent Office</i>	Authorized officer
Facsimile No.	Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G02F1/1368(2006.01)i, G02F1/1343(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G02F1/1368, G02F1/1343		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2010年 日本国実用新案登録公報 1996-2010年 日本国登録実用新案公報 1994-2010年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-158286 A (シャープ株式会社) 2008.07.10, 全文、全図 (ファミリーなし)	1-10
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的な技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 01.02.2010	国際調査報告の発送日 09.02.2010	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 金高 敏康 電話番号 03-3581-1101 内線 3255	2L 9712