

公告本

申請日期	85 年 5 月 1 日
案 號	85105205
類 別	G11C 8/00

A4
C4

317635

Int. Cl⁶

317635

(以上各欄由本局填註)

發明型專利說明書

一、發明 名稱	中 文	半導體記憶裝置
	英 文	
二、發明人 創作	姓 名	(1) 行武正剛 (2) 光本欽哉 (3) 秋岡隆志
	國 籍	(1) 日本 (2) 日本 (3) 日本 (1) 日本國東京都小平市上水本町三-一三-二二-三〇三
	住、居所	(2) 日本國群馬縣佐波郡玉村町上之手一五五八-八 (3) 日本國東京都昭島市美堀町二-七-三-一〇五
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(1) 日本 (1) 日本國東京都千代田區神田駿河台四丁目六番地
	住、居所 (事務所)	
	代 表 人 姓 名	(1) 金井務

317635

申請日期	85 年 5 月 1 日
案 號	85105205
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	
	英 文	
二、發明人 創作	姓 名	(4) 岩村將弘 (5) 秋山登
	國 籍	(4) 日本 (5) 日本 (4) 日本國茨城縣日立市塙山町一一〇-九
	住、居所	(5) 日本國茨城縣ひたちなか市東石川四-七
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

經濟部中央標準局員工消費合作社印製

裝

訂

線

317635

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期：

案號：

，☐有 ☐無主張優先權

日本

1995 年 5 月 24 日 7-124709

☒無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (1)

本發明係關於記憶裝置，尤關於同步式記憶體。

本發明又關於同步式記憶體之位址信號，資料信號之控制方法。

隨著系統之高速化，超高速緩衝儲器用 S R A M 亦必須高速化。目前已開發一種爲了高速化向以時鐘信號使晶粒內部成爲同步的動作之同步 S R A M。

以下以輸入部及輸出部具有暫存器之暫存器—暫存器—暫存器 (R - R) 型同步 S R A M 爲例說明讀出動作及寫入動作。

首先，在讀出動作時，係同步於時鐘信號之上昇邊緣寫入位址信號，根據由輸入之位址信號選擇之記憶體晶胞讀出資料。然後，同步於下一次週期之時鐘信號之上昇邊緣進行控制已在晶粒內部完成讀出動作 (已在輸出暫存器之輸入完成建立 (S e t u p) 之資料之輸出。寫入時，則同步於時鐘信號之上昇邊緣輸入位址信號，又以相同時序輸入寫入資料。在此，於由輸入之位址信號選擇之記憶體晶胞中寫入以相同時序輸入之寫入資料。如此，因爲同步 S R A M 同步於時鐘之上昇邊緣輸出已在晶粒內部進行讀出動作之資料，故可將從時鐘輸入產生之資料之輸出以前之存取時間高速化，而且可在完成記憶體存取之一連串動作 (位址之輸出 ~ 記憶體晶胞資料之讀出 ~ 讀出資料之輸出) 之前，開始下一個讀出動作，因此可將動作週期高速化。

然而，從上述動作說明中可知，在同步 S R A M 中，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (2)

於讀出週期與寫入週期之間需要有死週期。

在讀出週期時，於從輸入位址信號之時鐘之上昇邊緣算起第 2 週期之中途至第 3 週期之中途輸出讀出資料。在寫入週期時，於輸入位址之時鐘之上昇邊緣輸入位址信號及資料，控制信號。因此，若介面係輸入輸出共用 (I / O 共用) 時，爲了在讀出週期後進行讀出週期，必須有 2 週期之死週期。

在同步於時鐘信號而動作之同步 S R A M 中，依照於下一個週期 (讀出週期或寫入週期) 之前寫入輸入習用之動作方式之寫入週期內之資料之寫入方式，從讀出週期切換成寫入週期時之死週期需要有 2 週期以上，阻礙系統之高速化。因此已開發一種減少死週期並且實現系統之高速化之方式；亦即在晶粒上形成於下一次寫入週期時於記憶體晶胞上寫入資料之比率寫入 (rate write) 功能之方式。

爲了實現比率寫入，必須設置保持寫入位址信號及寫入資料，一直到下一個寫入週期之電路，而且在寫入週期與讀出週期時控制晶粒內之位址信號之切換。

本發明之目的題提供一種使用爲了減小死時間之比率寫入方式中所採用之晶粒內之位址信號之新控制方式之記憶體。

本發明之另一目的爲提供一種減小讀出週期與寫入週期間之偽週期 (或死週期：不輸入有效位址之週期)，提高記憶體之有效週期之比率之同 R A M，例如在晶粒上形

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (3)

成比率寫入功能之 S R A M 等記憶體。

本發明之特徵為包括：於同步式記憶體中，於輸入寫入位址之週期之 n 週期後，從外部輸入保持之 n 段之資料保持裝置；於每一寫入週期時，在 n 段之資料保持裝置內使資料移位之控制裝置；於每一寫入週期時輸入寫入位址，從最先之寫入週期至 n 週期後之寫入週期之間保持最先輸入之位址之 n 段寫入位址保持裝置；及於每一寫入週期時，在 n 段之寫入位址保持裝置內使資料移位，從 n 週期後之寫入週期時在記憶體中寫入資料之控制裝置。

本發明之另一特徵為：在各位址中設置讀出週期用位址暫存器，寫入週期用位址暫存器，及在上述 2 組位址暫存器之間設置延遲電路，在讀出週期用位址暫存器中從每一週期輸入位址信號，從寫入週期用位址信號中輸入在每一寫入週期延遲讀出週期用位址暫存器之輸出信號之信號，以多功器 (M U X) 選擇輸入 2 組位址暫存器中之位址信號，並且控制內部位址信號。

本發明之另一特徵為：在各位址中設置讀出週期用位址暫存器，寫入週期用位址暫存器，及在該 2 組位址暫存器之間設置中間位址暫存器，在讀出週期用位址暫存器中，於每一週期輸入位址信號，在中間位址暫存器中，於每一寫入週期輸入讀出週期用位址暫存器之輸出信號，在寫入週期用位址暫存器中，於每一週期輸入中間位址暫存器之輸出信號，以多功器 (M U X) 選擇輸入 2 組位址暫存器之位址信號，並且控制內部位址信號。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

本發明之另一特徵爲：在各位址中設置讀出用位址暫存器1組(第1位址暫存器)，寫入用位址暫存器2組(第2位址暫存器及第2位址暫存器)，及在第2位址暫存器及第3位址暫存器之前段設置位址信號之建立裝置，在第2位址暫存器中於下下一次寫入週期時輸入寫入位址，在第3位址暫存器中於下一個寫入週期時輸入寫入位址，以多功器(MUX)選擇分別輸入第1位址暫存器及第3位址暫存器中之位址信號，並且控制內部位址信號。

本發明之另一特徵爲：在寫入資料中設置寫入資料用建立裝置，及寫入資料用暫存器，在輸入寫入位址之週期之2週期後於寫入資料用建立裝置中輸入寫入資料，在寫入週期之1週期後之每一週期時，於寫入資料用暫存器中輸入寫入資料用建立裝置之資料。

本發明之另一特徵爲：在該寫入資料用暫存器中輸入資料之時序較寫入資料於寫入資料用建立裝置之動作完成之時序爲慢。

依照本發明之結構，可在下一次寫入週期之前於晶粒內保持寫入位址，而且進行寫入週期時之內部位址信號之寫入位址控制。

又因爲設置中間位址暫存器而在事前於寫入週期用位址暫存器之輸入中建立寫入用位址，故可用同一時鐘信號控制讀出週期用位址暫存器，及寫入週期用位址暫存器，可用讀出週期用位址確定之時序控制暫存器，故可實現內部位址控制之高速化。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5)

又因爲在 2 階層設置保持寫入位址及寫入資料之裝置，故可保持有關下一次寫入週期之位址及寫入資料，有關下次寫入週期之位址及寫入資料，可在輸入寫入位址之週期之 2 週期後輸入寫入資料，可消除讀出週期與寫入週期間之死週期。

因此，可實現同步式記憶體之高速化。

以下參照圖式說明本發明之實施例。

第 1 圖中表示比率寫入時使用之本發明之位址信號控制方式之第 1 實施例之方塊圖。圖中 10 爲位址信號輸入端子，經過該端子在讀出用位址暫存器 101 中輸入外部輸入位址信號。101 由內部時鐘信號 (CLKP) 22 控制。101 之輸出爲讀出用位址信號 (R~A) 11，該信號經由選擇電路 (MUX) 105，及延遲電路 104 被傳送至寫入用位址暫存器 102。寫入用位址暫存器 102 由內部時鐘信號 22 與寫入啓動系統信號 (WED) 32 之 AND 邏輯之時鐘信號，亦即寫入暫存器控制時鐘信號 (WCLK) 24 控制，而其輸出之寫入用位址信號 (W~A) 12 被傳送至選擇電路 105。寫入啓動信號 (WE) 31 使選擇電路 105 在讀出時選擇讀出用位址信號 11，在寫入時選擇寫入用位址信號 12，將之做爲內部位址信號 15 輸出。

第 2 圖表示比率寫入時之位址信號之輸入及位址信號之切換動作之時序圖。該圖中詳細說明內部動作。在週期 #0 時，寫入啓動棒 (WE /) 信號爲 'L0'，成爲寫

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (6)

入週期。該週期之外部輸入位址信號（輸入10之端子之信號）為「A0」。在位址「A0」中，於下一次寫入週期時，將在下一次週期輸入之資料「D0」寫入記憶體晶胞中。由於上次寫入週期，在寫入用位址暫存器102內輸入位址「Az」，而在未圖示之資料輸入暫存器中輸入資料「Dz」。在該週期「#0」時，寫入啓動信號（WE）31之「Hi」使選擇電路105選擇寫入用位址信號12，將內部位址信號控制成為「Az」。因此，在由「Az」選擇之記憶體晶胞中寫入資料「Dz」。

然後，週期#1為寫入週期，而位址信號輸入端子10為「A1」。接受內部時鐘信號22之上昇邊緣而在讀出用位址暫存器101中輸入位址信號「A1」。接受與寫入啓動系統（保持前一週期之狀態）信號（WED）32間之AND邏輯之時鐘信號（WCLK）24之上昇邊緣，寫入用位址暫存器中輸入讀出用位址暫存器輸出信號11之延遲之位址信號「A0」，而在資料輸入暫存器中輸入資料「D0」。寫入啓動信號（WE）31之「Hi」使選擇電路105選擇寫入用位址信號12，將內部位址信號控制成為「A0」。因此在該週期時將資料「D0」寫入由「A0」選擇之記憶體晶胞中。

週期「#2」為WE／成為「Hi」而成為讀出週期。該週期之位址信號輸入端子10為「A2」。接受內部時鐘信號22之上昇邊緣而在讀出用位址信號101中輸入位址信號「A2」。接受與寫入啓動系統（保持前一週

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(7)

期之狀態)信號(WED)32之AND邏輯之時鐘信號(WCLK)24之上昇邊緣,在寫入用位址暫存器中輸入讀出用位址暫存器輸出信號11之延遲之位址信號`A1`,而在資料輸入暫存器中輸入資料`D1`。選擇電路105接受寫入啟動信號31從`Hi`切換成`L0`而選擇讀出用位址信號11,將內部位址信號控制成`A2`。因此,在該週期時,從由`A2`選擇之記憶體晶胞中讀出資料。

然後,週期`#3`為讀出週期,位址信號輸入端子10為`A3`。在讀出用位址暫存器101中輸入位址信號`A3`。寫入啟動系統信號(WED)32為`L0`,時鐘信號(WCLK)24中不產生時鐘脈衝,寫入用位址暫存器102不輸入新位址而保持位址`A1`。資料輸入暫存器亦同樣的不輸入新資料而保持資料`D1`。寫入啟動信號(WE)31之`L0`使選擇電路105選擇讀出用位址信號11,將內部位址信號控制成`A3`。因此,在該週期時,從由`A3`選擇之記憶體晶胞中讀出資料。

週期#4由於晶粒選擇棒信號(CS/)而成為偽週期。本實施例中假設從A4所選擇之記憶體晶胞中讀出資料,但將未圖示之輸出緩衝器等控制成無能力而在從下一次週期`#5`之中途至週期`#6`之中途將輸出控制成Hi阻抗。時鐘信號(WCLK)24中不發生時鐘脈波,在寫入用位址暫存器102及資料輸入暫存器中分別

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

保持位址「A 1」及資料「D 1」。

週期 # 5 時，CS / 及 WE / 皆為 L 0，成為寫入週期。該週期之位址信號輸入端子 1 0 為「A 5」。在位址「A 5」中，於下一次寫入週期時將在下一次週期時輸入之資料「D 5」寫入記憶體晶胞中。由於上一次寫入週期，在寫入用位址暫存器 1 0 2 中保持位址「A 1」，在資料輸入暫存器中保持資料「D 1」。在週期「# 5」中，由於寫入啟動信號(WE) 3 1 變成「Hi」，故選擇電路 1 0 5 選擇寫入用位址信號 1 2，將內部位址信號控制成「A 1」。因此，在由「A 1」選擇之記憶體晶胞中寫入資料「D 1」。週期「# 6」以後之動作與上述動作相同。

本實施例中，在寫入週期之下一個週期中，於寫入用位址暫存器中輸入寫入位址，在讀出及偽週期時，寫入用位址暫存器不輸入新位址信號，可在下一次寫入週期之前保持上一次寫入週期之位址信號，可在晶粒上形成比率寫入動作。

第 3 圖表示在晶粒上形成本發明之比率寫入功能之位址信號控制方式之實施例 2 之方塊圖。

以下說明結構上與第 1 圖所示實施例 1 不同之處。本實施例中，在讀出用位址暫存器 1 0 1 與寫入用位址暫存器 1 0 2 之間設置中間暫存器 1 0 3。中間暫存器 1 0 3 從讀出用位址暫存器 1 0 1 之輸出端輸入位址信號，將其輸出傳送至寫入用位址暫存器 1 0 2。該中間暫存器

(請先閱讀背面之注意事項，填寫本頁)

裝

訂

線

五、發明說明(9)

103係由內部時鐘信號(CLKP)22之反轉信號與寫入啓動信號(WE)31之AND邏輯之中間暫存器用時鐘信號(MCLK)23所控制。讀出用位址暫存器101及寫入用位址暫存器102皆由內部時鐘信號(CLKP)22所控制，將其輸出傳送至選擇電路(MUX)105。

第4圖表示本實施例之比率寫入時之位址信號之輸入及位址信號之切換動作之時序圖。以下說明其內部動作。從晶粒外部供給之輸入信號與第2圖所示實施例1之信號相同。

週期`#0`為寫入週期。該週期之外部輸入信號10為`A0`。在中間暫存器103中已保持`Az`。讀出用位址暫存器101及寫入用位址暫存器102皆接受內部時鐘信號(CLKP)22之上昇邊緣而分別輸入位址信號輸入端子10之`A0`，及中間暫存器103之輸出13之`Az`。選擇電路105選擇寫入用位址12之`Az`。在未圖示之資料輸入暫存器中已保持資料`Dz`。因此在該週期中，於`Az`所選擇之記憶體晶胞中寫入資料`Dz`。寫入週期中之中間暫存器用時鐘信號(MCLK)23接受內部時鐘信號22之下降而上昇，接受下一次週期之上昇而下降。中間暫存器103接受在寫入週期之後半之中間暫存器用時鐘信號(MCLK)23之上昇邊緣而輸入讀出用位址暫存器101之輸出11之位址`A0`。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(10)

週期「# 1」為寫入週期。該週期之位址信號輸入端子10為「A 1」。在中間暫存器103中保持在該週期後半輸入之位址「A 0」。讀出用位址暫存器101及寫入用位址暫存器102皆接受內部時鐘信號(C L K P) 22之上昇邊緣而分別輸入位址信號輸入端子10之「A 1」及中間暫存器103之輸出13之「A 0」。選擇電路105選擇寫入用位址12之「A 0」。在未圖示之資料輸入暫存器中，於後週期時輸入資料「D 0」。因此，在該週期時，於「A 0」所選擇之記憶體晶胞中寫入資料「D 0」。由於中間暫存器用時鐘信號(M C L K) 23，在中間暫存器103中輸入讀出用位址暫存器101之輸出11之位址。

週期「# 2」成為讀出週期。該週期之位址信號輸入端子10為「A 2」。在中間暫存器103中保持在前一週期「# 1」之後半輸入之位址「A 1」。讀出用位址暫存器101及寫入用位址暫存器102皆接受內部時鐘信號(C L K P) 22之上昇邊緣而分別輸入位址信號輸入端子10之「A 2」及中間暫存器103之輸出13之「A 1」。因為選擇電路105選擇讀出用位址11之「A 2」，故在該週期時，從「A 2」所選擇之記憶體晶胞中讀出位址。因為寫入啟動信號(W E) 31成為「L 0」，故中間暫存器用時鐘信號(M C L K) 23不產生時鐘脈衝。因此，中間暫存器103中繼續保持位址「A 1」。在未圖示之資料輸入暫存器中於該週期時輸入資料「

(請先閱讀背面之注意事項再寫本頁)

裝

訂

線

五、發明說明 (11)

D 1 "。

週期 " # 3 " 為讀出週期。該週期之位址信號輸入端子 1 0 為 " A 3 "。在中間暫存器 1 0 3 中保持在前次寫入週期 " # 1 " 時輸入之位址 " A 1 "。讀出用位址暫存器 1 0 1 及寫入用位址暫存器 1 0 2 皆接受內部時鐘信號 (C L K P) 2 2 之上昇邊緣而分別輸入位址信號輸入端子 1 0 之 " A 3 "，及中間暫存器 1 0 3 之輸出 1 3 之 " A 1 "。因為選擇電路 1 0 5 選擇讀出用位址 1 1 之 " A 3 "，故在該週期時，從 " A 3 " 所選擇之記憶體晶胞中寫入位址。與上次週期相同的，中間暫存器用時鐘信號 (M C L K) 2 3 不產生時鐘脈波。因此，在中間暫存器 1 0 3 中繼續保持位址 " A 1 "。在未圖示之資料輸入暫存器中保持在前次之寫入週期之下一次週期 " # 2 " 輸入之資料 " D 1 "。

由以上說明可知，本實施例與實施例 1 最大之不同處為，本實施例中，

1) 在讀出用位址暫存器 1 0 1 與寫入用位址暫存器 1 0 2 之間設置中間暫存器 1 0 3，

2) 只在寫入週期時使中間暫存器 1 0 3 動作，於每一週期時，利用不採用時鐘系統以外之邏輯之同一時鐘信號控制讀出用位址暫存器 1 0 1，及寫入用位址暫存器 1 0 2，

因此，本實施例之特殊效果為，抑制讀出用與寫入用

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(12)

位址信號之產生時序之不均勻，而且不實現高速化。

第5圖表示在晶粒上形成本發明之2階層反向寫入(Write back)功能而消除死週期之位址信號及寫入資料控制方式之實施例之方塊圖。

來自外部之位址信號10(Ext ADD)經由未圖示之輸入緩衝器輸入讀出位址用暫存器101(1st ADD Reg.)。讀出位址用暫存器101之輸出11(讀出位址)被供給於位址選擇電路105(MUX)之一輸入端子，第2位址建立電路108之位址輸入端子，及2組位址比較器120(COMP)之各位址輸入端子之一方。從第2位址建立電路108經由第2位址暫存器106，第2位址建立電路109及第3位址暫存器107將寫入用位址12輸入位址選擇電路105之另一位址端子。第2位址建立電路108之輸出位址信號16，第3位址建立電路109之輸出位址信號18分別輸入2組位址比較器120(COMP)之另一位址輸入。第1位址暫存器101及第3位址暫存器107皆由連結於外部時鐘信號之上昇邊緣控制資料輸入之時鐘信號CLK1所控制。同樣的，第2位址暫存器106亦由連結於外部時鐘信號之上昇邊緣控制資料輸入之時鐘信號CLK3所控制。第2位址建立電路108及第3位址建立電路109皆由連結於外部時鐘信號之下降邊緣控制資料輸入之時鐘系統信號60所控制。時鐘信號60在時鐘控制電路140採用寫入啓系統信號33與時鐘信號

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

C L K 5 之邏輯而於每一寫入週期產生脈波。

寫入資料 4 0 (D - i n) 經由未圖示之輸入緩衝器輸入資料輸入建立電路 1 1 0 , 又經由資料輸入暫存器 1 1 1 供給於內部做為寫入控制用資料。以時鐘系統信號 6 1 控制寫入資料用建立電路 1 1 0 , 使其在讀出週期之 2 週期後輸入資料。以時鐘系統信號 6 2 控制寫入資料用輸入暫存器 1 1 1 使其在寫入週期之一週期後 (寫入完成後) 輸入資料輸入建立電路 1 1 0 之輸出信號。以 3 段之暫存器在晶粒內部保持寫入啟動 (W E) 系統之信號。成為第 1 段 W E 暫存器 1 3 0 之輸出之 W E 系統時鐘信號 3 3 成為判斷目前之週期為寫入週期或讀出週期之信號被用來控制位址建立電路及控制位址選擇電路。成為第 2 段 W E 暫存器 1 3 1 之輸出之 W E 系統時鐘信號 3 4 成為判斷前一週期是否為寫入週期之信號彼用來控制寫入資料用暫存器 1 1 1 之寫入資料之更新。成為第 3 寫入暫存器 1 3 2 之輸出之 W E 系統時鐘 3 5 判斷目前之週期是否在寫入週期之 2 個週期後, 被用來控制對寫入資料用建立電路 1 1 0 之資料輸入。

第 6 圖表示用來說明第 5 圖之動作之時序圖, 圖中該明位址信號及寫入資料之流程。

週期 “ # 0 ” 為讀出週期, 在該週期之早期, 於第 1 位址暫存器 1 1 中輸入讀出位址信號 “ A 0 ”。內部位址 1 5 由位址選擇電路之控制信號 M U X 選擇讀出位址 1 1 (第 1 A D D R e g 輸出), 如此讀出並選擇之記憶體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

晶胞之資料在從下一次「# 1」之中途至第 2 週期之「# 2」之中途之期間內，被供給於輸入輸出端子 (D - i n / Q / o u t) 。

週期「# 1」為寫入週期，在該週期之早期，於第 1 位址暫存器 1 1 中輸入寫入位址信號「A 1」。另外，在該週期之後半時，將寫入位址信號「A 1」傳送至第 2 位址建立電路，並且將第 2 位址暫存器之輸出信號 1 7 傳送至第 3 位址建立電路。第 2 位址暫存器及第 3 位址暫存器皆於每一週期時輸入前段之建立電路之資料，故於寫入週期之下一個每一週期時更新位址資料。在該寫入週期時，對在目前之週期之 2 次前之寫入週期輸入之位址進行寫入。在該週期時輸入之位址中寫入之資料，於 2 週期後之週期「# 3」時被輸入寫入資料輸入建立電路中。該寫入資料在以後之第 2 次寫入週期「# 8」時被寫入記憶體晶胞中。若在完成對記憶體晶胞之寫入之前選擇該寫入位址「A 1」時，可在第 2 位址建立 (1 6) 與第 1 位址暫存器 (1 1) 之比較，或第 3 位址建立 (1 8) 與第 1 位址暫存器 (1 1) 之比較之任一方產生成為一致之結果 (第 2 匹配或第 3 匹配)，故可產生資料建立電路之資料 4 1 或資料輸入暫存器之資料 4 2。對於其他週期亦可從圖中明白。

如上所述，依照本實施例，於寫入週期之後寫入週期時，不必在調週期間設置死週期，故記憶體之存取效率可達 1 0 0 %。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15)

第 7 圖表示在晶粒上形成本發明之比率寫入功能之同步 S R A M 之結構方塊圖。第 1 0 (A) 圖為位址輸入端子，3 0 (/ W E) 為寫入啓動棒輸入端子，9 0 (/ B W S) 為信息組寫入選擇信號輸入端子，5 0 (/ S S) 為同步選擇信號輸入端子，5 9 (Z Z) 為備用模態控制信號輸入端子，1 (K / K B) 為外部時鐘信號輸入端子，8 0 (D Q) 為資料之輸入輸出端子。1 5 0 為位址信號之輸入緩衝器，1 5 1 為寫入啓動信號之輸入緩衝器，1 5 2 為信息組寫入選擇信號之輸入緩衝器，1 5 3 為同步選擇信號之輸入緩衝器，1 5 4 為備用模態控制用輸入緩衝器。

本實施例中，將外部時鐘信號輸入 4 組時鐘緩衝器中，以便分散內部時鐘信號之輸出端數而達到時鐘信號之高速化。首先為輸出位址暫存器 1 8 2 控制用時鐘緩衝器 1 6 0，寫入啓動 (W E) 暫存器 1 3 0 及同步選擇 (S S) 暫存器 1 3 3 控制用時鐘緩衝器 1 6 1，控制資料輸入控制 (D O C) 用暫存器 1 8 3 之時鐘緩衝器 1 6 2，控制位址及寫入資料等之時鐘緩衝器 1 6 3。以疑似 E C L (P E C L) 位準接受外部時鐘信號，在內部除了一部分時鐘信號之外，其他皆變換成 C M O S 位準而使用。本實施例中，因為輸入暫存器 1 8 2 係使用 E C L 結構之暫存器，故將輸入暫存器控制用時鐘緩衝器 1 6 0 做為 E C L 結構之緩衝器，以實現時鐘信號之高速化。為了抑制暫存器出之上昇 / 下降之不平衡，將 W E & S S 系統之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (16)

時鐘信號 1 9 1 及 D O C 系統之時鐘信號 1 9 2 做為相補信號輸出。

✓以下說明控制系統。控制系統之信號包括寫入啓動 (W E) 系統信號，信息組寫入選擇 (B W S) 系統信號，同步選擇 (S S) 系統信號，及後備模態控制 (Z Z) 信號。其中只有 Z Z 信號為非同步信號，其他控制系統之信號為同步信號，從每一週期時輸入對應於暫存器之信號。只有輸入 B W S 系統之信號之暫存器成為 2 段構造，而在第 2 段 B W S 暫存器 1 7 1 中，只於寫入週期之下一個週期時輸入前段之第 1 B W S 暫存器 1 7 0 之輸出信號。如此，可在實際上對記憶體晶胞寫入資料之週期時判斷該信息組是否為寫入選擇而進行控制。然後，於 W E 系統之控制時，先以 W E 位址暫存器 1 3 0 之輸出 3 1 D 判斷其為寫入或讀出，以高速控制位址選擇電路 1 0 5。因此，在 W E 暫存器 1 3 0 至位址選擇電路 1 0 5 之間不必設置採用邏輯之電路，只設置中間緩衝器 1 3 5 以便實現位址選擇之高速化。W E S 位址暫存器 1 3 4 以採用 W E 與 S S 之 A N D 邏輯（表示其為寫入之活性週期）之信號做為輸入信號，連結於時鐘信號之下降邊緣輸入資料。W E S 暫存器 1 3 4 之輸出信號係採用與時鐘緩衝器 1 6 3 之負時鐘信號 2 2 B 之邏輯，而只在寫入週期之下一個週期時控制寫入資料輸入暫存器 1 1 2 及第 2 B W S 暫存器 1 7 1 之資料輸入。在 D O S 暫存器 1 8 3 中輸入由 W E 暫存器 1 3 0 之輸出與 S S 暫存器 1 3 3 之輸出之邏輯所產生之

(請先閱讀背面之注意事項)

裝

訂

線

五、發明說明 (17)

判斷其是否為活性讀出週期之 (W E · S S B 系統) 信號 3 9 。亦即在 D O C 暫存器 1 8 3 之輸入中建立判斷前一週期是否為活性讀出週期之控制信號，以 D O C 暫存器用時鐘信號 1 9 2 控制輸出緩衝器 1 8 0 之啓動，或成為無能力。D O C 暫存器 1 8 3 亦可由非同步之 Z Z 信號控制輸出緩衝器 1 8 0 。

因為本實施例之有關位址之控制基本上與實施例 2 相同，故本實施例中不再重述。由位址選擇電路 1 0 5 控制之內部位址經由解碼器 2 1 0 解碼，在寫入放大器及偵測放大器 2 0 2 從記憶體晶胞陣列 2 0 0 內之被選擇之記憶體晶胞讀出或寫入資料。輸出資料選擇電路 2 0 3 係由採取位址比較電路 1 2 3 與第 2 B W S 暫存器 1 7 1 之邏輯之匹配信號 7 2 控制。位址比較器 1 2 3 比較第 1 位址 (讀出位址) 暫存器 1 0 1 之輸出 1 1 與第 2 位址 (寫入位址) 暫存器 1 0 2 之輸出 1 2 。若 2 個位址成為一致時，因為未在記憶體晶胞中寫入資料，故以輸出資料選擇電路 2 0 3 選擇輸入於資料輸入暫存器中之寫入資料而將之傳送至輸出暫存器。

由以上說明可知，可利用第 7 圖所示之構造實現在晶粒上形成有比率寫入功能之 S R A M 。

✓ 第 8 圖表示在晶粒上形成本發明之比率寫入功能之位址信號控制方式之實施例 5 之方塊圖。第 9 圖表示內部動作之時序圖。與實施例 2 不同之處為中間暫存器 1 0 3 變成中間門鎖 1 0 6，及控制中間門鎖之信號系統 2 9。本

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (18)

實施例中，從寫入週期內之後半開始至下一個寫入週期之前半之間以門鎖控制中間門鎖 106，因此可在寫入週期之初期時，在寫入暫存器 102 之輸入中建立在前一寫入週期時門鎖之寫入位址。因為門鎖裝置之構造較暫存器簡單，故可簡化電路。

第 10 圖表示在晶粒上形成比率寫入功能之位址信號控制方式之實施例 6 之方塊圖。本實施例與其他實施例比較，其最大不同為在位址選擇電路後設置位址暫存器。此外，設置電路構造簡單之門鎖電路以便保持讀出位址及寫入位址。該門鎖電路為保持裝置之具體例，亦可應用暫存器等。因為本實施例中只需要 1 組暫存器，故不簡化電路構造。

由以上說明可知，依照本發明，可將反向寫入功能用寫入週期之位址保持至下一次寫入週期，並可利用寫入啟動信號控制讀出位址與寫入位址之切換。

此外，設置了組暫存器，以同一時鐘信號控制讀出用與寫入用暫存器，故可實現內部位址之控制之高速化。

此外，因為將比率寫入之階層設定為 2 階層，故可消除死週期而提高存取效率。

圖式：

✓ 第 1 圖為使用比率寫入方式之本發明實施例 1 之位址信號控制方式之方塊圖；

✓ 第 2 圖為用本說明第 1 圖之動作之時序圖；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (19)

✓第 3 圖為使用比率寫入方式之本發明實施例 2 之位址控制方式之方塊圖；

✓第 4 圖為用來說明第 3 圖之動作之時序圖；

✓第 5 圖為使用比率寫入方式之本發明實施例 3 之位址信號及寫入資料控制方式之方塊圖；

✓第 6 圖為用來說明第 5 圖之動作之時序圖；

✓第 7 圖為將本發明用於同步 S R A M 時之概略方塊圖；

✓第 8 圖為使用比率寫入方式之本發明實施例 5 之位址信號控制方式之方塊圖；

✓第 9 圖為表示第 8 圖之動作之時序圖；

✓第 10 圖為使用比率寫入方式之本發明實施例 6 之位址信號控制方式之方塊圖；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱:)

半 導 體 記 憶 裝 置

一種半導體記憶裝置，在各位址上設置讀出用及寫入用2組位址暫存器，又在2組位址暫存器之間設置中間暫存器，以時鐘信號與寫入啓動信號之邏輯之信號控制中間暫存器，而只以時鐘信號控制讀出用及寫入用2組位址暫存器。以寫入啓動信號選擇以2組位址暫存器之輸出做為輸入之選擇電路而控制內部位址。

英文發明摘要(發明之名稱:)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

✓. 一種半導體記憶裝置，該裝置係根據基準時鐘信號進行位址及資料之輸入及輸出之同步式記憶體，其特徵為包括：在輸入寫入位址之週期之 n 週期之後，從外部輸入資料並保持之 n 段之資料保持裝置；在每一寫入週期時在 n 段資料保持裝置內使資料移位之控制裝置；於每一寫入週期時輸入寫入位址，將最先輸入之位址從最先之寫入週期保持至 n 週期後之寫入週期之 n 段寫入位址保持裝置；及於每一寫入週期時，在 n 段寫入位址保持裝置內使資料移位，在 n 週期後之寫入週期時，在記憶體中寫入資料之控制裝置。

2✓. 一種半導體記憶裝置，該裝置係根據基準時鐘信號進行位址及資料之輸入及輸出之同步式記憶體，其特徵為包括：在輸入位址之週期之 n 週期後，從外部輸入並保持資料之 n 段資料保持裝置；在每一寫入週期時，在 n 段資料保持裝置內使資料移位之控制裝置；在每一寫入週期時輸入寫入位址，將最先輸入之位址從最先之寫入週期保持至 n 週期後之寫入週期之 n 段寫入位址保持裝置；在每一寫入週期時，於 n 段寫入位址保持裝置內使資料移位，在 n 週期後之寫入週期時，在記憶體中寫入資料之控制裝置；及當讀取週期連接在寫入週期之後，而且寫入週期與讀出週期之輸入位址成為一致時，暫時保持在該寫入週期之 n 週期後輸入之資料，在下一個第 $n + 1$ 個週期時將之輸出之裝置。

3✓. 一種半導體記憶裝置，其特徵為：至少以時鐘信

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

號，位址信號，寫入控制信號，及資料信號做為輸入信號，對該輸入信號之各位址信號至少具有2組暫存器。

✓ 一種半導體記憶裝置，主要至少以時鐘信號，位址信號，寫入控制信號，及資料信號做為輸入信號，其特徵為：對各位址信號具有第1暫存器，第2暫存器，及選擇電路，在第1暫存器與第2暫存器之間設置延遲電路。

✓ 一種半導體記憶裝置，主要至少以時鐘信號，位址信號，寫入控制信號，及資料信號做為輸入信號，其特徵為：對各位址信號具有第1暫存器，第2暫存器，及選擇電路，在第1暫存器與第2暫存器之間設置門鎖電路。

✓ 一種半導體記憶裝置，主要至少以時鐘信號，位址信號，寫入控制信號，及資料信號做為輸入信號，其特徵為：對各位址信號具有第1暫存器，第2暫存器，及選擇電路，在第1暫存器與第2暫存器之間設第3暫存器。

✓ 一種半導體記憶裝置，主要至少以時鐘信號，位址信號，寫入控制信號，及資料信號做為輸入信號，其特徵為：以同一邏輯信號控制設在各位址信號之許多暫存器中至少2個以上之暫存器。

✓ 一種半導體記憶裝置，該裝置係根據基準時鐘信號進行位址及資料之輸入及輸出之同步式記憶體，其特徵為：以基準時鐘信號上昇邊緣控制位址之輸入，以基準時鐘信號下降邊緣控制資料之輸入。

(請先閱讀背面之注意事項再填寫本頁)

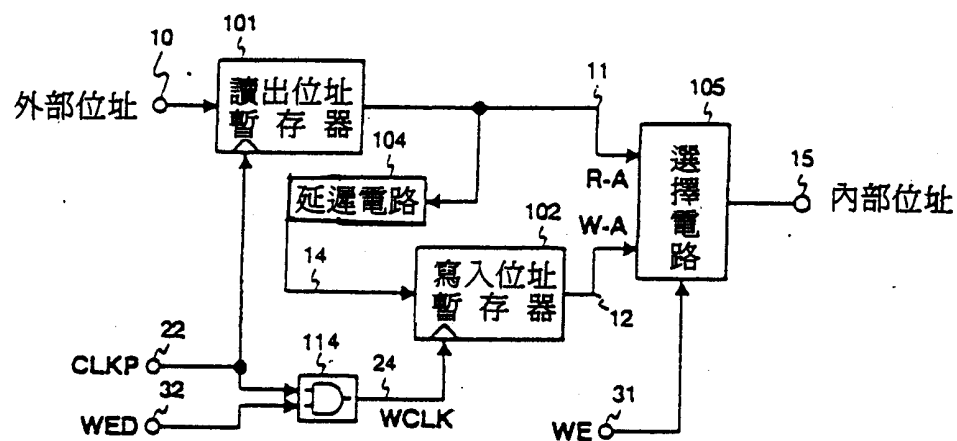
裝

訂

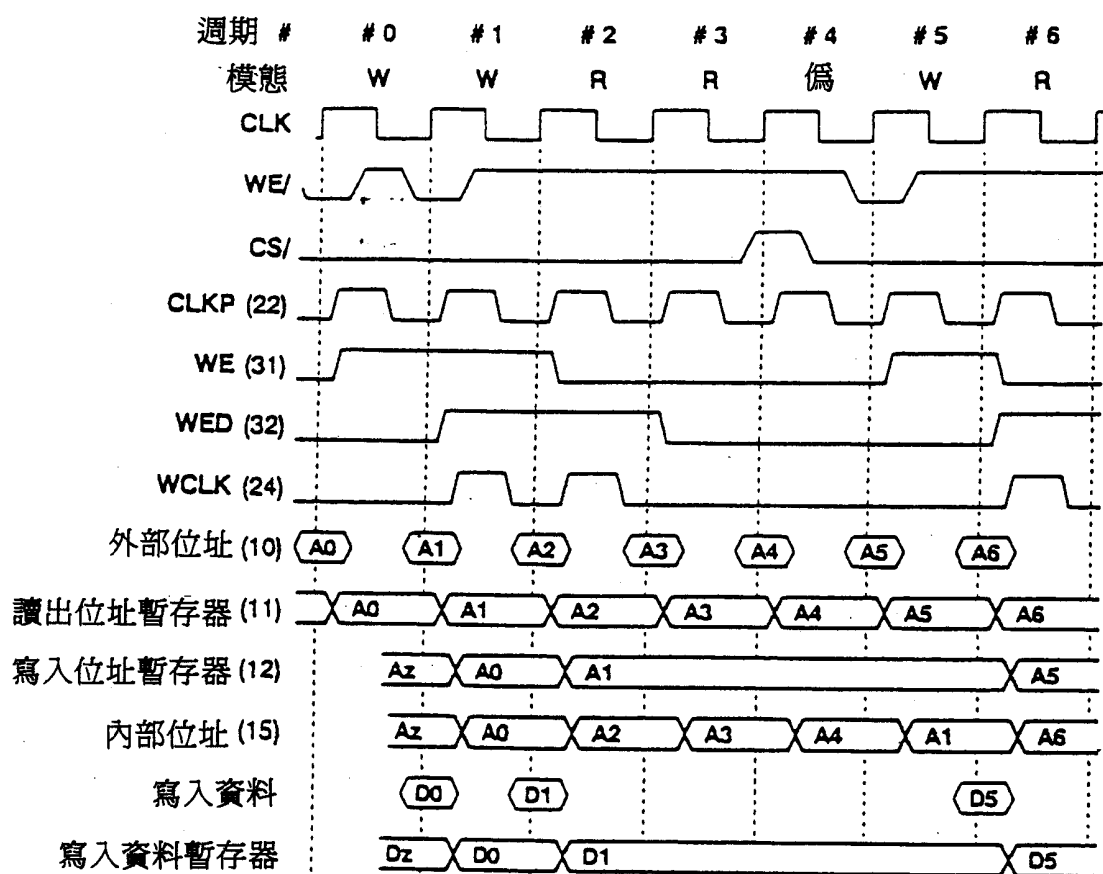
泉

第85105205號專利申請案修正圖式
 民國85年12月12日修正

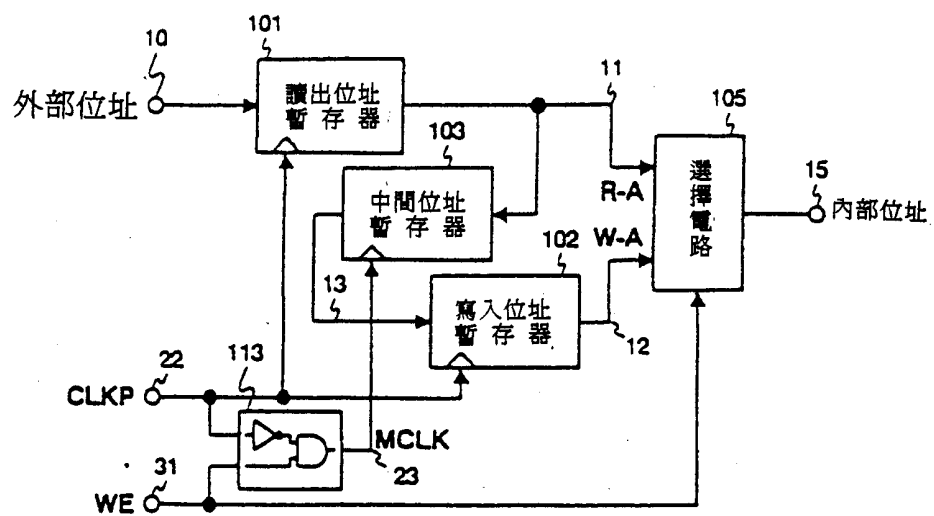
725359



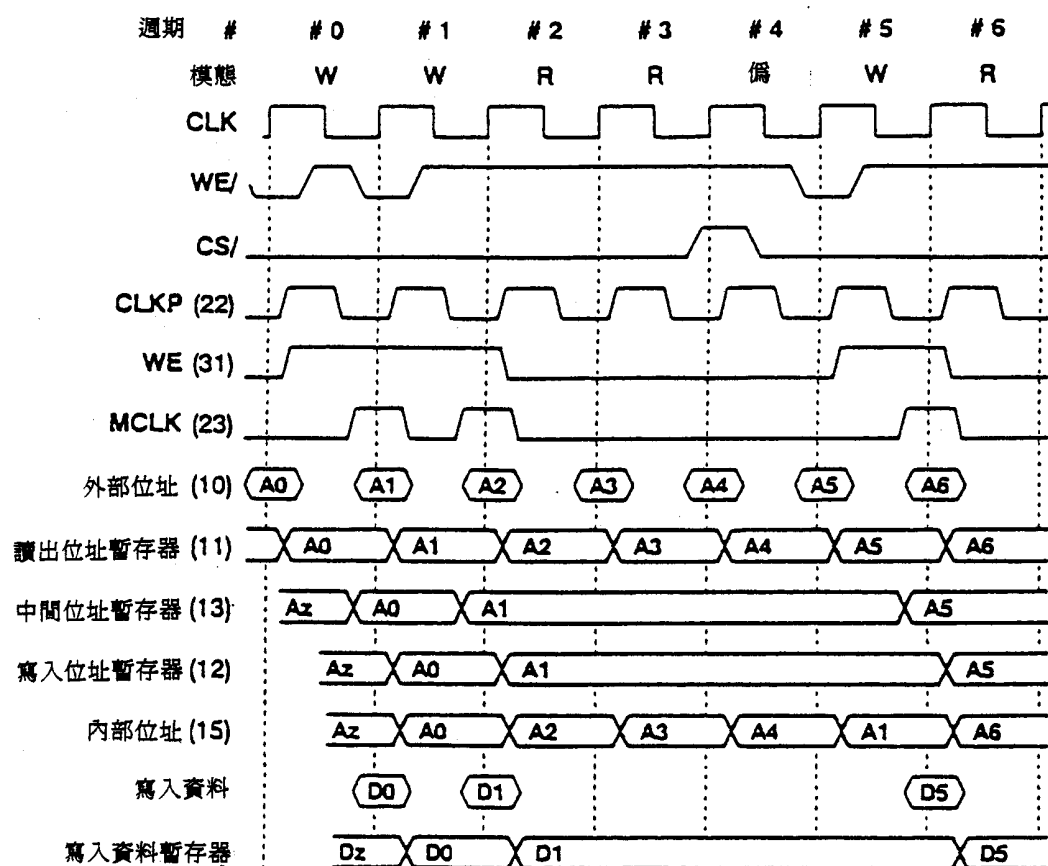
第1圖



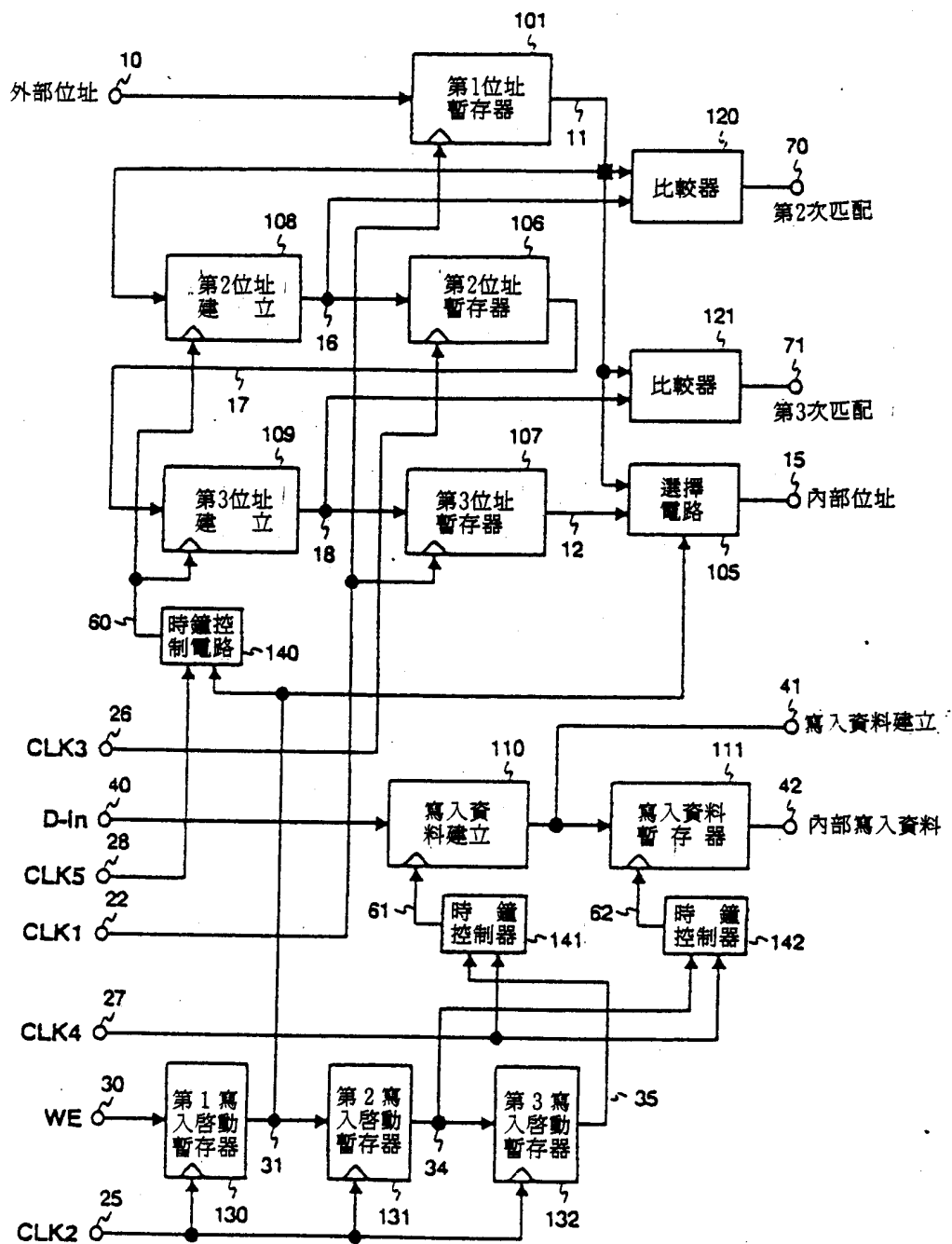
第 2 圖



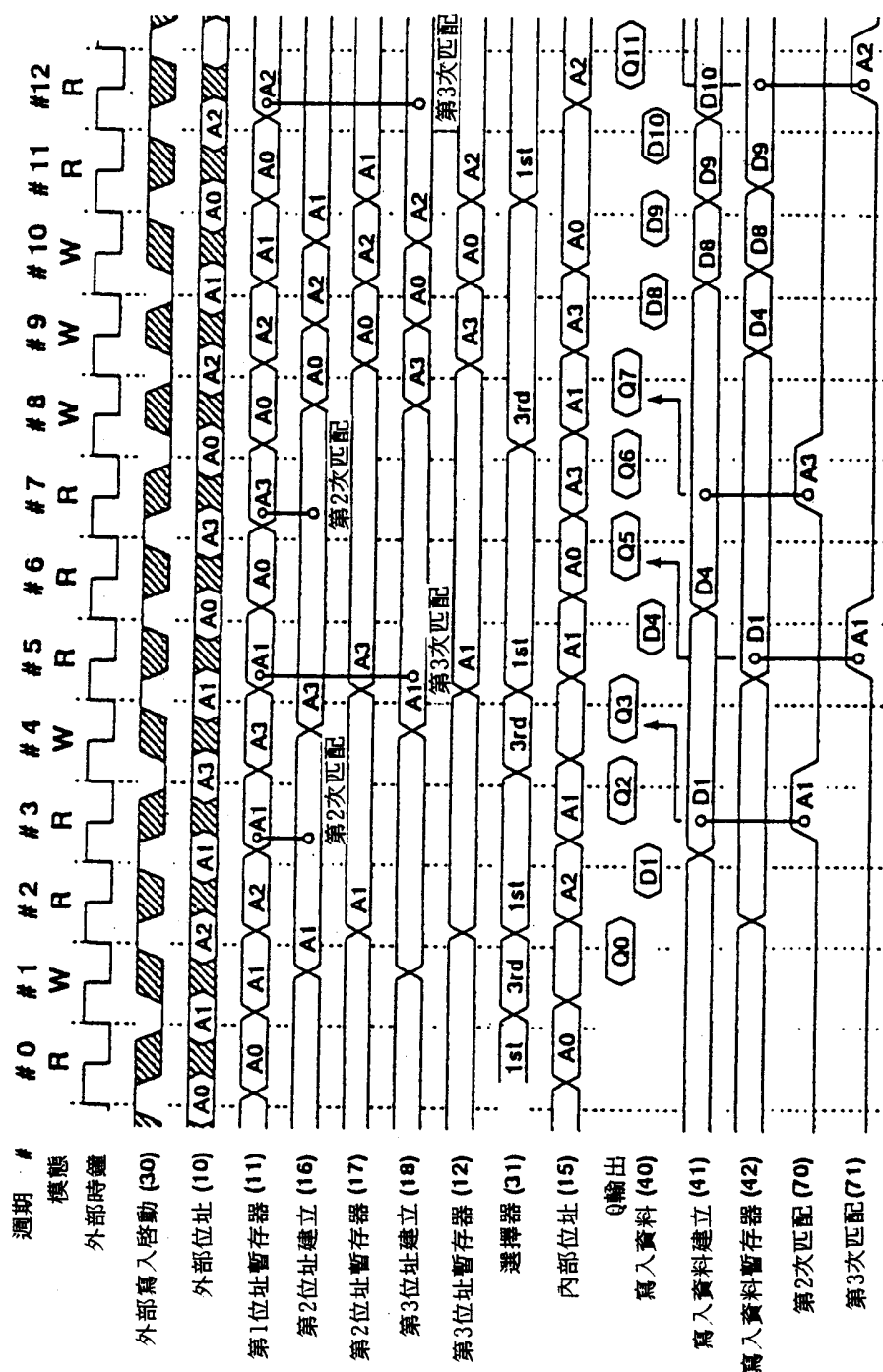
第 3 圖



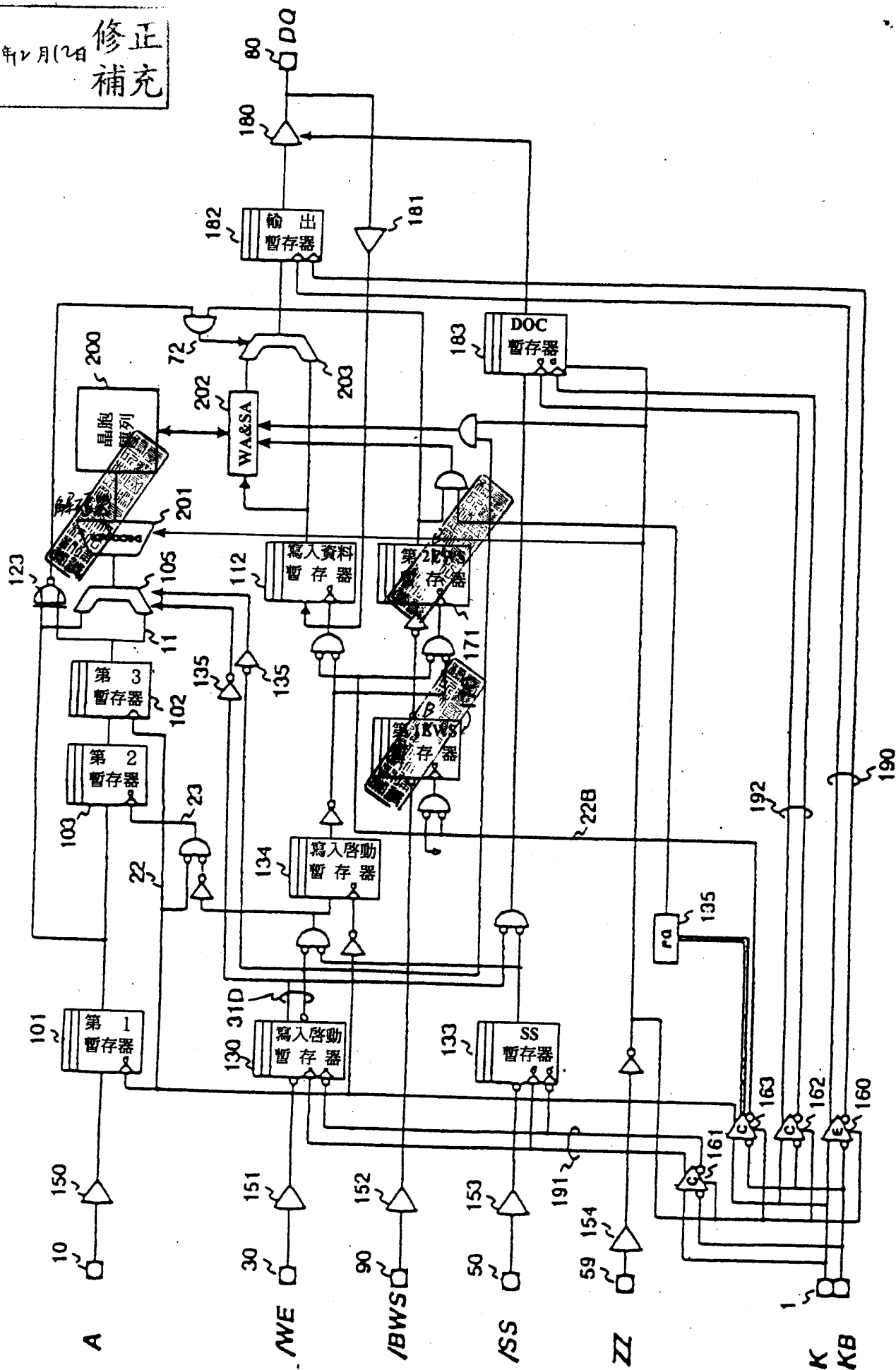
第4圖



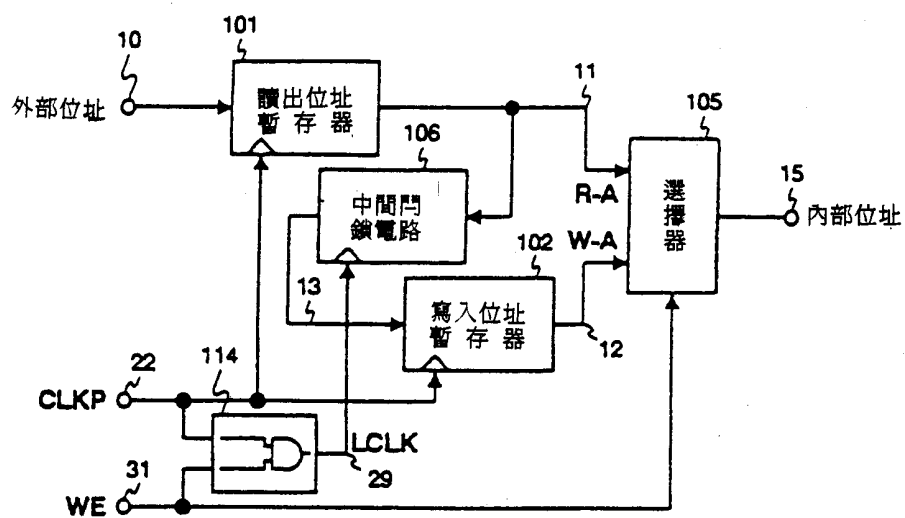
第 5 圖



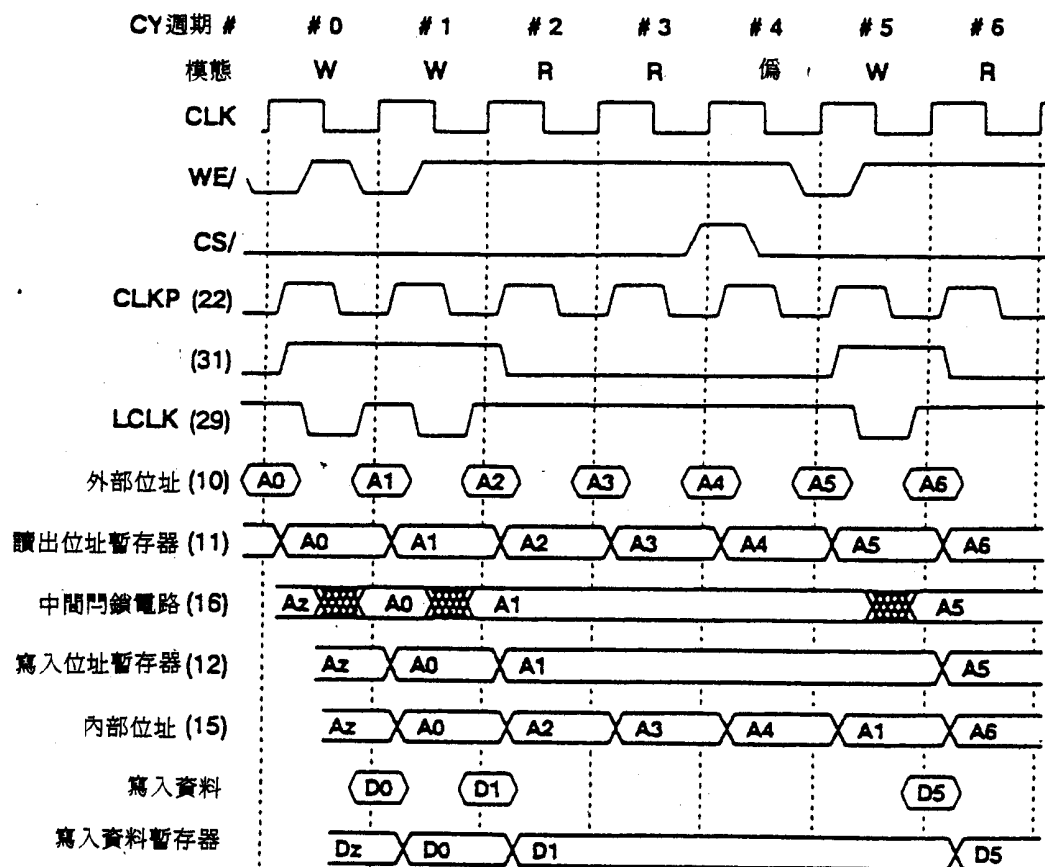
修正
補充
86年12月12日



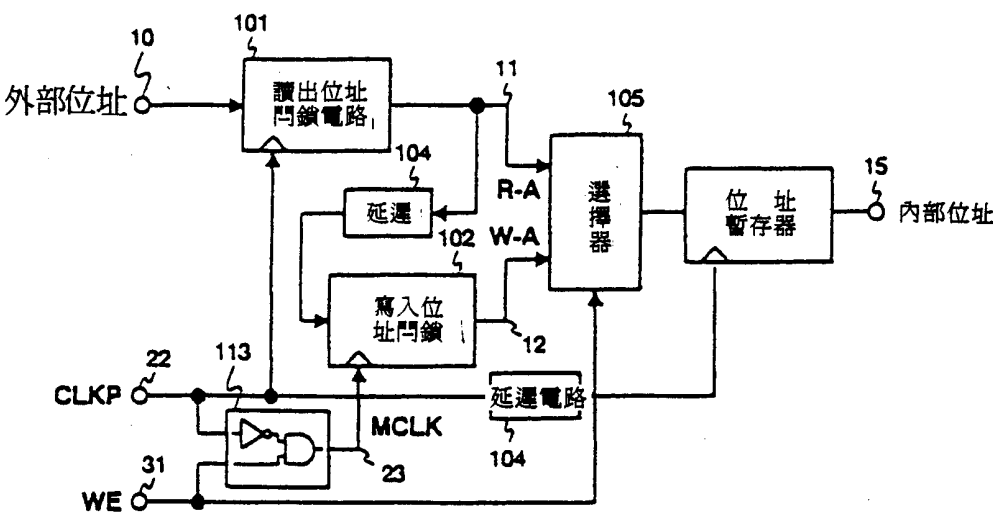
第7圖



第 8 圖



第 9 圖



第10圖