



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0014905
(43) 공개일자 2017년02월08일

(51) 국제특허분류(Int. Cl.)
H03K 23/48 (2006.01) H03K 23/66 (2006.01)
(52) CPC특허분류
H03K 23/48 (2013.01)
H03K 23/662 (2013.01)
(21) 출원번호 10-2015-0108933
(22) 출원일자 2015년07월31일
심사청구일자 없음

(71) 출원인
엘지전자 주식회사
서울특별시 영등포구 여의대로 128 (여의도동)
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
김홍득
서울특별시 서초구 양재대로11길 19 LG전자 특허
센터
탁금영
서울특별시 서초구 양재대로11길 19 LG전자 특허
센터
(뒷면에 계속)
(74) 대리인
박병창

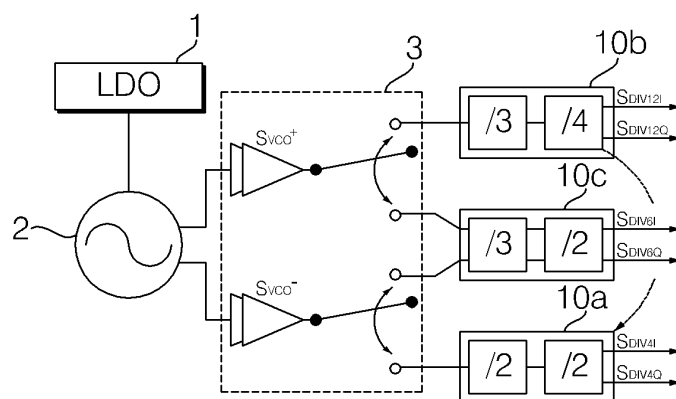
전체 청구항 수 : 총 5 항

(54) 발명의 명칭 주파수 분주 회로

(57) 요약

본 발명은 주파수 분주 회로에 관한 것으로서, 본 발명의 일 실시예에 따른 주파수 분주 회로는, 듀티비 50%인 입력 신호의 주파수를 1/2 분주하여, 듀티비 50%인 제1 분주 신호 및 상기 제1 분주 신호와 차동 관계를 가지고 듀티비 50%인 제2 분주 신호를 생성하는 제1 분주기; 상기 제1 분주 신호의 주파수를 1/2 분주하여 듀티비 50%인 I상(In-phase)의 제3 분주 신호를 생성하고, 상기 제2 분주 신호의 주파수를 1/2 분주하여 듀티비 50%인 Q상(Quadrature-phase)의 제4 분주 신호를 생성하는 제2 분주기; 상기 제1 분주 신호 및 제2 분주 신호가 차동 관계를 만족하지 않는 경우, 제1 리셋 신호를 상기 제1 분주기에 인가하는 제1 교정기; 및 상기 제3 분주 신호의 위상이 상기 제4 분주 신호의 위상보다 90도 선행하지 않는 경우, 제2 리셋 신호를 상기 제2 분주기에 인가하는 제2 교정기;를 포함할 수 있다.

대표도 - 도1a



(52) CPC특허분류

H03K 23/667 (2013.01)

(72) 발명자

송성식

서울특별시 서초구 양재대로11길 19 LG전자 특허센터

최재혁

울산광역시 남구 신정로203번길 61 두산위브더제니스 101동 4401호

이용선

경기도 고양시 일산동구 노침길24번길 47

윤희인

전라남도 순천시 봉화2길 47

명세서

청구범위

청구항 1

듀티비 50%인 입력 신호의 주파수를 1/2 분주하여, 듀티비 50%인 제1 분주 신호 및 상기 제1 분주 신호와 차동 관계를 가지고 듀티비 50%인 제2 분주 신호를 생성하는 제1 분주기;

상기 제1 분주 신호의 주파수를 1/2 분주하여 듀티비 50%인 I상(In-phase)의 제3 분주 신호를 생성하고, 상기 제2 분주 신호의 주파수를 1/2 분주하여 듀티비 50%인 Q상(Quadrature-phase)의 제4 분주 신호를 생성하는 제2 분주기;

상기 제1 분주 신호 및 제2 분주 신호가 차동 관계를 만족하지 않는 경우, 제1 리셋 신호를 상기 제1 분주기에 인가하는 제1 교정기; 및

상기 제3 분주 신호의 위상이 상기 제4 분주 신호의 위상보다 90도 선행하지 않는 경우, 제2 리셋 신호를 상기 제2 분주기에 인가하는 제2 교정기;

를 포함하는, 주파수 분주 회로.

청구항 2

제1항에 있어서,

상기 제1 분주기는,

상기 입력 신호를 입력받는 제1 클록 단자, 제1 데이터 단자, 상기 제1 분주 신호를 생성하는 제1 비반전 출력 단자 및 상기 제1 데이터 단자로 피드백되는 제1 반전 출력 단자를 포함하는 제1 D-플립플롭; 및

상기 입력 신호를 입력받는 제2 클록 단자, 제2 데이터 단자, 상기 제2 분주 신호를 생성하는 제2 출력 단자, 상기 제2 데이터 단자로 피드백되는 제2 반전 출력 단자 및 상기 제1 리셋 신호를 입력받는 제1 리셋 단자를 포함하는 제2 D-플립플롭;

을 포함하는, 주파수 분주 회로.

청구항 3

제1항에 있어서,

상기 제1 교정기는,

상기 제1 분주 신호 및 상기 제2 분주 신호가 차동 관계를 만족하지 않는 경우, 상기 제1 리셋 신호를 생성하는 제1 리셋 신호 생성기; 및

상기 제1 분주 신호 및 상기 제2 분주 신호가 차동 관계를 만족할 때까지, 상기 제1 리셋 신호를 소정 시간만큼 씩 순차적으로 지연시킨 후 상기 제1 분주기에 인가하는 제1 지연 선택기;

를 포함하는, 주파수 분주 회로.

청구항 4

제1항에 있어서,

상기 제2 분주기는,

상기 제1 분주 신호를 입력받는 제3 클록 단자, 제3 데이터 단자, 상기 제3 분주 신호를 생성하는 제3 비반전 출력 단자 및 상기 제3 데이터 단자로 피드백되는 제3 반전 출력 단자를 포함하는 제3 D-플립플롭; 및

상기 제2 분주 신호를 입력받는 제4 클록 단자, 제4 데이터 단자, 상기 제4 분주 신호를 생성하는 제4 비반전 출력 단자, 상기 제4 데이터 단자로 피드백되는 제4 반전 출력 단자 및 상기 제2 리셋 신호를 입력받는 제2 리

셋 단자를 포함하는 제4 D-플립플롭;
을 포함하는, 주파수 분주 회로.

청구항 5

제1항에 있어서,
상기 제2 교정기는,

상기 제3 분주 신호의 위상이 상기 제4 분주 신호의 위상보다 90도 선행하지 않는 경우, 상기 제2 리셋 신호를 생성하는 제2 리셋 신호 생성기; 및

상기 제3 분주 신호의 위상이 상기 제4 분주 신호의 위상보다 90도 선행할 때까지, 상기 제2 리셋 신호를 소정 시간만큼씩 순차적으로 지연시킨 후 상기 제2 분주기에 인가하는 제2 지연 선택기;

를 포함하는, 주파수 분주 회로.

발명의 설명

기술 분야

[0001] 본 발명은 주파수 분주 회로에 관한 것으로서, 보다 상세하게는 입력 신호를 듀티비 50% 및 I/Q(In-phase/Quadrature) 위상 관계를 가지는 신호 쌍으로 분주하여 출력하는 주파수 분주 회로에 관한 것이다.

배경 기술

[0002] 주파수 분주 회로란, VCO(Voltage Controlled Oscillator) 등으로부터 제공되는 입력 신호(예, RF 신호)의 주파수를 분주하여 출력 신호를 생성하는 회로를 말한다.

[0003] 예컨대, 주파수 분주 회로는 단일 입력 신호 또는 차동(differential) 관계를 가지는 입력 신호 쌍을 1/4, 1/12, 1/6 등과 같이 분주할 수 있다. 또한, 분주된 결과인 두 출력 신호들은 듀티비 50%를 가지고, I/Q(In-phase/Quadrature) 위상 관계를 가지는 쌍일 수 있다. 여기서, I/Q(In-phase/Quadrature) 위상 관계란, 어느 하나의 출력 신호의 위상이 다른 하나의 출력 신호의 위상에 대하여 90도만큼 선행하는 관계 즉, 어느 하나의 출력 신호와 다른 하나의 출력 신호 간의 직교성이 확보되는 관계를 의미한다.

[0004] 한편, 이러한 주파수 분주 회로는 플립플롭 등과 같은 하위 콤포넌트들을 포함할 수 있는데, 다양한 원인(예, 복수의 플립플롭들 중 적어도 어느 하나의 초기 상태)에 의해 오동작할 수 있으며, 이러한 오동작에 따라 주파수 분주 회로에 의해 생성된 출력 신호 쌍이 I/Q(In-phase/Quadrature) 위상 관계를 만족하지 못하게 될 수 있다.

[0005] 주파수 분주 회로에 의해 생성되는 출력 신호 쌍이 I/Q(In-phase/Quadrature) 위상 관계를 만족하지 않는 경우, VCO(Voltage Controlled Oscillator) 등으로부터 제공되는 입력 신호(예, RF 신호)를 최종적으로 기저대역(baseband) 신호로 변환할 수 없다.

[0006] 이에 따라, 주파수 분주 회로에서 생성 및 처리되는 신호들의 상태를 모니터링하고, 출력 쌍의 I/Q(In-phase/Quadrature) 위상 관계를 어긋나게 하는 오동작이 발생하는 경우, 이를 적절히 교정할 수 있는 기술이 요구된다.

발명의 내용

해결하려는 과제

[0007] 본 발명은 전술한 종래 기술의 문제점을 해결하기 위해 안출된 것으로서, 본 발명의 일 실시예에 듀티비 50%인 단일 입력 신호 또는 차동 입력 신호 쌍을 인가받아 이를 1/4, 1/6, 1/12 등으로 분주하여, 듀티비 50%이고 I/Q(In-phase/Quadrature-phase) 위상 관계를 가지는 출력 신호 쌍을 생성하는 주파수 분주 회로를 제공하는 것으로 목적으로 한다.

[0008] 또한, 임의의 입력 신호에 대한 분주 과정에서 생성 및 처리되는 신호들의 상태를 모니터링하고, 출력 쌍의 I/Q(In-phase/Quadrature-phase) 위상 관계를 어긋나게 하는 오동작이 발생하는 경우, 이를 교정하는 주파수 분

주 회로를 제공하는 것으로 목적으로 한다.

[0009] 본 발명의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0010] 상기 또는 다른 목적을 달성하기 위해 본 발명의 일 측면에 따르면, 듀티비 50%인 입력 신호의 주파수를 1/2 분주하여, 듀티비 50%인 제1 분주 신호 및 상기 제1 분주 신호와 차동 관계를 가지고 듀티비 50%인 제2 분주 신호를 생성하는 제1 분주기; 상기 제1 분주 신호의 주파수를 1/2 분주하여 듀티비 50%인 I상(In-phase)의 제3 분주 신호를 생성하고, 상기 제2 분주 신호의 주파수를 1/2 분주하여 듀티비 50%인 Q상(Quadrature-phase)의 제4 분주 신호를 생성하는 제2 분주기; 상기 제1 분주 신호 및 제2 분주 신호가 차동 관계를 만족하지 않는 경우, 제1 리셋 신호를 상기 제1 분주기에 인가하는 제1 교정기; 및 상기 제3 분주 신호의 위상이 상기 제4 분주 신호의 위상보다 90도 선행하지 않는 경우, 제2 리셋 신호를 상기 제2 분주기에 인가하는 제2 교정기;를 포함하는 주파수 분주 회로가 제공된다.

[0011] 또한, 기 제1 분주기는, 상기 입력 신호를 입력받는 제1 클록 단자, 제1 데이터 단자, 상기 제1 분주 신호를 생성하는 제1 비반전 출력 단자 및 상기 제1 데이터 단자로 피드백되는 제1 반전 출력 단자를 포함하는 제1 D-플립플롭; 및 상기 입력 신호를 입력받는 제2 클록 단자, 제2 데이터 단자, 상기 제2 분주 신호를 생성하는 제2 출력 단자, 상기 제2 데이터 단자로 피드백되는 제2 반전 출력 단자 및 상기 제1 리셋 신호를 입력받는 제1 리셋 단자를 포함하는 제2 D-플립플롭;을 포함할 수 있다.

[0012] 또한, 상기 제1 교정기는, 상기 제1 분주 신호 및 상기 제2 분주 신호가 차동 관계를 만족하지 않는 경우, 상기 제1 리셋 신호를 생성하는 제1 리셋 신호 생성기; 및 상기 제1 분주 신호 및 상기 제2 분주 신호가 차동 관계를 만족할 때까지, 상기 제1 리셋 신호를 소정 시간만큼씩 순차적으로 지연시킨 후 상기 제1 분주기에 인가하는 제1 지연 선택기;를 포함할 수 있다.

[0013] 또한, 상기 제2 분주기는, 상기 제1 분주 신호를 입력받는 제3 클록 단자, 제3 데이터 단자, 상기 제3 분주 신호를 생성하는 제3 비반전 출력 단자 및 상기 제3 데이터 단자로 피드백되는 제3 반전 출력 단자를 포함하는 제3 D-플립플롭; 및 상기 제2 분주 신호를 입력받는 제4 클록 단자, 제4 데이터 단자, 상기 제4 분주 신호를 생성하는 제4 비반전 출력 단자, 상기 제4 데이터 단자로 피드백되는 제4 반전 출력 단자 및 상기 제2 리셋 신호를 입력받는 제2 리셋 단자를 포함하는 제4 D-플립플롭;을 포함할 수 있다.

[0014] 또한, 상기 제2 교정기는, 상기 제3 분주 신호의 위상이 상기 제4 분주 신호의 위상보다 90도 선행하지 않는 경우, 상기 제2 리셋 신호를 생성하는 제2 리셋 신호 생성기; 및 상기 제3 분주 신호의 위상이 상기 제4 분주 신호의 위상보다 90도 선행할 때까지, 상기 제2 리셋 신호를 소정 시간만큼씩 순차적으로 지연시킨 후 상기 제2 분주기에 인가하는 제2 지연 선택기;를 포함할 수 있다.

발명의 효과

[0015] 본 발명의 실시 예들 중 적어도 하나에 의하면, 본 발명의 일 실시예에 따른 주파수 분주 회로는 입력 신호에 대한 분주 과정에서 생성 및 처리되는 신호들의 상태를 모니터링하고, 출력 쌍의 I/Q(In-phase/Quadrature) 위상 관계를 어긋나게 하는 오동작이 발생하는 경우, 이를 적절히 교정할 수 있다는 장점이 있다.

[0016] 본 발명의 효과들은 이상에서 언급한 효과들로 제한되지 않으며, 언급되지 않은 또 다른 효과들은 청구범위의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

[0017] 도 1a는 본 발명의 실시예들에 따른 다양한 주파수 분주 회로들을 개략적으로 보여주고,

도 1b는 도 1a에 도시된 주파수 분주 회로가 정상적으로 동작하는 경우의 입력 신호와 출력 신호 간의 관계를 보여준다.

도 2는 도 1a의 (a)에 도시된 주파수 분주 회로의 구조에 대한 일 예를 보여준다.

도 3은 도 2에 도시된 분주기의 구조 및 동작에 대한 일 예를 보여준다.

도 4은 도 3의 (a)에 도시된 두 D-플립플롭의 입출력 동작에 따른 타이밍 다이어그램의 일 예를 보여준다.

도 5는 도 4의 (c)에 도시된 비정상 동작 중, 리셋 신호의 인가에 따른 교정 결과를 설명하기 위해 참조되는 도면이다.

도 6은 도 2에 도시된 교정기의 구조에 대한 일 예를 보여준다.

도 7은 도 6에 도시된 리셋 신호 생성기의 입출력 동작에 따른 타이밍 다이어그램을 보여준다.

도 8은 도 6에 도시된 지연 선택기의 동작을 설명하기 위한 개념도이다.

도 9는 리셋 신호가 분주기에 인가되기 전후에 대한 타이밍 다이어그램을 보여준다.

도 10은 도 2에 도시된 분주기의 구조에 대한 일 예를 보여준다.

도 11은 도 10의 (a)에 도시된 두 D-플립플롭의 입출력 동작에 따른 타이밍 다이어그램의 일 예를 보여준다.

도 12는 도 2에 도시된 교정기의 구조에 대한 일 예를 보여준다.

도 13은 리셋 신호가 분주기에 인가되기 전후에 대한 타이밍 다이어그램을 보여준다.

도 14는 도 1a의 (a)에 도시된 주파수 분주 회로의 구조에 대한 일 예를 보여준다.

도 15의 (a)는 도 14에 도시된 분주기의 구조의 일 예를 보여주고, 도 15의 (b)는 분주기의 입출력 동작에 따른 타이밍 다이어그램의 일 예를 보여준다.

도 16은 도 1a의 (a)에 도시된 주파수 분주 회로의 구조에 대한 일 예를 보여준다.

도 17은 도 16에 도시된 분주기의 구조의 일 예를 보여준다.

도 18a는 도 17에 도시된 분주기의 정상적인 입출력 동작에 따른 타이밍 다이어그램의 일 예를 보여준다.

도 18b는 도 17에 도시된 분주기의 비정상적인 입출력 동작에 따른 타이밍 다이어그램의 일 예를 보여준다.

도 18c는 도 17에 도시된 분주기의 비정상적인 입출력 동작에 따른 타이밍 다이어그램의 다른 예를 보여준다.

도 19는 도 16에 도시된 교정기의 구조에 대한 일 예를 보여준다.

도 20은 도 19에 도시된 교정기에 의해 생성된 리셋 신호가 분주기에 인가되기 전후에 대한 타이밍 다이어그램을 보여준다.

발명을 실시하기 위한 구체적인 내용

- [0018] 이하, 첨부된 도면을 참조하여 본 명세서에 개시된 실시 예를 상세히 설명하되, 도면 부호에 관계없이 동일하거나 유사한 구성요소는 동일한 참조 번호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0019] 또한, 본 명세서에 개시된 실시 예를 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 명세서에 개시된 실시 예의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- [0020] 또한, 첨부된 도면은 본 명세서에 개시된 실시 예를 쉽게 이해할 수 있도록 하기 위한 것일 뿐, 첨부된 도면에 의해 본 명세서에 개시된 기술적 사상이 제한되지 않으며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0021] 제1, 제2 등과 같이 서수를 포함하는 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되지는 않는다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.
- [0022] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다.
- [0023] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0024] 본 출원에서, "포함한다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되

어야 한다.

- [0025] 도 1a는 본 발명의 실시예들에 따른 다양한 주파수 분주 회로들을 개략적으로 보여주고, 도 1b는 도 1a에 도시된 주파수 분주 회로가 정상적으로 동작하는 경우의 입력 신호와 출력 신호 간의 관계를 보여준다.
- [0026] 도 1a를 참조하면, 전압 제어 발진기(이하, "VCO"라고 칭함)(2)는 LDO레귤레이터(Low Drop Output regulator, 이하 "레귤레이터"라고 칭함)(1) 등으로부터 제공되는 전압을 통해 소정의 발진 주파수를 가지는 입력 신호(S_{VCO+} , S_{VCO-})를 생성할 수 있다. 이때, 두 입력 신호(S_{VCO+} , S_{VCO-})는 듀비티 50% 및 차동 관계를 가질 수 있다.
- [0027] VCO(2)에 의해 생성된 입력 신호(S_{VCO+} , S_{VCO-}) 중 적어도 어느 하나는 스위치(3)를 통해 다양한 주파수 분주 회로들(10a, 10b, 10c) 중 적어도 어느 하나로 인가될 수 있다.
- [0028] 예컨대, 입력 신호(S_{VCO-})는 스위치(3)를 통해 주파수 분주 회로(10a)에 인가될 수 있다. 주파수 분주 회로(10a)는 VCO(2)에서 출력되는 입력 신호(S_{VCO-})의 주파수를 1/4로 분주하여, 듀비티 50% 및 I/Q(In-phase/Quadrature-phase) 위상 관계를 가지는 출력 신호 쌍(S_{DIV4I} , S_{DIV4Q})을 생성할 수 있다.
- [0029] 다른 예로, 입력 신호(S_{VCO+})는 스위치(3)를 통해 주파수 분주 회로(10b)에 인가될 수 있다. 주파수 분주 회로(10b)는 VCO(2)에서 출력되는 입력 신호(S_{VCO+})의 주파수를 1/12로 분주하여, 듀비티 50% 및 I/Q(In-phase/Quadrature-phase) 위상 관계를 가지는 출력 신호 쌍(S_{DIV12I} , S_{DIV12Q})을 생성할 수 있다.
- [0030] 다른 예로, 차동 관계의 입력 신호 쌍(S_{VCO+} , S_{VCO-})은 스위치(3)를 통해 주파수 분주 회로(10c)에 인가될 수 있다. 주파수 분주 회로(10c)는 VCO(2)에서 출력되는 입력 신호 쌍(S_{VCO+} , S_{VCO-})의 주파수를 1/6로 분주하여, 듀비티 50% 및 I/Q(In-phase/Quadrature-phase) 위상 관계를 가지는 출력 신호 쌍(S_{DIV6I} , S_{DIV6Q})을 생성할 수 있다.
- [0031] 도 1b를 참조하면, 도 1a에 도시된 주파수 분주 회로(10a)는, 예컨대 주파수가 7400MHz인 입력 신호(S_{VCO-})의 주파수를 1/4로 분주하여, 1850MHz의 주파수를 가지는 출력 신호 쌍(S_{DIV4I} , S_{DIV4Q})을 생성할 수 있다. 이때, 출력 신호(S_{DIV4I})는 출력 신호(S_{DIV4Q})보다 위상이 $\pi/2$ (=90도)만큼 앞설 수 있다.
- [0032] 또한, 주파수 분주 회로(10b)는 주파수가 8400MHz인 입력 신호(S_{VCO+})의 주파수를 1/12로 분주하여, 700MHz의 주파수를 가지는 출력 신호 쌍(S_{DIV12I} , S_{DIV12Q})을 생성할 수 있다. 이때, 출력 신호(S_{DIV12I})는 출력 신호(S_{DIV12Q})보다 위상이 $\pi/2$ (=90도)만큼 앞설 수 있다.
- [0033] 또한, 주파수 분주 회로(10c)는, 예컨대 주파수가 8520MHz인 입력 신호 쌍(S_{VCO+} , S_{VCO-})의 주파수를 1/6로 분주하여, 1420MHz의 주파수를 가지는 출력 신호 쌍(S_{DIV6I} , S_{DIV6Q})을 생성할 수 있다. 이때, 출력 신호(S_{DIV6I})는 출력 신호(S_{DIV6Q})보다 위상이 $\pi/2$ (=90도)만큼 앞설 수 있다.
- [0034] 한편, 도 1a 및 도 1b에서는 입력 신호의 주파수를 각각 1/4, 1/12, 1/6으로 분주하는 3가지의 주파수 분주 회로(10a, 10b, 10c)만을 예시하였으나, 이에 한정되는 것은 아니며, 주파수 분주 회로의 목적에 따라 그 밖에 다양한 값으로 분주될 수 있는 것으로 이해되어야 할 것이다.
- [0035] 도 2는 도 1a의 (a)에 도시된 주파수 분주 회로(10a)의 구조에 대한 일 예를 보여준다.
- [0036] 도 2를 참조하면, 분주인자 1/4인 주파수 분주 회로(10a)는 분주기(21, 22) 및 교정기(31, 32)를 포함할 수 있다.
- [0037] 분주기(21)는 입력 신호(S_{VCO-})의 주파수를 1/2로 분주하여, 분주 신호 쌍(S_{DIV2+} , S_{DIV2-})을 생성한다. 분주기(21)가 정상 동작하는 경우, 두 분주 신호(S_{DIV2+} , S_{DIV2-})는 차동 관계를 이루게 된다. 본 발명에서 어떤 두 신호가 차동 관계를 이루는 것은, 어느 한 신호와 다른 한 신호 간의 위상차가 π (=180도)인 관계를 가짐을 의미한다. 예컨대, 분주기(21)가 생성한 어느 한 분주 신호(S_{DIV2+})는 다른 한 분주 신호(S_{DIV2-})보다 위상이 180도 선행할 수 있다.
- [0038] 교정기(31)는 입력 신호(S_{VCO-}) 및 두 분주 신호(S_{DIV2+} , S_{DIV2-})를 기초로, 리셋 신호(RS_{DIV2})를 생성한다. 이러한

리셋 신호(RS_{DIV2})는 두 분주 신호(S_{DIV2+} , S_{DIV2-})가 차동 관계를 이루지 않는 경우에 생성되어 교정기(31)로부터 분주기(21)로 제공된다. 즉, 교정기(31)는 분주기(21)에 대하여 피드백 회로로 구성될 수 있다.

[0039] 분주기(22)는 분주기(21)에 의해 생성된 두 분주 신호(S_{DIV2+} , S_{DIV2-})의 주파수를 1/2로 분주하여 출력 신호 쌍(S_{DIV4I} , S_{DIV4Q})을 생성한다. 출력 신호 쌍(S_{DIV4I} , S_{DIV4Q})은 입력 신호(S_{VCO-})의 주파수가 1/2씩 두 번 분주된 것인 바, 입력 신호(S_{VCO-})의 주파수의 1/4에 해당하는 주파수를 가지게 된다.

[0040] 분주기(22)가 정상 동작하는 경우, 분주 신호 쌍(S_{DIV4I} , S_{DIV4Q})은 분주 신호(S_{DIV4I})의 위상이 분주 신호(S_{DIV4Q})의 위상보다 90도 앞서는 I/Q 위상 관계를 이루게 된다.

[0041] 교정기(32)는 분주 신호 쌍(S_{DIV4I} , S_{DIV4Q})을 기초로, 리셋 신호(RS_{IQ})를 생성한다. 이러한 리셋 신호(RS_{IQ})는 분주 신호 쌍(S_{DIV4I} , S_{DIV4Q})이 I/Q 위상 관계를 만족하지 않는 경우에 생성되어 교정기(32)로부터 분주기(22)로 제공된다. 즉, 교정기(32)는 분주기(22)에 대하여 피드백 회로로 구성될 수 있다.

[0042] 도 3은 도 2에 도시된 분주기(21)의 구조 및 동작에 대한 일 예를 보여준다.

[0043] 도 3의 (a)를 참조하면, 분주기(21)는 두 D-플립플롭(101, 102)을 포함할 수 있고, 두 D-플립플롭(101, 102) 각각은 도 3의 (b)에 도시된 로직 테이블에 따라 동작한다. 본 발명에서 D-플립플롭이란, 지연(delay)형 플립플롭을 의미하며, 임의의 입력 신호를 클록 펄스의 시간 간격만큼 지연시켜 출력한다.

[0044] D-플립플롭은 클록 단자(C), 데이터 단자(D) 및 비반전 출력 단자(Q)를 포함하고, 실시예에 따라 반전 출력 단자(Q_b)나 리셋 단자(R)를 더 포함할 수 있다.

[0045] 클록 단자(C)는 다른 구성 요소(예, 전압 제어 발진기)로부터 클록 신호를 수신한다. 예컨대, 플립플롭(101) 또는 플립플롭(102)에 대한 클록 신호로서 입력 신호(S_{VCO-})가 이용될 수 있다.

[0046] 비반전 출력 단자(Q)는 클록 단자(C)에 인가되는 클록 신호의 펄스에 따라, 데이터 단자(D)의 값과 동일한 값을 출력한다. 예를 들어, 데이터 단자(D)가 "0" 상태일 때 클록 단자(C)에 클록 펄스 "1"이 인가되면, 비반전 출력 단자(Q)는 "0"을 출력하고, 데이터 단자(D)에 "1" 상태일 때 클록 단자(C)에 클록 펄스 "1"이 인가되면, 비반전 출력 단자(Q)는 "1"을 출력한다.

[0047] 또한, 반전 출력 단자(Q_b)는 비반전 출력 단자(Q)의 출력 값의 반전 값을 출력한다. 예를 들어, 비반전 출력 단자(Q)가 "1"을 출력하면 반전 출력 단자(Q_b)는 "0"을 출력하고, 비반전 출력 단자(Q)가 "0"을 출력하면 반전 출력 단자(Q_b)는 "1"을 출력한다.

[0048] 한편, 반전 출력 단자(Q_b)는 데이터 단자(D)로 피드백되도록 연결되는 바, 클록 단자(C)에 "1"이 인가될 때마다, 비반전 출력 단자(Q)의 출력 값은 반전된다. 이에 따라, 클록 단자(C)에 인가되는 클록 신호의 듀티비가 50%인 경우, 클록 신호의 주파수의 1/2에 해당하는 주파수를 가지고 듀티비 50%인 출력 신호가 반전 출력 단자(Q_b)로부터 출력될 수 있다.

[0049] 또한, 리셋 단자(R)에 리셋 펄스가 인가되지 않으면(즉, 리셋 신호가 "0"이면), 클록 단자(C)에 인가되는 신호 및 데이터 단자(D)에 인가되는 신호가 변화하지 않는 한, 비반전 출력 단자(Q)의 출력 값과 반전 출력 단자(Q_b)의 출력 값은 각각 일정하게 유지될 수 있다. 예를 들어, 클록 단자(C)에 인가되는 신호 및 데이터 단자(D)에 인가되는 신호에 따라 비반전 출력 단자(Q)가 n번째 출력 값(Q_n)을 출력한 후, 클록 단자(C)에 인가되는 신호 및 데이터 단자(D)에 인가되는 신호가 그대로 유지되면, 비반전 출력 단자(Q)는 n+1번째 출력 값(Q_{n+1})으로서 n번째 출력 값(Q_n)과 동일한 값을 출력하게 된다. 또한, 반전 출력 단자(Q_b)가 n번째 출력 값(Q_{bn})을 출력한 후, 클록 단자(C)에 인가되는 신호 및 데이터 단자(D)에 인가되는 신호가 그대로 그대로 유지되면, 반전 출력 단자(Q_b)는 n+1번째 출력 값(Q_{bn+1})으로서 n번째 출력 값(Q_{bn})과 동일한 값을 출력하게 된다. 위 예시에서, n은 자연수일 수 있다.

[0050] 또한, 리셋 단자(R)에 리셋 펄스가 인가되면(즉, 리셋 신호가 "1"이면), 클록 단자(C)에 인가되는 신호 및 데이터 단자(D)에 인가되는 신호와는 무관하게, 비반전 출력 단자(Q)는 "1"을 출력할 수 있다.

- [0051] 도 3의 (a)에 도시된 바와 같이, 입력 신호(S_{VCO-})는 클록 신호로서 D-플립플롭(101) 및 D-플립플롭(102) 각각의 클록 단자(C)에 동시에 인가될 수 있으며, 도 3의 (b)에 도시된 로직 테이블에 따라, D-플립플롭(101)은 입력 신호(S_{VCO-})의 주파수가 1/2 분주된 분주 신호(S_{DIV2+})를 생성하고, D-플립플롭(102)은 입력 신호(S_{VCO-})의 주파수가 1/2 분주된 분주 신호(S_{DIV2-})를 생성한다. 이때, 입력 신호(S_{VCO-})의 듀티비가 50%인 경우, 분주 신호(S_{DIV2+})와 분주 신호(S_{DIV2-}) 각각의 듀티비 역시 50%일 수 있다.
- [0052] 한편, D-플립플롭(101) 및 D-플립플롭(102) 각각의 반전 출력 단자(Q_b)의 초기 상태에 따라, 분주 신호(S_{DIV2+})와 분주 신호(S_{DIV2-})는 차동 관계를 이루거나 이루지 못할 수 있다.
- [0053] 도 4은 도 3의 (a)에 도시된 두 D-플립플롭(101, 102)의 입출력 동작에 따른 타이밍 다이어그램의 일 예를 보여 준다.
- [0054] 도 4의 (a)는 두 D-플립플롭(101, 102) 각각의 반전 출력 단자(Q_b)의 초기 상태가 서로 다른 경우의 타이밍 다이어그램을 예시하고, 도 4의 (b)는 두 D-플립플롭(101, 102) 각각의 반전 출력 단자(Q_b)의 초기 상태가 서로 같은 경우의 타이밍 다이어그램을 예시한다.
- [0055] 도 4의 (a)는, D-플립플롭(101)의 반전 출력 단자(Q_b)의 초기 값이 "0"이고, D-플립플롭(102)의 반전 출력 단자(Q_b)의 초기 값이 "1"인 상태에서, 두 D-플립플롭(101, 102) 각각의 클록 단자(C)에 듀티비 50%의 입력 신호(S_{VCO-})가 동시에 인가되는 경우의 타이밍 다이어그램이다.
- [0056] D-플립플롭(101)의 비반전 출력 단자(Q)의 출력 신호(S_{DIV2+})와 D-플립플롭(102)의 비반전 출력 단자(Q)의 출력 신호(S_{DIV2-})는 클록 신호(S_{VCO-})의 상승 에지마다 반전되는바, 도시된 바와 같이, 출력 신호(S_{DIV2+}) 및 출력 신호(S_{DIV2-})는 클록 신호(S_{VCO-})의 주파수가 1/2 분주된 주파수를 가진다. 또한, 두 D-플립플롭(101, 102) 각각의 반전 출력 단자(Q_b)의 초기 값이 서로 다르므로, D-플립플롭(101)의 비반전 출력 단자(Q)의 출력 신호(S_{DIV2+})와 D-플립플롭(102)의 비반전 출력 단자(Q)의 출력 신호(S_{DIV2-})는 듀티비 50%를 가지고 상호 차동 관계를 이루게 된다.
- [0057] 한편, 도 4의 (b)는, D-플립플롭(101)의 반전 출력 단자(Q_b)의 초기 값이 "0"이고, D-플립플롭(102)의 반전 출력 단자(Q_b)의 초기 값도 "0"인 상태에서, 두 D-플립플롭(101, 102) 각각의 클록 단자(C)에 듀티비 50%의 클록 신호(S_{VCO-})가 동시에 인가되는 경우의 타이밍 다이어그램이다.
- [0058] D-플립플롭(101)의 비반전 출력 단자(Q)의 출력 신호(S_{DIV2+})와 D-플립플롭(102)의 비반전 출력 단자(Q)의 출력 신호(S_{DIV2-})는 클록 신호(S_{VCO-})의 상승 에지마다 반전되는바, 도시된 바와 같이, 출력 신호(S_{DIV2+}) 및 출력 신호(S_{DIV2-})는 클록 신호(S_{VCO-})의 주파수가 1/2 분주된 주파수 및 듀티비 50%를 가진다는 점에서 도 4의 (a)와 동일하다. 하지만, 두 D-플립플롭(101, 102) 각각의 반전 출력 단자(Q_b)의 초기 값이 서로 동일하므로, D-플립플롭(101)의 비반전 출력 단자(Q)의 출력 신호(S_{DIV2+})와 D-플립플롭(102)의 비반전 출력 단자(Q)의 출력 신호(S_{DIV2-})는 서로 차동 관계를 만족하지 못하게 된다.
- [0059] 도 4의 (c)는 리셋 신호(RS_{DIV2})를 이용하여, 도 4의 (b)와 같은 분주기(21)의 오작동을 교정하는 동작을 설명하기 위한 타이밍 다이어그램이다.
- [0060] 도 4의 (c)와 같이 D-플립플롭(101)의 출력 신호(S_{DIV2+})와 D-플립플롭(102)의 출력 신호(S_{DIV2-})가 모두 "1"인 상태일 때, 클록 신호(S_{VCO-})의 다음 상승 에지(positive edge)가 오기 전, D-플립플롭(102)의 리셋 단자(R)에 리셋 신호(RS_{DIV2})를 인가할 수 있다.
- [0061] 도 3의 (b)을 참조하여 전술한 바와 같이 D-플립플롭은 리셋 단자(R)에 리셋 펄스 "1"이 인가될 때마다, 비반전 출력 단자(Q)는 항상 "0"을 출력하는 특성을 가지므로, D-플립플롭(102)의 리셋 단자(R)에 리셋 신호(RS_{DIV2})가 인가되면, 도시된 바와 같이 출력 신호(S_{DIV2-})는 "1"에서 "0"으로 반전되어, D-플립플롭(101)의 출력 신호

(S_{DIV2+})와 서로 다른 값을 가지게 된다. 즉, 리셋 신호(RS_{DIV2})의 상승 에지 직전에는 두 출력 신호(S_{DIV2+} , S_{DIV2-})가 차동 관계를 만족하지 않으나, 리셋 신호(RS_{DIV2})의 상승 에지 후에는 두 출력 신호(S_{DIV2+} , S_{DIV2-})가 차동 관계를 정상적으로 만족하게 된다.

[0062] 한편, 두 출력 신호(S_{DIV2+} , S_{DIV2-})가 차동 관계를 만족시키는 교정 동작을 위해서는, 두 출력 신호(S_{DIV2+} , S_{DIV2-})가 모두 "1"인 시점에 D-플립플롭(102)의 리셋 단자(R)로 리셋 신호(RS_{DIV2})가 인가되어야 한다. 즉, 두 출력 신호(S_{DIV2+} , S_{DIV2-}) 중 적어도 하나가 "0"인 시점에 리셋 신호(RS_{DIV2})가 인가되면, 교정 동작이 정상적으로 이루어지지 않을 수 있다.

[0063] 이러한 리셋 신호(RS_{DIV2})는 도 2에 도시된 교정기(31)로부터 인가되는 것일 수 있는바, 이하 도 5 및 도 6을 참조하여 보다 상세히 살펴보기로 한다.

[0064] 도 5는 도 4의 (c)에 도시된 비정상 동작 중, 리셋 신호(RS_{DIV2})의 인가에 따른 교정 결과를 설명하기 위해 참조되는 도면이다.

[0065] 도 5를 참조하면, 듀티비 50%인 클록 신호(S_{VCO-})의 어느 한 상승 에지(positive edge)(P_k)에서 바로 다음 상승 에지(P_{k+1})까지는 시간 폭(T_{CLK})이 존재한다.

[0066] 또한, 리셋 신호(RS_{DIV2})는 펄스폭(T_{PW})을 가진다. 또한, 리셋 신호(RS_{DIV2})는 클록 신호(S_{VCO-})를 적어도 한 번 이상 분주한 후에야 생성할 수 있는 것이므로, 리셋 신호(RS_{DIV2})의 상승 에지는 클록 신호(S_{VCO-})의 상승 에지로부터 어느 정도의 시간(T_{c2q})만큼 딜레이된다. 딜레이되는 시간(T_{c2q})은 주파수 분주 회로(10a)의 물리적 특성(즉, 어떤 입력으로부터 출력을 얻는 데에 발생하는 딜레이)에 기인한 값으로서, 여러 요인에 따라 증감할 수 있다. 이에 따라, 도시된 바와 같이, 리셋 신호(RS_{DIV2})의 하강 에지는 클록 신호(S_{VCO-})의 어느 한 상승 에지(P_k)로부터 적어도 $T_{c2q}+T_{PW}$ 만큼 지연된 시점에 위치할 수 있다.

[0067] 또한, 리셋 신호(RS_{DIV2})의 하강 에지(falling edge)는 클록 신호(S_{VCO-})의 다음 상승 에지(P_{k+1})로부터 적어도 셋업 시간(T_{setup}) 이전의 어느 한 시점(예, ①번 시점)에 위치하여야 한다. 즉, 정상적인 교정이 이루어지기 위해서는 $T_{margin}=T_{CLK}-(T_{c2q}+T_{PW}+T_{setup}) > 0$ 이어야 한다.

[0068] 하지만, 예를 들어 입력 신호(S_{VCO-})의 주파수가 11GHz와 같이 고속 동작을 하게 될 경우, T_{CLK} 은 매우 짧아지게 되고, 프로세스 변화(process variation)에 의해 회로의 동작 특성이 악화되는 경우 T_{c2q} 와 T_{PW} 는 길어져, T_{margin} 은 0보다 작아질 수 있다.

[0069] 만약, 리셋 신호(RS_{DIV2})의 하강 에지가 클록 신호(S_{VCO-})의 다음 상승 에지(P_{k+1})로부터 셋업 시간(T_{setup}) 이전을 넘어서는 시점(예, ②번 시점)에 위치하게 되면(즉, $T_{margin} < 0$ 에 해당하는 시점), 클록 신호(S_{VCO-})의 다음 상승 에지가 D-플립플롭(102)에 인가되더라도, D-플립플롭(102)의 출력 신호(S_{DIV2-})는 계속 "0"로 유지되어, 정상적인 교정이 이루어지지 않을 수 있다.

[0070] 따라서, 본 발명은 입력 신호(S_{VCO-})의 주파수, T_{c2q} , T_{PW} 등에 관계없이, 분주기(21)의 입출력 상태를 모니터링하고, 오동작이 검출된 경우 이를 교정할 수 있는 교정기(31)를 포함하는 회로를 제안하고자 하는바, 도 6을 참조하여 상세히 설명하기로 한다.

[0071] 도 6은 도 2에 도시된 교정기(31)의 구조에 대한 일 예를 보여준다.

[0072] 도 6을 참조하면, 교정기(31)는 리셋 신호 생성기(111) 및 지연 선택기(112)를 포함할 수 있다.

[0073] 리셋 신호 생성기(111)는 분주기(21)에 의해 생성된 두 분주 신호(S_{DIV2+} , S_{DIV2-})들의 상태를 모니터링하여, 두 분주 신호(S_{DIV2+} , S_{DIV2-})들이 서로 차동 관계를 이루지 않는 경우, 초기 리셋 신호($RS1$)를 생성한다.

[0074] 리셋 신호 생성기(111)는 XNOR 게이트(121), 분주기(122), 딜레이 유닛(123) 및 D-플립플롭(124)을 포함할 수 있다.

- [0075] XNOR 게이트(121)는 두 분주 신호(S_{DIV2+} , S_{DIV2-})를 인가받아, 이에 대응하는 신호(S_{XORb})를 출력한다. 예컨대, XNOR 게이트(121)는 두 분주 신호(S_{DIV2+} , S_{DIV2-})가 같은 상태(예, ("1", "1") 또는 ("0", "0"))인 경우에는, "1"을 생성하고, 두 분주 신호(S_{DIV2+} , S_{DIV2-})가 다른 상태(예, ("1", "0") 또는 ("0", "1"))인 경우에는, "0"을 생성한다. 이러한 신호(S_{XORb})는 후술할 플립플롭(124)의 데이터 단자(D)에 인가될 수 있다.
- [0076] 분주기(122)는 분주 신호(S_{DIV2+})의 주파수를 1/2 분주한 신호(CK_{SDPC})를 생성한 후 이를 D-플립플롭(124)의 클록 단자(C)에 인가한다. 이 과정에서, 분주 신호(S_{DIV2+})와 출력 신호(CK_{SDPC}) 간에는 소정 시간(T_{CK})만큼의 딜레이가 발생할 수 있다.
- [0077] 딜레이 유닛(123)은 분주기(122)로부터 인가되는 신호(CK_{SDPC})를 소정 시간(T_{PW})만큼 지연시킨 후 D-플립플롭(124)의 리셋 단자(R)에 인가한다.
- [0078] D-플립플롭(124)은 데이터 단자(D), 클록 단자(C) 및 리셋 단자(R) 각각에 인가되는 신호에 따라, 소정의 펄스폭(T_{PW})을 가지는 초기 리셋 신호(RS1)를 생성한다.
- [0079] 예컨대, 두 분주 신호(S_{DIV2+} , S_{DIV2-})가 서로 같은 상태인 경우, D-플립플롭(124)의 데이터 단자(D)는 XNOR 게이트(121)에 의해 "1" 상태가 된다. 이때, 신호(CK_{SDPC})가 D-플립플롭(124)의 클록 단자(C)에 인가되면, D-플립플롭(124)의 데이터 단자(D)의 상태와 동일한 "1"이 비반전 출력 단자(Q)로부터 출력된다. 이때, 딜레이 유닛(123)에 의해 소정 시간(T_{PW})만큼 딜레이된 신호(CK_{SDPC})가 D-플립플롭(123)의 리셋 단자(R)에 인가됨에 따라, 비반전 출력 단자(Q)로부터 출력되던 "1"은 다시 "0"으로 반전된다. 즉, D-플립플롭(123)의 비반전 출력 단자(Q)로부터 출력되는 초기 리셋 신호(RS1)의 폭(T_{PW})은, 신호(CK_{SDPC})가 딜레이 유닛(123)에 의해 지연된 시간에 대응하는 폭(T_{PW})을 가지게 된다. 즉, 전술한 딜레이 유닛(123)은 초기 리셋 신호(RS1)의 펄스폭(T_{PW})을 결정하는 동작을 담당하게 된다. 딜레이 유닛(123)이 어느 정도로 신호(CK_{SDPC})를 딜레이시킬지는 미리 정의된 상태일 수 있다.
- [0080] 지연 선택기(112)는 리셋 신호 생성기(111)로부터 인가되는 초기 리셋 신호(RS1)의 하강 에지가, 도 5에 도시된 $T_{margin} > 0$ 을 만족하는 시점에 위치하도록, 초기 리셋 신호(RS1)를 지연시킨 신호(RS_{DIV2})를, 분주기(21)에 인가한다. 지연 선택기(112)의 동작에 대하여는 이하 도 8을 참조하여 구체적으로 살펴보기로 한다.
- [0081] 도 7은 도 6에 도시된 리셋 신호 생성기(111)의 입출력 동작에 따른 타이밍 다이어그램을 보여준다. 이해를 돕기 위해, 지연 선택기(112)의 동작은 고려하지 않으며, 초기 리셋 신호(RS1)는 분주기(21)로 피드백되지 않는 것으로 가정한다.
- [0082] 도 7을 참조하면, 듀티비 50%를 가지는 두 분주 신호(S_{DIV2+} , S_{DIV2-})가 리셋 신호 생성기(111)에 인가된다.
- [0083] 이때, 두 분주 신호(S_{DIV2+} , S_{DIV2-})는 도시된 바와 같이 서로 같은 상태이므로, XNOR 게이트(121)에서 생성되는 신호(S_{XORb})는 계속 "1"을 유지하게 된다. 또한, 두 분주 신호(S_{DIV2+} , S_{DIV2-})는 서로 차동 관계를 이루지 않아 교정이 필요한 상태이다.
- [0084] 또한, 두 분주 신호(S_{DIV2+} , S_{DIV2-}) 각각은 분주기(21)가 클록 신호(S_{VCO-})를 1/2 분주한 후의 신호들이다. 따라서, 도시된 바와 같이 두 분주 신호(S_{DIV2+} , S_{DIV2-}) 각각의 최초 상승 에지는 클록 신호(S_{VCO-})의 최초 상승 에지로부터 어느 정도의 시간(예, T_{c2q} , 도 5 참조)만큼 딜레이될 수 있다.
- [0085] D-플립플롭(124)은 신호(S_{XORb})의 상태가 "1"인 경우에 인가되는 클록 신호(CK_{SDPC})에 반응하여 리셋 신호(RS1)를 생성하는데, 클록 신호(CK_{SDPC})는 입력 신호(S_{VCO-})가 1/2씩 2번 분주된 후의 신호이므로, D-플립플롭(124)은 $2^2 T_{VCO}$ 마다 펄스를 생성할 수 있다. 여기서, T_{VCO} 는 입력 신호(S_{VCO-})의 한 주기에 해당하는 시간일 수 있다.
- [0086] 한편, 초기 리셋 신호(RS1)를 살펴보면, 신호 처리 시에 필수적으로 동반되는 딜레이 현상에 의해, 클록 신호(S_{VCO-})의 첫번째 상승 에지에 따라 생성되는 초기 리셋 신호(RS1)의 하강 에지는, 클록 신호(S_{VCO-})의 첫번째 상승 에지가 발생한 시점으로부터 소정 시간(T_{C2R})만큼 딜레이된 시점에 위치할 수 있다. 구체적으로, 클록 신호

(S_{VCO-})의 첫번째 상승 에지에 대한 결과로 생성된 리셋 신호(RS1)의 하강 에지는 클럭 신호(S_{VCO-})의 두번째 상승 에지를 지난 시점에 위치할 수 있는바, 이는 도 5를 참조하여 전술한 $T_{margin} < 0$ 에 해당하므로, 리셋 신호(RS1)가 생성되었음에도, 두 분주 신호(S_{DIV2+} , S_{DIV2-})가 차동 관계를 이루도록 하는 교정 과정이 제대로 이뤄지지 않을 수 있다.

[0087] 즉, 리셋 신호(RS1)의 하강 에지가 위치하는 시점에는 분주 신호(S_{DIV2-})가 "0"인 상태이므로, 리셋 신호(RS1)가 분주기(21)에 포함된 D-플립플롭(102)의 리셋 단자(R)에 인가되더라도, 두 분주 신호(S_{DIV2+} , S_{DIV2-})는 계속하여 차동 쌍을 이루지 않게 된다. 이러한 문제는, 리셋 신호(RS1)의 하강 에지를 i) $T_{margin} > 0$ 이고, ii) 분주 신호(S_{DIV2-})가 "1"인 시점에 위치하도록, 리셋 신호(RS1)를 적어도 $T_{CORRECT}$ 만큼 시간 지연시키는 지연 선택기(112)의 도입으로 해결할 수 있는바, 도 8을 살펴보기로 한다.

[0088] 도 8은 도 6에 도시된 지연 선택기(112)의 동작을 설명하기 위한 개념도이다.

[0089] 도 8의 (a)를 참조하면, 지연 선택기(112)는 2^n 개(n 은 자연수)의 딜레이 유닛(delay unit), 카운터(141), 디코더(142) 및 스위치(143)를 포함할 수 있다.

[0090] 2^n 개의 딜레이 유닛(delay unit)들은 순차적으로 직렬 연결된다. 각각의 딜레이 유닛(delay unit)은, 입력되는 신호를 소정 시간(τ)만큼 딜레이시킨 후 이와 인접하게 연결된 다른 딜레이 유닛(delay unit)으로 제공한다.

[0091] 카운터(141)는 D-플립플롭(124, 도 6 참조)로부터 리셋 신호(RS1)의 상승 에지가 인가될 때마다, 그 횟수를 카운트하여 n 비트의 2진코드를 생성한다. 예컨대, n 이 2인 경우, 카운터(141)는 카운트 수가 1번이면 (0,1), 2번이면 (1, 0), 3번이면 (1, 1), 4번이면 (0,0)의 2진코드를 생성할 수 있다. 물론, 카운트 수가 5번이면 다시 (0, 1)의 2진코드를 생성할 수 있다.

[0092] 디코더(142)는 카운터(141)로부터 제공되는 n 비트의 2진코드를 2^n 비트의 2진코드로 변환할 수 있다. 예컨대, 디코더(142)는 2비트의 2진코드 (0,0)를 4비트의 2진코드 (0, 0, 0, 1)로 변환하고, 2비트의 2진코드 (0,1)를 4비트의 2진코드 (0, 0, 1, 0)로 변환하며, 2비트의 2진코드 (1,0)를 4비트의 2진코드 (0, 1, 0, 0)로 변환하고, 2비트의 2진코드 (1,1)를 4비트의 2진코드 (1, 0, 0, 0)로 변환할 수 있다.

[0093] 스위치(143)는 디코더(142)로부터 제공되는 2^n 비트의 2진코드에 따라, 2^n 개(n 은 자연수)의 딜레이 유닛(delay unit) 중 어느 하나의 출력 신호를 선택할 수 있다. 예를 들어, n 이 2라고 가정할 때, 스위치(143)가 4개의 딜레이 유닛(delay unit)들 중, 1번째 딜레이 유닛(delay unit)을 선택할 경우, 초기 리셋 신호(RS1)가 τ 만큼 딜레이된 리셋 신호(RS_{DIV2})가 출력되고, 2번째 딜레이 유닛(delay unit)을 선택할 경우, 초기 리셋 신호(RS1)가 2τ 만큼 딜레이된 리셋 신호(RS_{DIV2})가 출력된다.

[0094] 도 9는 리셋 신호(RS_{DIV2})가 분주기(21)에 인가되기 전후에 대한 타이밍 다이어그램을 보여준다.

[0095] 도 9를 참조하면, 초기 리셋 신호(RS1)를 $N\tau$ 만큼 딜레이시킨 신호인 리셋 신호(RS_{DIV2})의 인가 시점 전까지는 분주 신호(S_{DIV2+})와 분주 신호(S_{DIV2-})는 서로 동일한 상태를 가지며, 이에 따라 XNOR 게이트(121)의 출력 신호(S_{XORb}) 역시 "1" 상태를 유지한다.

[0096] 한편, 도 8을 참조하여 전술한 지연 선택기(112)의 동작에 따라, 도 7에 도시된 바와 달리, 리셋 신호(RS_{DIV2})의 하강 에지는 분주 신호(S_{DIV2+})가 "1"인 시점에 위치하게 된다.

[0097] 이에 따라, 분주기(21)의 D-플립플롭(102)의 리셋 단자(R)에 리셋 신호(RS_{DIV2})가 인가되어, 분주 신호(S_{DIV2-})가 "1" 상태가 되지 않고 "0" 상태로 유지되며, 결과적으로 분주 신호(S_{DIV2+})와 차동 관계를 이루게 된다.

[0098] 보다 상세히 도 9를 살펴보면, 두 분주 신호(S_{DIV2+} , S_{DIV2-})가 차동 관계를 이루는 경우에는, XNOR 게이트(121)의 출력 신호(S_{XORb})는 "1" 으로부터 "0"으로 반전되며, 이에 따라, D-플립플롭(124)의 데이터 단자(D)에는 "0"이 인가되므로, 더 이상 "1" 상태의 초기 리셋 신호(RS1)가 생성되지 않아, 리셋 신호(RS_{DIV2})는 계속해서 "0"인 상태를 유지하게 된다.

- [0099] 즉, 두 분주 신호(S_{DIV2+} , S_{DIV2-})들이 차동 관계를 이루는 한, 지연 선택기(112)의 출력은 계속하여 "0"을 유지하게 된다.
- [0100] 도 10은 도 2에 도시된 분주기(22)의 구조에 대한 일 예를 보여준다.
- [0101] 도 10을 참조하면, 분주기(22)는 두 D-플립플롭(151, 152)을 포함할 수 있고, 두 D-플립플롭(151, 152) 각각은 도 3의 (b)에 도시된 로직 테이블에 따라 동작한다.
- [0102] 구체적으로, D-플립플롭(151)의 클록 단자(C)에 인가되는 클록 신호(S_{DIV2+})는 도 3에 도시된 D-플립플롭(101)의 비반전 출력 단자(Q)로부터 출력되는 신호(S_{DIV2+})일 수 있다. 또한, D-플립플롭(151)의 반전 출력 단자(Q_b)는 데이터 단자(D)로 피드백된다. 이에 따라, D-플립플롭(151)은 클록 신호(S_{DIV2+})의 주파수가 1/2 분주된 분주 신호(S_{DIV4I})를 생성할 수 있다.
- [0103] 또한, D-플립플롭(152)의 클록 단자(C)에 인가되는 클록 신호(S_{DIV2-})는 도 3에 도시된 D-플립플롭(102)의 비반전 출력 단자(Q)로부터 출력되는 신호(S_{DIV2-})일 수 있다. 이때, 신호(S_{DIV2-})는 신호(S_{DIV2+})와 차동 관계를 가진다는 것은 전술한 바와 같다. 또한, D-플립플롭(152)의 반전 출력 단자(Q_b)는 데이터 단자(D)로 피드백된다. 이에 따라, D-플립플롭(152)은 클록 신호(S_{DIV2-})의 주파수가 1/2 분주된 분주 신호(S_{DIV4Q})를 생성할 수 있다.
- [0104] 분주기(22)가 정상 동작하는 경우, D-플립플롭(151)의 비반전 출력 단자(Q)로부터 출력되는 신호(S_{DIV4I})는 D-플립플롭(152)의 비반전 출력 단자(Q)로부터 출력되는 신호(S_{DIV4Q})와 I/Q 위상 관계를 가진다. 즉, 신호(S_{DIV4I})의 위상은 신호(S_{DIV4Q})의 위상보다 90도 앞서게 된다.
- [0105] 도 11은 도 10의 (a)에 도시된 두 D-플립플롭(151, 152)의 입출력 동작에 따른 타이밍 다이어그램의 일 예를 보여준다.
- [0106] 우선 도 11의 (a)는 두 분주 신호(S_{DIV2+} , S_{DIV2-})가 클록 신호로서 두 D-플립플롭(151, 152)에 인가되는 시점에서, 두 D-플립플롭(151, 152)의 반전 출력 단자(Q_b)의 초기 상태가 서로 다른 경우의 타이밍 다이어그램을 예시한다.
- [0107] 예를 들어, 도시된 바와 같이, 차동 관계의 클록 신호(S_{DIV2+} , S_{DIV2-})가 인가되기 시작할 때, D-플립플롭(151)의 반전 출력 단자(Q_b)의 상태가 "1"이고, D-플립플롭(152)의 반전 출력 단자(Q_b)의 상태는 "0"일 수 있다. 이 경우, 신호(S_{DIV4I})가 신호(S_{DIV4Q})보다 90도만큼 위상이 앞서게 되어, 두 신호(S_{DIV4I} , S_{DIV4Q})가 I/Q 위상 관계를 만족하는 상태이며, 별도의 교정 동작이 요구되지 않는다.
- [0108] 한편, 도 11의 (b)는 차동 관계의 클록 신호(S_{DIV2+} , S_{DIV2-})가 인가되는 시점에서, 두 D-플립플롭(151, 152)의 반전 출력 단자(Q_b)의 초기 상태가 서로 같은 경우의 타이밍 다이어그램을 예시한다.
- [0109] 예를 들어, 도시된 바와 같이, 차동 관계의 클록 신호(S_{DIV2+} , S_{DIV2-})가 인가되기 시작할 때, D-플립플롭(151)의 반전 출력 단자(Q_b)의 상태가 "1"이고, D-플립플롭(152)의 반전 출력 단자(Q_b)의 상태도 "1"일 수 있다. 이 경우, 이는 도 11의 (a)와는 반대로, 신호(S_{DIV4Q})가 신호(S_{DIV4I})보다 90도만큼 위상이 앞서게 되는 비정상 동작에 해당하므로, 교정 동작이 요구되며, 이러한 교정 동작은 도 2에 도시된 교정기(32)에 의해 수행될 수 있다.
- [0110] 도 12는 도 2에 도시된 교정기(32)의 구조에 대한 일 예를 보여준다.
- [0111] 도 12를 참조하면, 교정기(32)는 리셋 신호 생성기(161) 및 지연 선택기(162)를 포함할 수 있다.
- [0112] 리셋 신호 생성기(161)는 분주기(22)로부터 제공되는 입력 신호 쌍(S_{DIV4I} , S_{DIV4Q})의 상태를 모니터링하여, 두 분주 신호들(S_{DIV4I} , S_{DIV4Q})이 서로 I/Q 위상 관계를 이루지 않는 경우, 초기 리셋 신호(RS2)를 생성한다.
- [0113] 리셋 신호 생성기(161)는 두개의 D-플립플롭(171, 174), 분주기(172) 및 딜레이 유닛(173)을 포함할 수 있다.
- [0114] 이때, D-플립플롭(171)의 데이터 단자(D)에 인가되는 입력 신호는 분주기(22)에 의해 생성된 신호(S_{DIV4Q})이고,

D-플립플롭(171) 및 분주기(172)의 클록 단자(C)에 인가되는 클록 신호는 분주기(22)에 의해 생성된 신호(S_{DIV4I})일 수 있다.

- [0115] D-플립플롭(171)은 클록 신호(S_{DIV4I})의 상승 에지마다, 두 분주 신호(S_{DIV4I} , S_{DIV4Q})들의 상태에 대응하는 신호를 생성한다. 도 11의 (b)와 같이 신호(S_{DIV4Q})가 신호(S_{DIV4I})보다 90도만큼 위상이 앞선다고 가정할 때, 신호(S_{DIV4I})의 상승 에지에서 신호(S_{DIV4Q})는 항상 "1"이므로, D-플립플롭(171)의 비반전 출력 단자(Q)에서 출력되는 신호(S_{WRONG})는 계속 "1"인 상태를 유지한다.
- [0116] 또한, 분주기(172)는 신호(S_{DIV4I})의 주파수를 분주하여 얻은 분주 신호(CK_{IQ})를 D-플립플롭(173) 및 딜레이 유닛(174)에 제공한다. 예컨대, 분주기(172)는 신호(S_{DIV4I})의 주파수를 1/8 분주할 수 있다.
- [0117] D-플립플롭(174)은 신호(S_{WRONG}), 신호(CK_{IQ}) 및 딜레이 유닛(174)으로부터 제공되는 신호를 이용하여, 소정의 펄스폭을 가지는 초기 리셋 신호($RS2$)를 생성한다. 초기 리셋 신호($RS2$)의 펄스폭은 신호(S_{WRONG})가 딜레이 유닛(173)에 의해 지연된 시간 폭을 가지게 된다. 구체적으로, D-플립플롭(174)의 비반전 출력 단자(Q)는 신호(S_{WRONG})와 신호(CK_{IQ})가 모두 "1"인 경우 "1"을 출력하다가, 리셋 단자(R)를 통해 딜레이 유닛(173)로부터 "1"이 인가되면, "0"으로 반전된다.
- [0118] 즉, 전술한 딜레이 유닛(173)은 초기 리셋 신호($RS2$)의 펄스폭을 결정하는 동작을 담당하게 된다. 딜레이 유닛(173)이 어느 정도로 신호(CK_{IQ})를 딜레이시키지는 미리 정의된 상태일 수 있다.
- [0119] D-플립플롭(174)에 의해 생성된 초기 리셋 신호($RS2$)는 지연 선택기(162)의 입력 신호로 이용되며, 지연 선택기(162)는 초기 리셋 신호($RS2$)의 하강 에지가, 도 5에 도시된 $T_{margin} > 0$ 을 만족하는 시점에 위치할때까지, 초기 리셋 신호($RS2$)를 소정 단위 시간만큼씩 순차적으로 지연시킨 신호(RS_{IQ})를 출력한다. 지연 선택기(162)의 구성과 동작은 도 8 및 도 9에서 설명한 지연 선택기(112)와 동일할 수 있는바, 구체적인 설명은 생략하기로 한다.
- [0120] 도 13은 리셋 신호(RS_{IQ})가 분주기(22)에 인가되기 전후에 대한 타이밍 다이어그램을 보여준다.
- [0121] 도 13을 참조하면, 분주기(22)가 비정상 동작하여 두 신호(S_{DIV4I} , S_{DIV4Q})가 I/Q 위상 관계를 이루지 않는 경우(예, S_{DIV4Q} 의 위상이 S_{DIV4I} 의 위상에 90도 앞서는 경우), D-플립플롭(171)의 비반전 출력 단자(Q)에서 출력되는 신호(S_{WRONG})는 계속 "1"인 상태로 유지된다.
- [0122] 이에 따라 신호(S_{DIV4Q})가 "1"이고, 신호(S_{DIV4I})가 "0"인 상태에서 리셋 신호(RS_{IQ})가 D-플립플롭(도 10의 부호 152 참조)의 리셋 단자(R)에 인가된다. 이 경우, 도 3에 도시된 로직 테이블에 따라, 리셋 단자(R)를 통해 리셋 신호(RS_{IQ})를 인가받은 D-플립플롭(152)의 비반전 출력 단자(Q)의 상태는 "1"에서 "0"으로 반전된다. 결과적으로, 리셋 신호(RS_{IQ})가 인가됨에 따라, 신호(S_{DIV4I})가 신호(S_{DIV4Q})에 위상이 90도 앞서게 되는 정상 동작 상태를 가지게 된다.
- [0123] 두 신호(S_{DIV4I} , S_{DIV4Q})가 I/Q 위상 관계를 이루는 이상, 신호(S_{DIV4Q})의 상승 에지에서 신호(S_{DIV4I})는 항상 "0"이므로, D-플립플롭(171)의 비반전 출력 단자(Q)에서 출력되는 신호(S_{WRONG})는 "0" 상태로 유지되어, D-플립플롭(174) 역시 "1" 상태를 가지는 리셋 신호(RS_{IQ})를 더 이상 생성하지 않는다.
- [0124] 도 14는 도 1a의 (a)에 도시된 주파수 분주 회로(10b)의 구조에 대한 일 예를 보여준다.
- [0125] 도 14를 참조하면, 주파수 분주 회로(10b)는 주파수 분주 회로(10a) 및 분주기(41)를 포함할 수 있다.
- [0126] 분주기(41)는 입력 신호(S_{VCO+})의 주파수를 1/3로 분주하여 분주 신호(S_{DIV3})를 생성한다.
- [0127] 주파수 분주 회로(10a)는 입력 신호로서 분주기(41)에 의해 생성된 분주 신호(S_{DIV3})를 인가받는다. 즉, 분주 신호(S_{DIV3})는 주파수 분주 회로(10a)의 분주기(21)와 교정기(31)의 클록 신호(도 2 및 도 6의 ' S_{VCO-} ' 참조)로 이용될 수 있다.
- [0128] 구체적으로, 전술한 바와 같이 주파수 분주 회로(10a)는 임의의 입력 신호의 주파수를 1/4 분주하여, 듀티비

50%를 가지고 I/Q 위상 관계를 이루는 출력 신호 쌍을 생성한다.

- [0129] 만약, 도 14에 도시된 입력 신호(S_{DIV3})와 도 2에 도시된 입력 신호(S_{VCO-})가 서로 동일한 경우, 도 14에 도시된 4가지 신호인 S_{DIV6+} , S_{DIV6-} , S_{DIV121} , S_{DIV12Q} 는 순서대로 도 2에 도시된 4가지 신호인 S_{DIV2+} , S_{DIV2-} , S_{DIV41} , S_{DIV4Q} 와 동일할 수 있다. 주파수 분주 회로(10a)는 도 2 내지 도 9를 참조하여 이미 전술하였으므로, 구체적인 설명은 생략하기로 한다.
- [0130] 도 15의 (a)는 도 14에 도시된 분주기(41)의 구조의 일 예를 보여주고, 도 15의 (b)는 분주기(41)의 입출력 동작에 따른 타이밍 다이어그램의 일 예를 보여준다.
- [0131] 도 15의 (a) 및 (b)를 참조하면, 분주기(41)는 도 2 등을 참조하여 전술한 분주기들(21, 31)과 달리, 임의의 입력 신호(S_{VOC+})의 주파수를 1/3로 분주한다는 점에서 차이가 있다.
- [0132] 이러한 분주기(41)는 두 D-플립플롭(181, 182) 및 NOR 게이트(183)를 포함할 수 있다.
- [0133] 두 D-플립플롭(181, 182) 각각은 전술한 바와 같이 도 3의 (b)에 도시된 로직 테이블에 따라 동작한다.
- [0134] 입력 신호(S_{VOC+})는 두 D-플립플롭(181, 182)의 클록 노드(C)에 동시에 인가될 수 있으며, D-플립플롭(181)의 비반전 출력 단자(Q)는 D-플립플롭(182)의 데이터 단자(D)와 연결될 수 있다.
- [0135] 또한, D-플립플롭(181)의 비반전 출력 단자(Q) 및 D-플립플롭(182)의 비반전 출력 단자(Q)는 NOR 게이트(183)의 두 입력 단자와 연결된다. 이에 따라, NOR 게이트(183)는 D-플립플롭(181)의 비반전 출력 단자(Q) 및 D-플립플롭(182)의 비반전 출력 단자(Q)가 모두 "0"인 경우 "1"을 출력하고, 그 외의 경우에는 "0"을 출력한다.
- [0136] 결과적으로, 분주기(41)는 입력 신호(S_{VOC+})의 주파수의 1/3에 해당하는 주파수 및 듀티비 33%를 가지는 출력 신호들(A, B, C)을 생성할 수 있다. 이러한 출력 신호들(A, B, C) 중 어느 하나(예, B)가 도 14에 도시된 분주기(21) 및 교정기(31)의 클록 신호로서 이용되는 신호(S_{DIV3})일 수 있다.
- [0137] 도 16은 도 1a의 (a)에 도시된 주파수 분주 회로(10c)의 구조에 대한 일 예를 보여준다.
- [0138] 도 16을 참조하면, 분주인자 1/6인 주파수 분주 회로(10c)는 두 개의 분주기(51, 22) 및 두 개의 교정기(61, 32)를 포함할 수 있다.
- [0139] 분주기(51)는 듀티비 50% 및 차동 관계를 가지는 입력 신호 쌍(S_{VCO+} , S_{VCO-})의 주파수를 각각 1/3로 분주하여, 두 분주 신호(S_{DIV3+} , S_{DIV3-})를 생성한다.
- [0140] 분주기(51)가 정상 동작하는 경우, 두 분주 신호(S_{DIV3+} , S_{DIV3-})는 차동 관계를 이루게 되며, 각각 듀티비 50%를 가진다.
- [0141] 교정기(61)는 분주기(51)의 동작 상태를 모니터링(후술할 도 17의 신호 'A' 및 'E')하여, 리셋 신호(RS_{DIV3})를 생성할 수 있다. 이러한 리셋 신호(RS_{DIV3})는 두 분주 신호(S_{DIV3+} , S_{DIV3-})가 차동 관계를 만족하지 않거나, 두 분주 신호(S_{DIV3+} , S_{DIV3-}) 중 적어도 하나의 듀티비가 50%가 아닌 경우에 생성되어 분주기(51)로 제공된다. 즉, 교정기(61)는 분주기(51)에 대하여 피드백 회로로 구성될 수 있다.
- [0142] 분주기(22) 및 교정기(32)의 구성과 동작은 도 2 및 도 10 내지 도 13을 통해 설명한 바와 동일한 바, 구체적인 설명은 생략하기로 한다.
- [0143] 도 17은 도 16에 도시된 분주기(51)의 구조의 일 예를 보여준다.
- [0144] 도 17을 참조하면, 분주기(51)는 두 분주기(191, 192) 및 두 OR 게이트(193, 194)를 포함할 수 있다. 본 발명에서, OR 게이트란 두 입력 단자와 하나의 출력 단자를 가지는 논리 게이트로서, 두 입력 단자에 인가되는 신호 중 적어도 하나가 "1"이면, 출력 단자를 통해 "1"을 출력한다.
- [0145] 분주기(191)는 입력 신호(S_{VCO+})의 주파수를 1/3로 분주하여, 듀티비 33%를 가지는 분주 신호(A, B, C)를 생성한다. 또한, 분주기(192)는 입력 신호(S_{VCO-})의 주파수를 1/3로 분주하여, 듀티비 33%를 가지는 분주 신호(D, E, F)를 생성한다. 분주기(191)와 분주기(192)의 구성과 동작은 도 15에 도시된 분주기(41)와 리셋 단자(R)를 제외하고 동일한바, 구체적인 설명은 생략하기로 한다.

- [0146] OR 게이트(193)는 분주기(191)에 의해 생성되는 분주 신호(A)와 분주기(192)에 의해 생성되는 분주 신호(E)를 인가받아, 입력 신호(S_{VCO+})의 주파수의 1/3에 해당하는 주파수 및 듀티비 50%를 가지는 신호(S_{DIV3+})를 생성한다.
- [0147] 또한, OR 게이트(194)는 분주기(191)에 의해 생성되는 분주 신호(B)와 분주기(192)에 의해 생성되는 분주 신호(D)를 인가받아, 입력 신호(S_{VCO-})의 주파수의 1/3에 해당하는 주파수 및 듀티비 50%를 가지는 신호(S_{DIV3-})를 생성한다.
- [0148] 분주기(51)가 정상 동작 중인 경우, 두 신호(S_{DIV3+} , S_{DIV3-})는 서로 차동 관계를 가지게 된다.
- [0149] 분주기(191)에 의해 생성되는 분주 신호(A) 및 분주기(192)에 의해 생성되는 분주 신호(D)는 후술할 교정기(61)의 입력 신호로 이용될 수 있다.
- [0150] 도 18a는 도 17에 도시된 분주기(51)의 정상적인 입출력 동작에 따른 타이밍 다이어그램의 일 예를 보여준다. 설명의 편의를 위해, 입력 신호(S_{VCO-})의 최초 상승 에지가 입력 신호(S_{VCO+})의 최초 상승 에지보다 앞서고, 두 입력 신호(S_{VCO+} , S_{VCO-})의 인가 전, 6개의 분주 신호들(A, B, C, D, E, F)의 초기 상태는 (0, 0, 1, 1, 0, 0)인 것으로 가정한다.
- [0151] 도 18a를 참조하면, 분주기(191)는 듀티비 50%를 가지는 입력 신호(S_{VCO+})의 주파수의 1/3에 해당하는 주파수를 가지는 3개의 분주 신호들(A, B, C)을 생성한다. 이때, 분주 신호들(A, B, C)의 듀티비는 전술한 바와 같이 33%일 수 있다.
- [0152] 또한, 분주기(192)는 듀티비 50%를 가지는 입력 신호(S_{VCO-})의 주파수의 1/3에 해당하는 주파수를 가지는 3개의 분주 신호들(D, E, F)를 생성한다. 이때, 도시된 바와 같이 분주 신호들(D, E, F)의 듀티비는 전술한 바와 같이 33%일 수 있다. 또한, 입력 신호(S_{VCO-})는 입력 신호(S_{VCO+})와 차동 관계를 만족하는 상태이다.
- [0153] 도시된 바와 같이, 분주기(51)가 정상 동작하는 경우, 분주 신호(E)의 상승 에지는 분주 신호(A)의 상승 에지보다 $T_{VCO}/2$ 만큼 먼저 나타나게 된다. 즉, 분주 신호(A)의 상승 에지에서 분주 신호(E)는 "1"이다.
- [0154] OR 게이트(193)는 분주 신호(A) 및 분주 신호(E)를 인가받아, 신호(S_{DIV3+})를 생성한다. 또한, OR 게이트(194)는 분주 신호(B) 및 분주 신호(D)를 인가받아, 신호(S_{DIV3-})를 생성한다. 도시된 바와 같이, 두 신호(S_{DIV3+} , S_{DIV3-})는 위상차 180도인 차동 관계를 만족하는 상태에 있으며, 이는 정상 동작하는 경우에 해당하여, 별도의 교정 과정이 필요치 않아, 교정기(61)는 리셋 신호(RS_{DIV3})를 생성하지 않는다.
- [0155] 도 18b는 도 17에 도시된 분주기(51)의 비정상적인 입출력 동작에 따른 타이밍 다이어그램의 일 예를 보여준다. 설명의 편의를 위해, 입력 신호(S_{VCO-})의 최초 상승 에지가 입력 신호(S_{VCO+})의 최초 상승 에지보다 앞서고, 두 입력 신호(S_{VCO+} , S_{VCO-})의 인가 전, 6개의 분주 신호들(A, B, C, D, E, F)의 초기 상태는 (0, 0, 1, 0, 0, 1)인 것으로 가정한다.
- [0156] 도 18b를 참조하면, 도 18a와 동일하게 분주기(191)는 듀티비 50%를 가지는 입력 신호(S_{VCO+})의 주파수의 1/3에 해당하는 주파수를 가지는 3개의 분주 신호들(A, B, C)을 생성한다. 이때, 분주 신호들(A, B, C)의 듀티비는 전술한 바와 같이 33%일 수 있다. 또한, 분주기(192)는 듀티비 50%를 가지는 입력 신호(S_{VCO-})의 주파수의 1/3에 해당하는 주파수를 가지는 3개의 분주 신호들(D, E, F)를 생성한다. 이때, 도시된 바와 같이 분주 신호들(D, E, F)의 듀티비는 전술한 바와 같이 33%일 수 있다. 또한, 입력 신호(S_{VCO-})는 입력 신호(S_{VCO+})와 차동 관계를 만족하는 상태이다.
- [0157] OR 게이트(193)는 분주 신호(A) 및 분주 신호(E)를 인가받아, 신호(S_{DIV3+})를 생성한다. 또한, OR 게이트(194)는 분주 신호(B) 및 분주 신호(D)를 인가받아, 신호(S_{DIV3-})를 생성한다.
- [0158] 한편, 도 18a와 같이 분주 신호들(A, B, C, D, E, F)의 초기 상태가 (0, 0, 1, 1, 0, 0)인 경우와는 달리, 두 신호(S_{DIV3+} , S_{DIV3-})는 위상차 180도인 차동 관계를 만족하지 않는 상태에 있다. 구체적으로, 신호(S_{DIV3+})는 입력 신호(S_{VCO+})의 주파수의 1/3에 해당하는 주파수 및 듀티비 50%를 가지나, 신호(S_{DIV3-})는 입력 신호(S_{VCO-})의 주파수의 1/2에 해당하는 주파수 및 듀티비 67%를 가진다. 이는 비정상 동작하는 경우에 해당하여, 교정기(61)에 의한

교정 과정이 필요한 상태이다.

- [0159] 도 18c는 도 17에 도시된 분주기(51)의 비정상적인 입출력 동작에 따른 타이밍 다이어그램의 다른 예를 보여준다. 설명의 편의를 위해, 입력 신호(S_{VCO+})의 최초 상승 에지가 입력 신호(S_{VCO-})의 최초 상승 에지보다 앞서고, 두 입력 신호(S_{VCO+} , S_{VCO-})의 인가 전, 6개의 분주 신호들(A, B, C, D, E, F)의 초기 상태는 (0, 0, 1, 1, 0, 0)인 것으로 가정한다.
- [0160] 도 18c를 참조하면, 도 18a와 동일하게 분주기(191)는 듀티비 50%를 가지는 입력 신호(S_{VCO+})의 주파수의 1/3에 해당하는 주파수를 가지는 3개의 분주 신호들(A, B, C)을 생성한다. 이때, 분주 신호들(A, B, C)의 듀티비는 전술한 바와 같이 33%일 수 있다. 또한, 분주기(192)는 듀티비 50%를 가지는 입력 신호(S_{VCO-})의 주파수의 1/3에 해당하는 주파수를 가지는 3개의 분주 신호들(D, E, F)를 생성한다. 이때, 도시된 바와 같이 분주 신호들(D, E, F)의 듀티비는 전술한 바와 같이 33%일 수 있다. 한편, 도 18a와 달리, 분주기(51)가 비정상 동작하는 경우, 분주 신호(A)의 상승 에지에서 분주 신호(E)의 상태는 "1"이다.
- [0161] OR 게이트(193)는 분주 신호(A) 및 분주 신호(E)를 인가받아, 신호(S_{DIV3+})를 생성한다. 또한, OR 게이트(194)는 분주 신호(B) 및 분주 신호(D)를 인가받아, 신호(S_{DIV3-})를 생성한다.
- [0162] 한편, 도 18a와 같이 입력 신호(S_{VCO-})의 최초 상승 에지가 입력 신호(S_{VCO+})의 최초 상승 에지보다 앞선 경우와는 달리, 두 신호(S_{DIV3+} , S_{DIV3-})는 위상차 180도인 차동 관계를 만족하지 않는 상태에 있다. 구체적으로, 신호(S_{DIV3+})는 입력 신호(S_{VCO+})의 주파수의 1/3에 해당하는 주파수 및 듀티비 50%를 가지나, 신호(S_{DIV3-})는 입력 신호(S_{VCO-})의 주파수의 1/2에 해당하는 주파수 및 듀티비 67%를 가진다. 이 역시 도 18b에 도시된 타이밍 다이어그램처럼 비정상 동작하는 경우에 해당하여, 교정기(61)에 의한 교정 과정이 필요한 상태이다.
- [0163] 도 19는 도 16에 도시된 교정기(61)의 구조에 대한 일 예를 보여준다.
- [0164] 도 19를 참조하면, 교정기(61)는 리셋 신호 생성기(201) 및 지연 선택기(202)를 포함할 수 있다.
- [0165] 리셋 신호 생성기(201)는 분주기(51)에 의해 생성된 두 분주 신호들(A, E)의 상태를 모니터링하여, 비정상 동작 상태에 해당하는 경우, 초기 리셋 신호(RS3)를 생성한다.
- [0166] 구체적으로, 리셋 신호 생성기(201)는 두 D-플립플롭(211, 215), NOT 게이트(212), 분주기(213) 및 딜레이 유닛(214)을 포함할 수 있다.
- [0167] D-플립플롭(211)의 클록 단자(C)는 분기 신호(A)를 인가받고, 데이터 단자(D)는 분기 신호(E)를 인가받는다. 즉, D-플립플롭(211)은 분기 신호(A)를 클록 신호로 이용하여, 분기 신호(E)를 샘플링할 수 있다. 이에 따라, D-플립플롭(211)의 비반전 출력 단자(Q)는 샘플링된 결과 신호(S_{EA})를 생성할 수 있다.
- [0168] NOT 게이트(212)는 D-플립플롭(211)로부터 인가되는 신호(S_{EA})와 반대되는 값을 가지는 신호(S_{EAb})를 생성한다. 도 18a와 같이 분주기(51)가 정상 동작하는 경우, 분주 신호(A)의 상승 에지에서 분주 신호(E)는 항상 "1" 상태이다. 이 경우, NOT 게이트(212)에 의해 생성되는 신호(S_{EAb})는 "0" 상태를 가진다.
- [0169] 반면, 도 18b 및 도 18c와 같이 분주기(51)가 비정상 동작하는 경우, 분주 신호(A)의 상승 에지에서 분주 신호(E)는 항상 "0" 상태이다. 이 경우, NOT 게이트(212)에 의해 생성되는 신호(S_{EAb})는 "1" 상태를 가진다. 후술할 D-플립플롭(215)은 신호(S_{EAb})가 "1" 상태인 경우(즉, 분주기(51)가 비정상 동작하는 경우)에 한하여 초기 리셋 신호(RS3)를 생성하게 된다.
- [0170] 분주기(213)는 분주 신호(A)의 주파수를 분주하여, 분주 신호(CL_{DPC})를 생성한다. 이때, 분주기(213)의 분주 인자는 예컨대, 1/4일 수 있다.
- [0171] 분주 신호(CL_{DPC})는 두 갈래로 분기되어 각각 딜레이 유닛(214) 및 D-플립플롭(215)의 클록 단자(C)에 인가된다.
- [0172] 딜레이 유닛(214)은 분주 신호(CL_{DPC})를 소정 시간(T_{PW})만큼 딜레이시킨 후 D-플립플롭(215)의 리셋 단자(R)에 인가한다. 후술할 분주 신호(CL_{DPC})가 딜레이 유닛(214)에 의해 딜레이된 시간 폭(T_{PW})과 리셋 신호(RS1)는 펄스폭

(T_{PW})은 동일할 수 있다. 딜레이 유닛(214)이 어느 정도로 분주 신호(CL_{DPC}) 딜레이시킬지는 미리 정의된 상태일 수 있다.

[0173] 분주기(51)가 비정상 동작하는 경우, 분주 신호(A)의 상승 에지에서 분주 신호(E)는 항상 "0" 상태이므로, NOT 게이트(212)에 의해 생성되는 신호(S_{EAb})는 "1" 상태로 유지된다.

[0174] D-플립플롭(215)은 NOT 게이트(212)로부터 인가되는 신호(S_{EAb})의 상태가 "1"인 경우, 분주 신호(CL_{DPC})의 상승 에지에 반응하여, 리셋 신호($RS3$)를 생성한다. 분주 신호(CL_{DPC})의 상승 에지가 발생한 후, 딜레이 유닛(214)으로부터 소정 시간만큼 딜레이된 분주 신호(CL_{DPC})가 입력됨에 따라, D-플립플롭(215)의 비반전 출력 단자(Q)로부터 소정의 펄스 폭(T_{PW})을 가지는 초기 리셋 신호($RS3$)가 출력될 수 있다.

[0175] 지연 선택기(112)는 D-플립플롭(215)로부터 인가되는 초기 리셋 신호($RS3$)의 하강 에지가, 도 5에 도시된 $T_{margin} > 0$ 을 만족하는 시점에 위치하도록 초기 리셋 신호($RS3$)를 지연시킨 신호인 리셋 신호(RS_{DIV3})를 생성한 후, 분주기(51)에 인가한다. 구체적으로, 리셋 신호(RS_{DIV3})는 도 17에 도시된 분주기(192)에 포함된 두 D-플립플롭의 리셋 단자(R)에 인가될 수 있다.

[0176] 도 20은 도 19에 도시된 교정기(61)에 의해 생성된 리셋 신호(RS_{DIV3})가 분주기(51)에 인가되기 전후에 대한 타임밍 다이어그램을 보여준다.

[0177] 도 20을 참조하면, 리셋 신호(RS_{DIV3})가 발생하기 전, 교정기(61)는 비정상 동작 중이다. 즉, 분주 신호(A)의 상승 에지에서 분주 신호(E)의 상태는 "1"이 아닌 "0"이다.

[0178] 분주 신호(E)의 상승 에지가 분주 신호(A)의 상승 에지보다 $T_{VCO}/2$ 만큼 먼저 나타나는 정상 동작 상태를 만들기 위해, 교정기(62)는 리셋 신호(RS_{DIV3})를 생성하여, 분주기(192)에 인가한다. 리셋 신호(RS_{DIV3})가 "1" 상태인 시간동안, 분주 신호(D)는 입력 신호(S_{VCO-})의 상승 에지에 반응하지 않고 "0"인 상태를 유지하다가, 리셋 신호(RS_{DIV3})의 하강 에지 이후에 처음 인가되는 입력 신호(S_{VCO-})의 상승 에지에 반응하여 "1" 상태로 반전된다. 이에 따라, 도시된 바와 같이, 분주 신호(E)의 상승 에지는 분주 신호(A)의 상승 에지보다 $T_{VCO}/2$ 만큼 앞서게 된다.

[0179] 즉, 리셋 신호(RS_{DIV3})의 인가 전 비정상 동작하던 분주기(51)는 리셋 신호(RS_{DIV3})의 인가 후 정상 동작하도록 교정되어, 도시된 바와 같이 출력 신호 쌍(S_{DIV3+} , S_{DIV3-})이 각각 듀티비 50%를 가지고 차동 관계를 이루게 된다.

[0180] 이상에서 설명한 본 발명의 실시예는 장치 및 방법을 통해서만 구현이 되는 것은 아니며, 본 발명의 실시예의 구성에 대응하는 기능을 실현하는 프로그램 또는 그 프로그램이 기록된 기록 매체를 통해 구현될 수도 있으며, 이러한 구현은 앞서 설명한 실시예의 기재로부터 본 발명이 속하는 기술분야의 전문가라면 쉽게 구현할 수 있는 것이다.

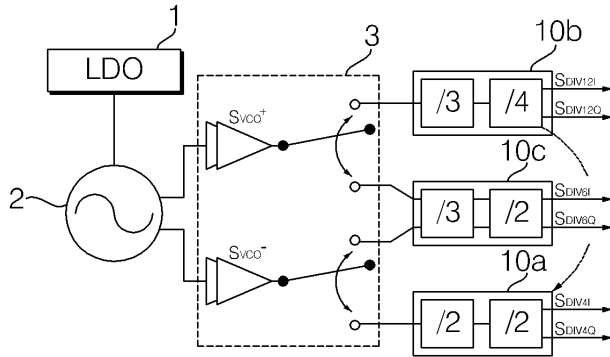
[0181] 또한, 이상에서 설명한 본 발명은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 있어 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하므로 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니라, 다양한 변형이 이루어질 수 있도록 각 실시예들의 전부 또는 일부가 선택적으로 조합되어 구성될 수 있다.

부호의 설명

[0182] 10a, 10b, 10c: 주파수 분주 회로

도면

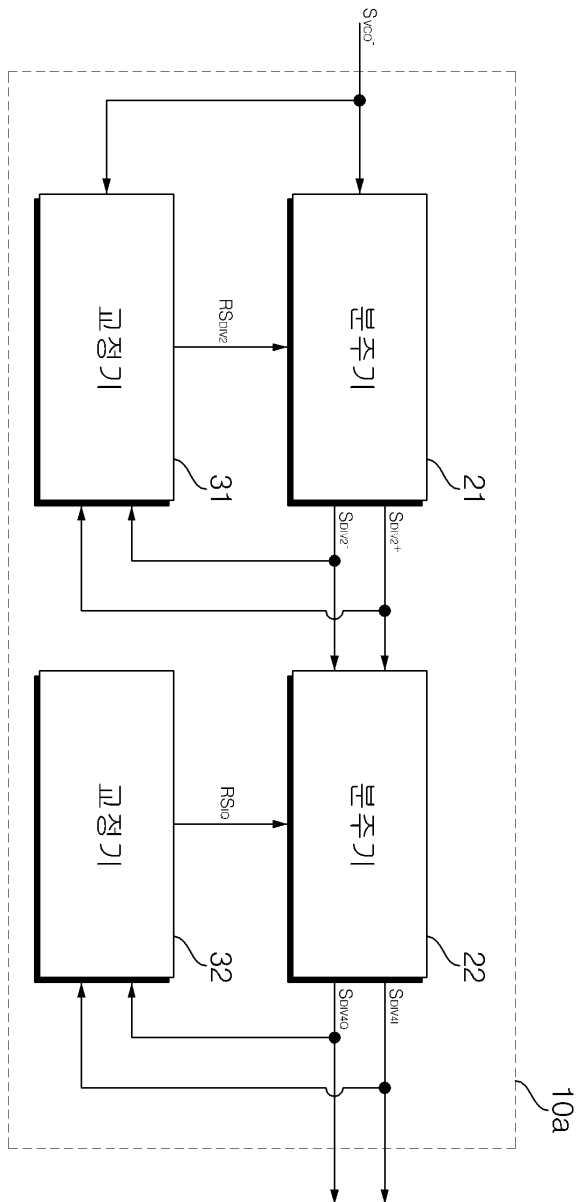
도면1a



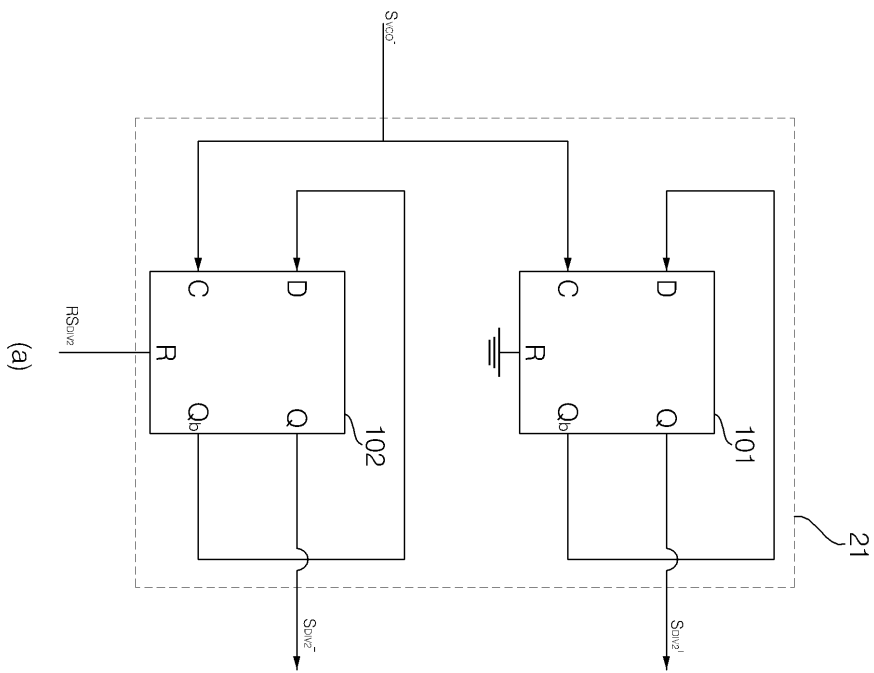
도면1b

VCO 출력단(S_{VCO+} , S_{VCO-})			분주기 출력단(출력 신호)			
주파수 (MHz)	듀티 사이클	출력신호 위상관계	분주 인자	주파수 (MHz)	듀티 사이클	출력신호 위상관계
8400 - 10980	50%	차동 (위상차 = π)	/12	700 - 915	50%	IQ (위상차 = $\pi/2$, I가 선행)
8520 - 8790			/6	1420 - 1465		
9750 - 10740				1625 - 1790		
7400 - 8120			/4	1850 - 2030		
9200 - 10800				2300 - 2700		

도면2



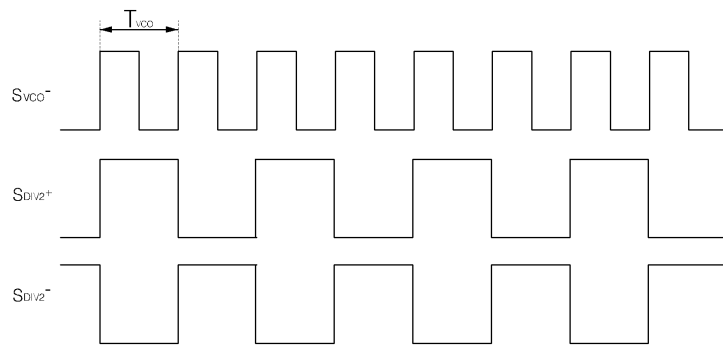
도면3



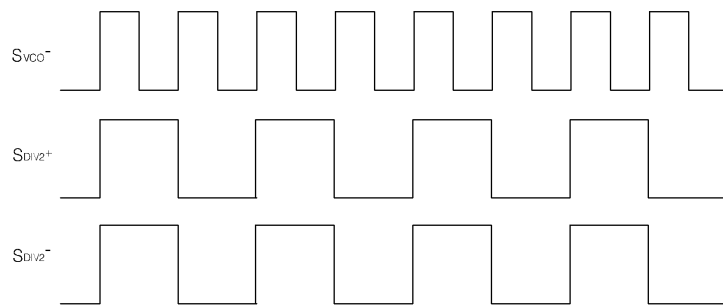
CLK	D	RESET	Q_{n-1}	$Q_{b,n+1}$
↑	0	0	0	1
	1	0	1	0
	0	1	0	1
	1	1	0	1
—	—	0	Q_n	Q_{in}
—	—	1	0	1

(b)

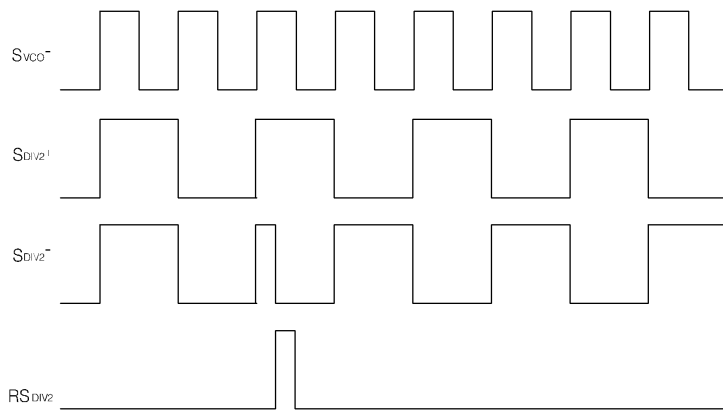
도면4



(a)

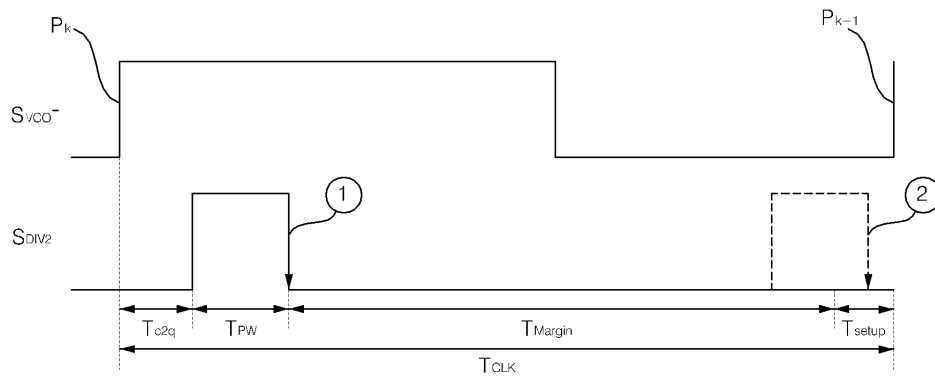


(b)

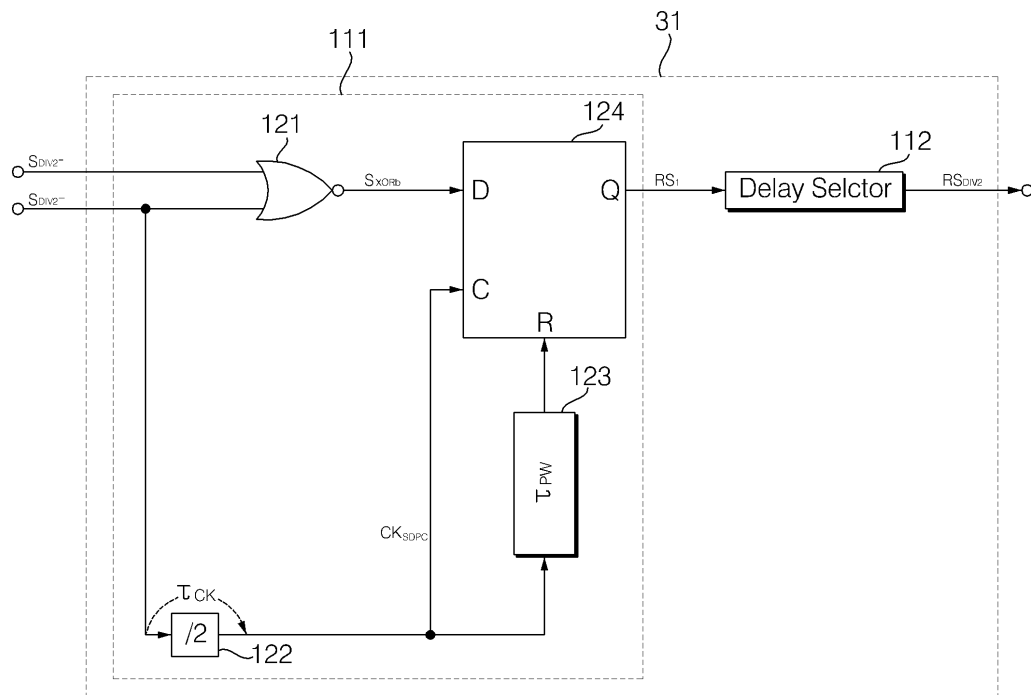


(c)

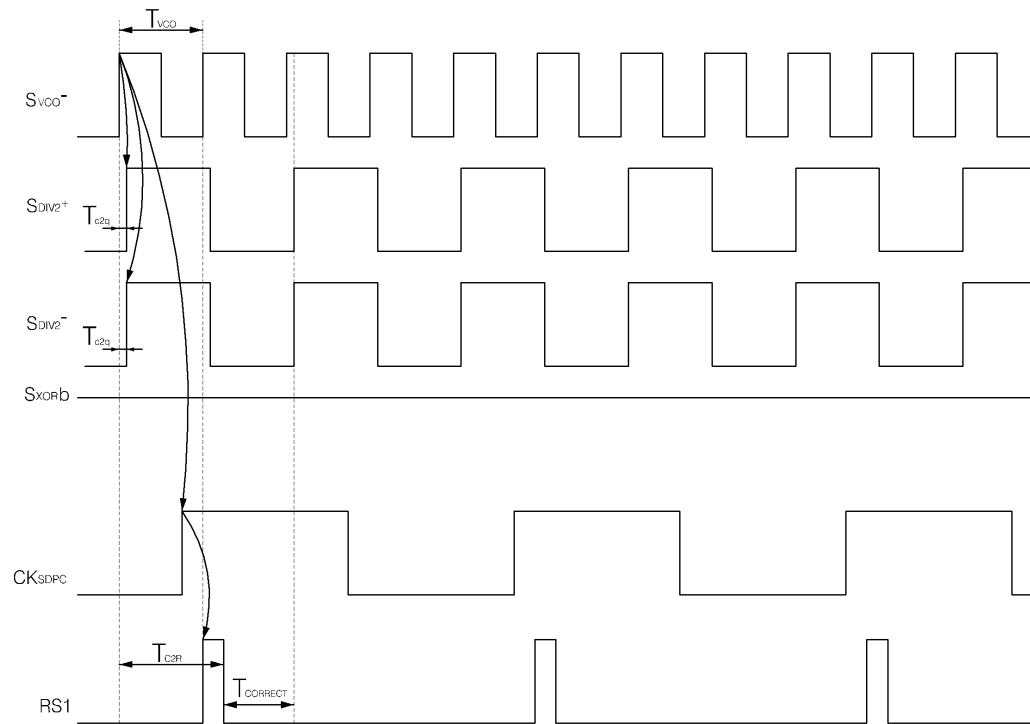
도면5



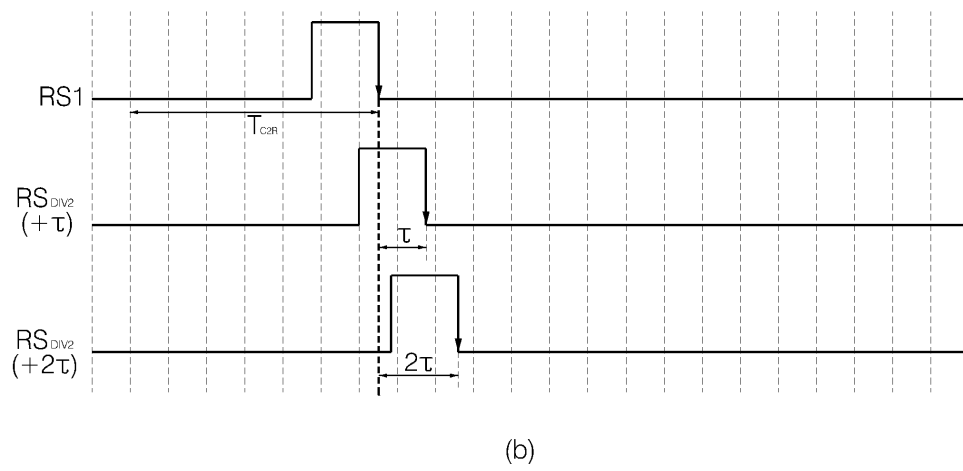
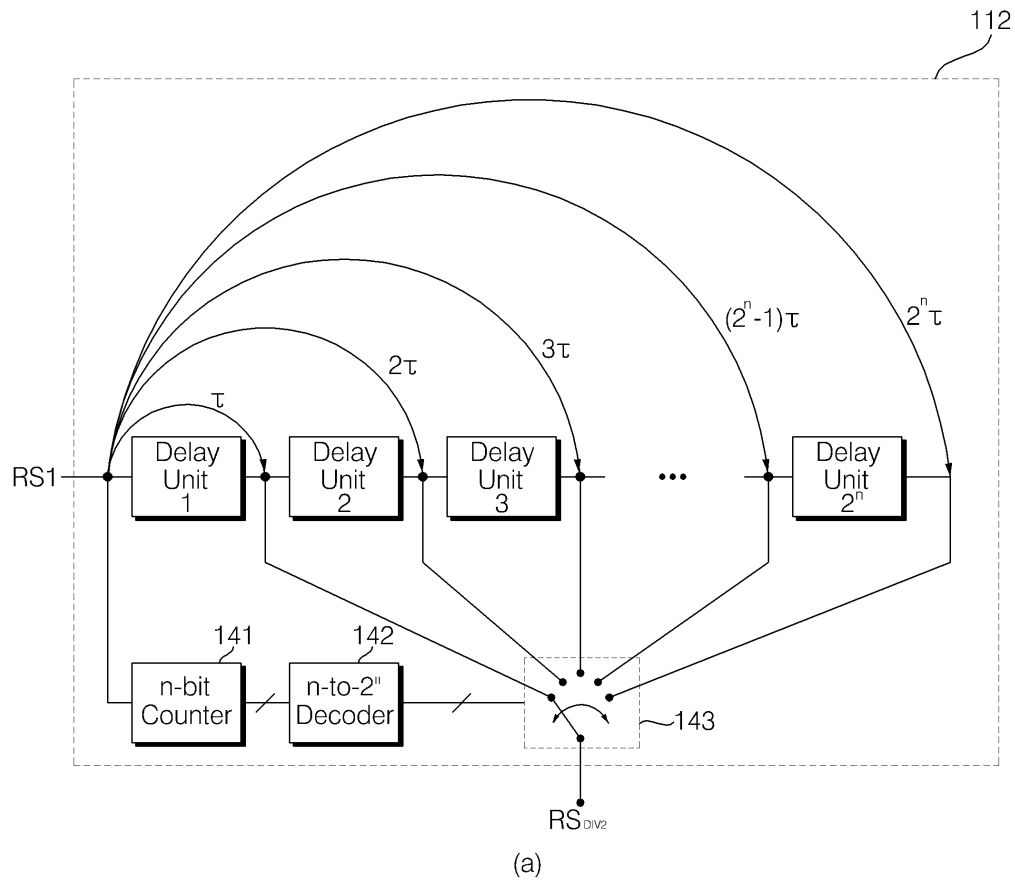
도면6



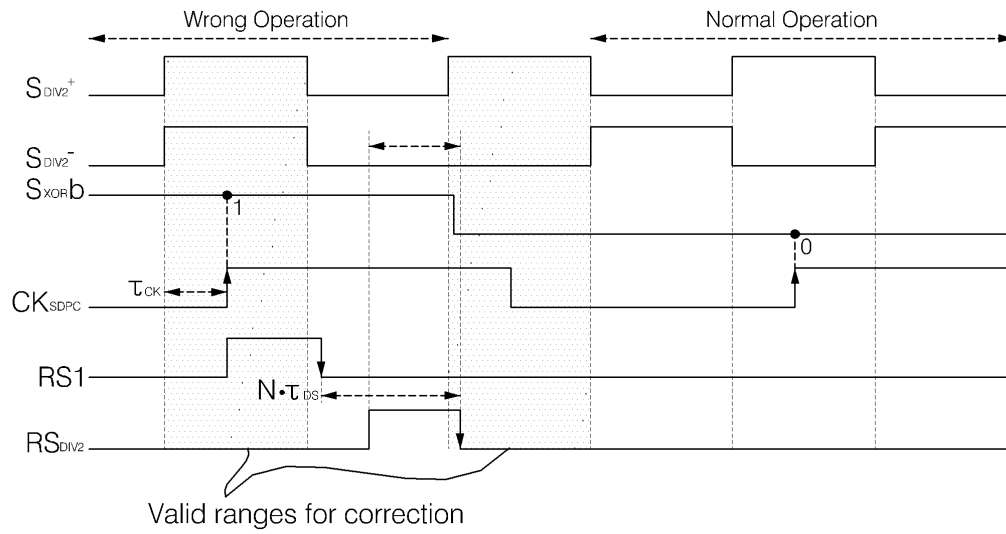
도면7



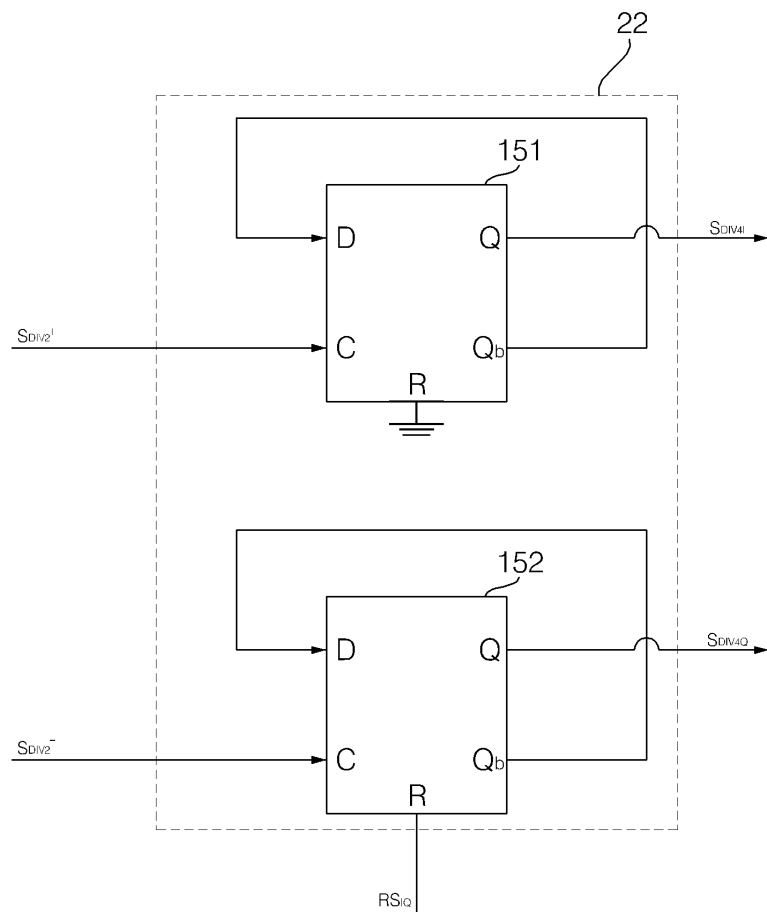
도면8



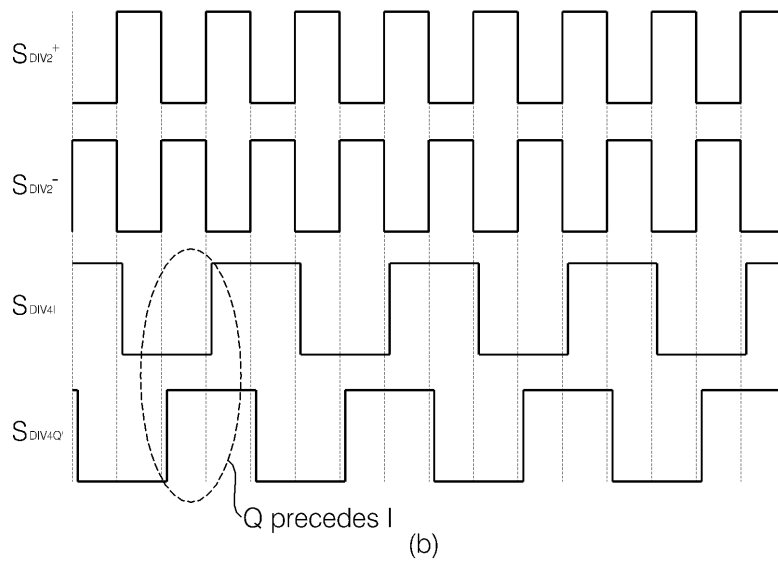
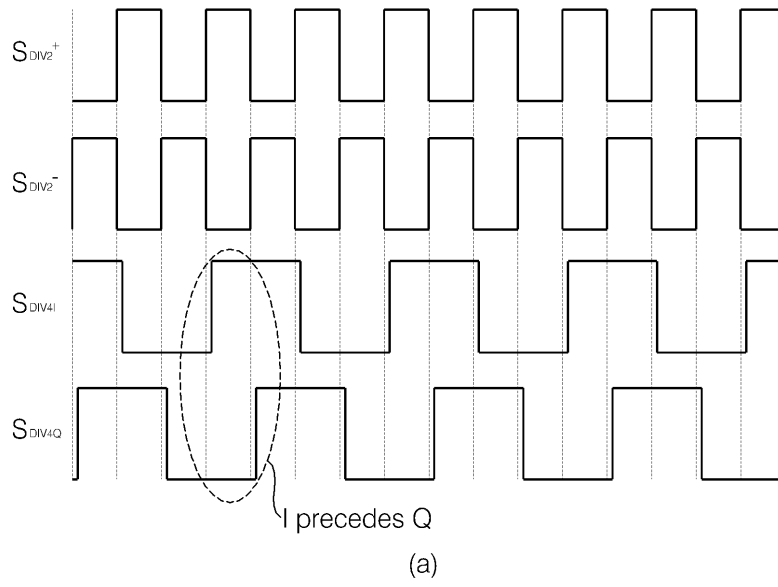
도면9



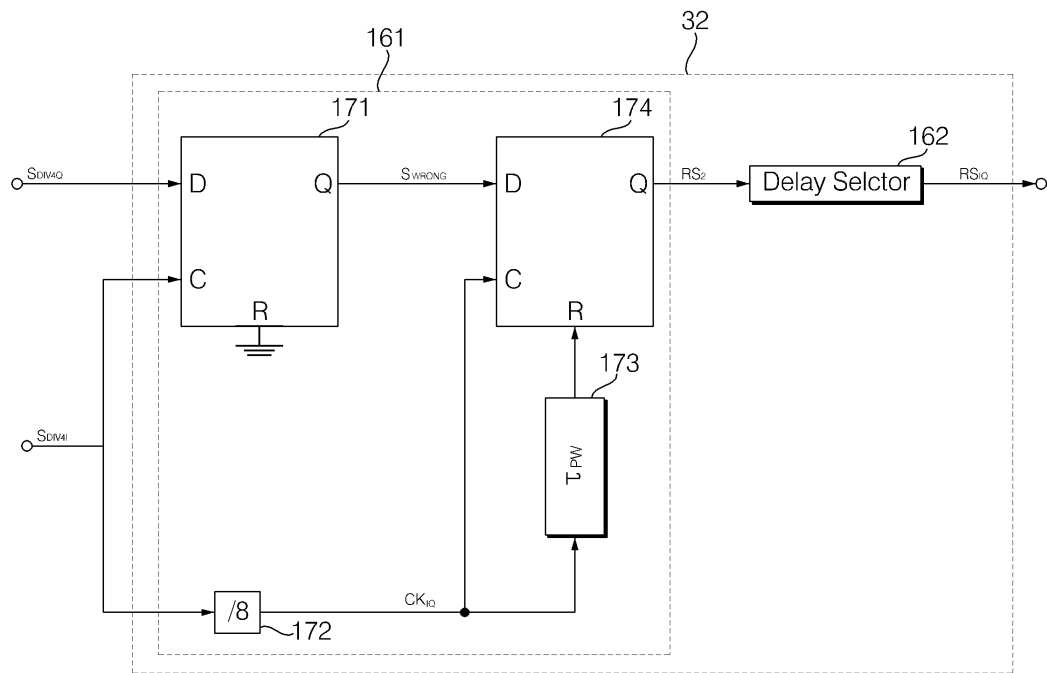
도면10



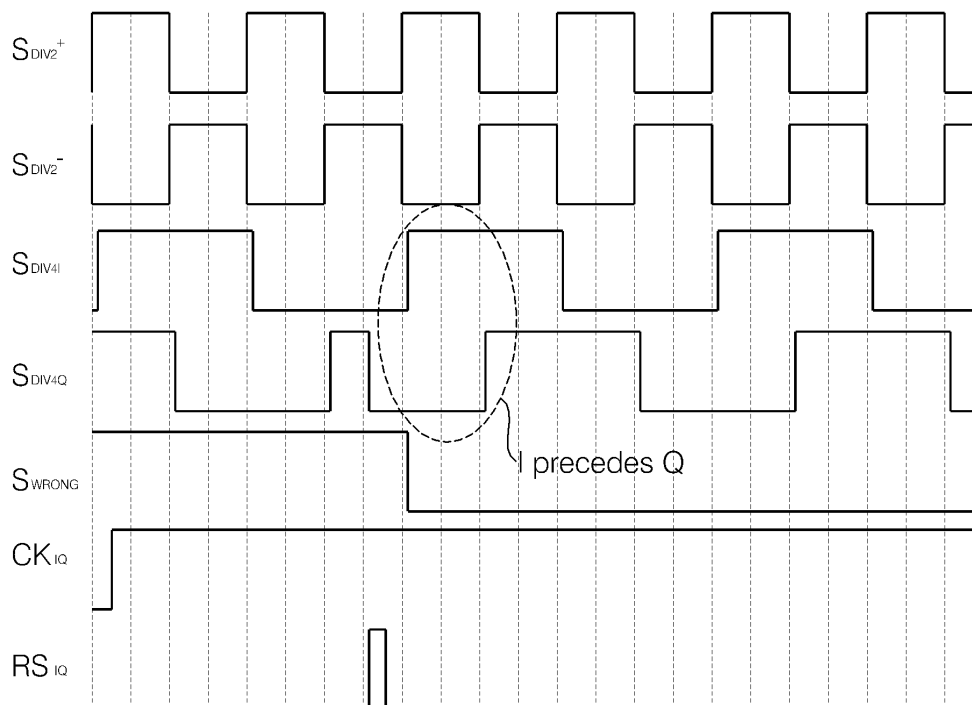
도면11



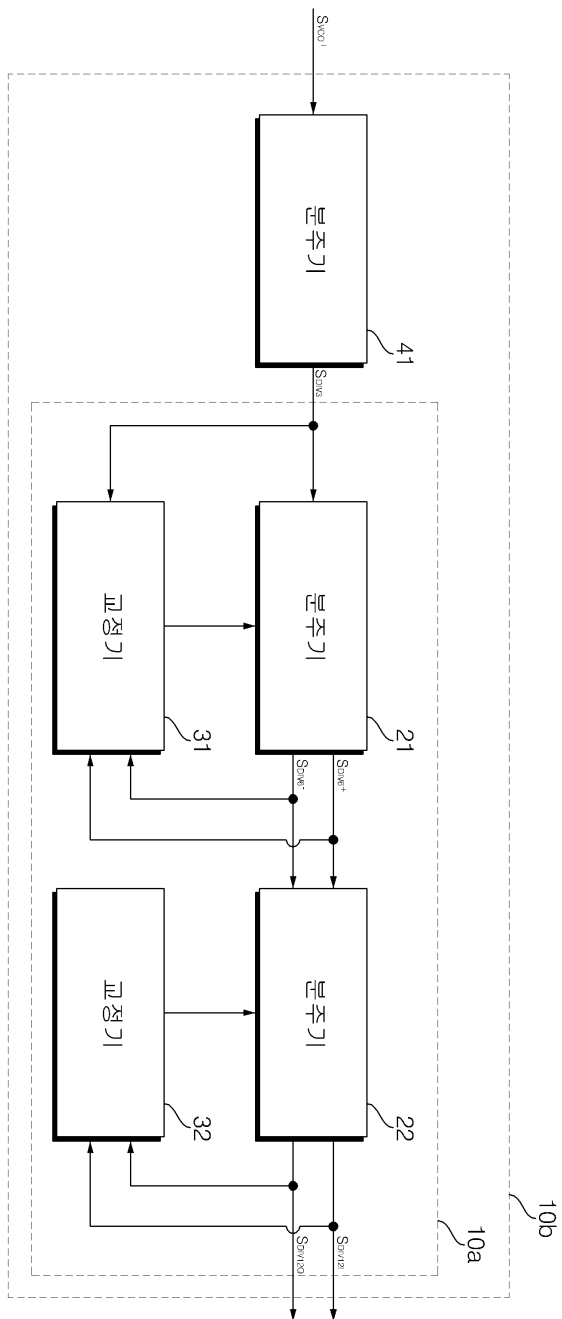
도면12



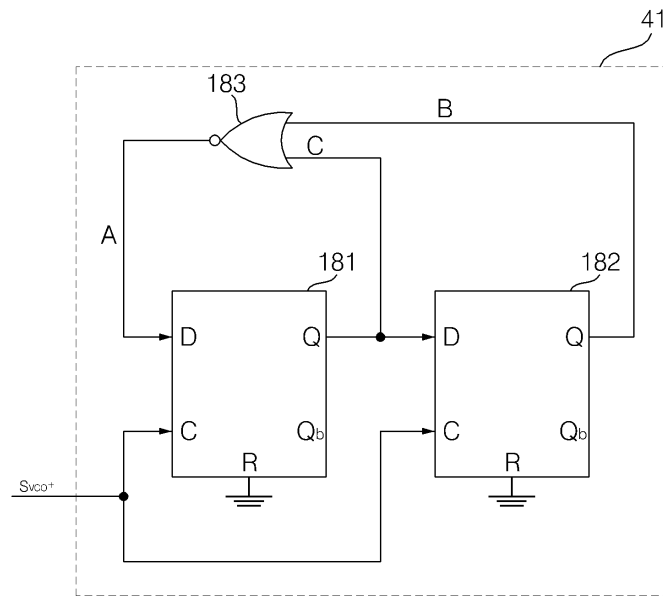
도면13



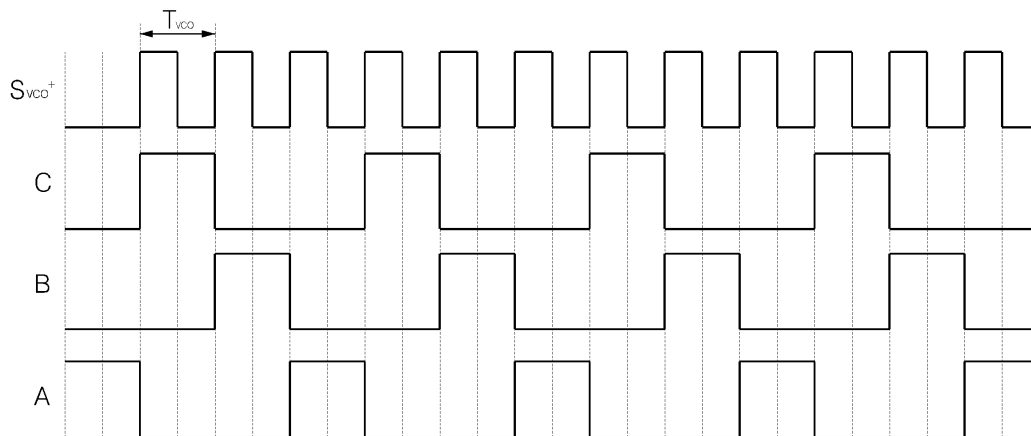
도면14



도면15

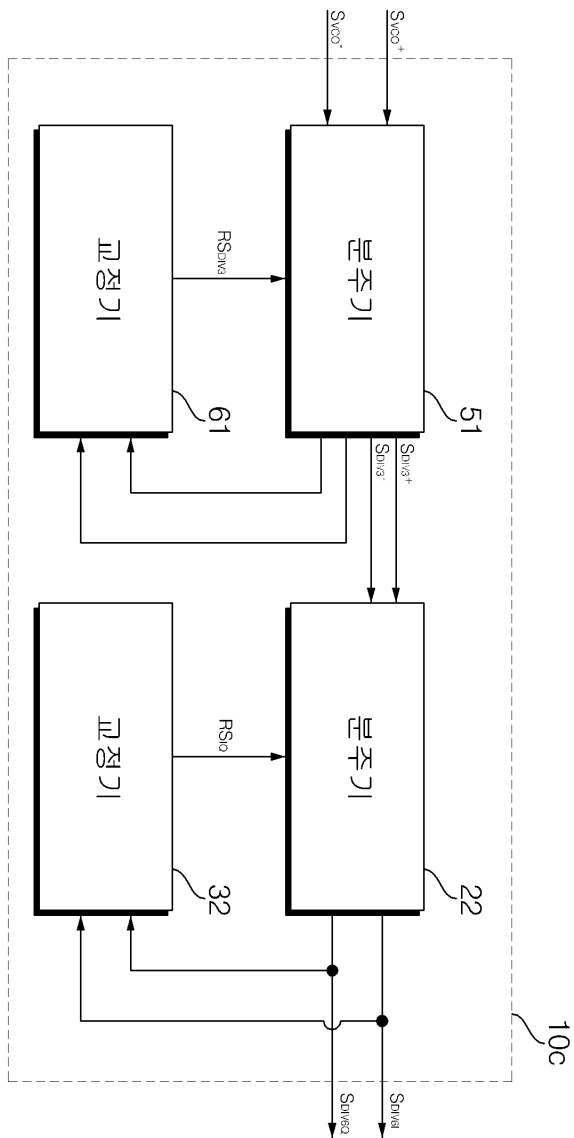


(a)

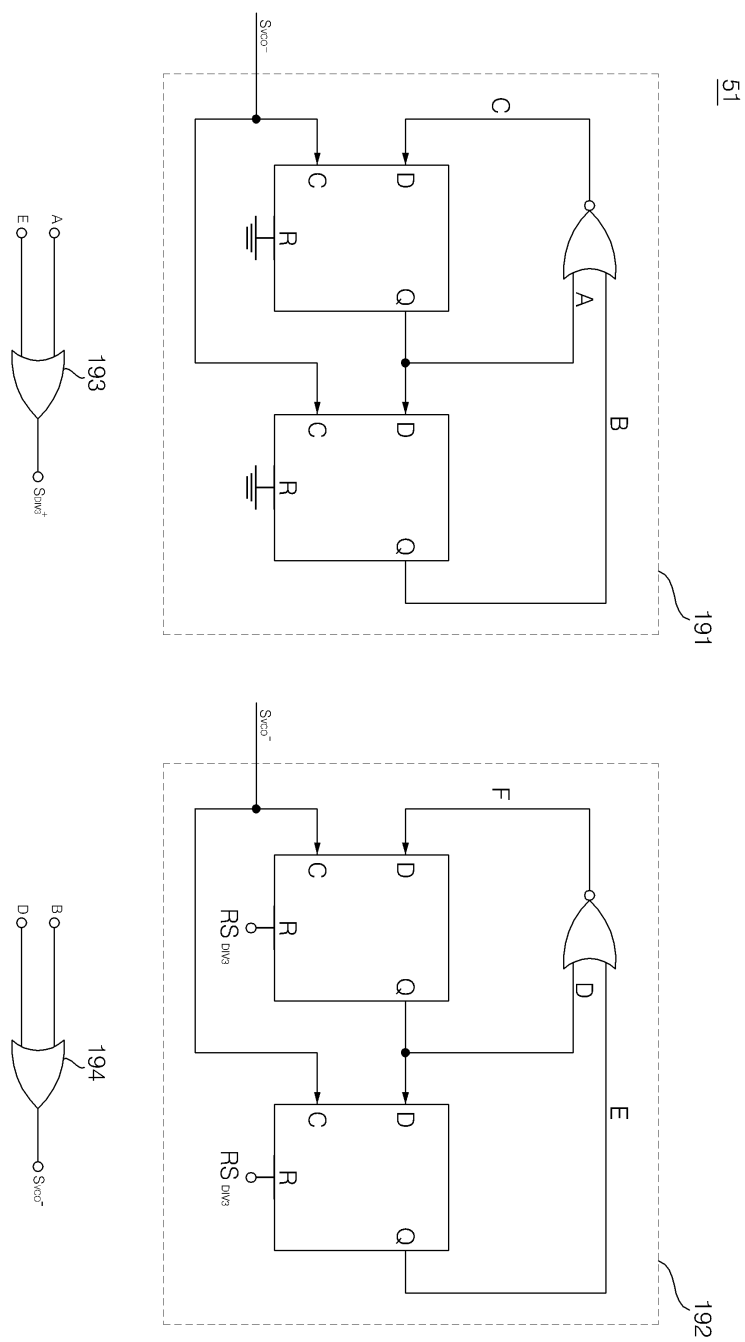


(b)

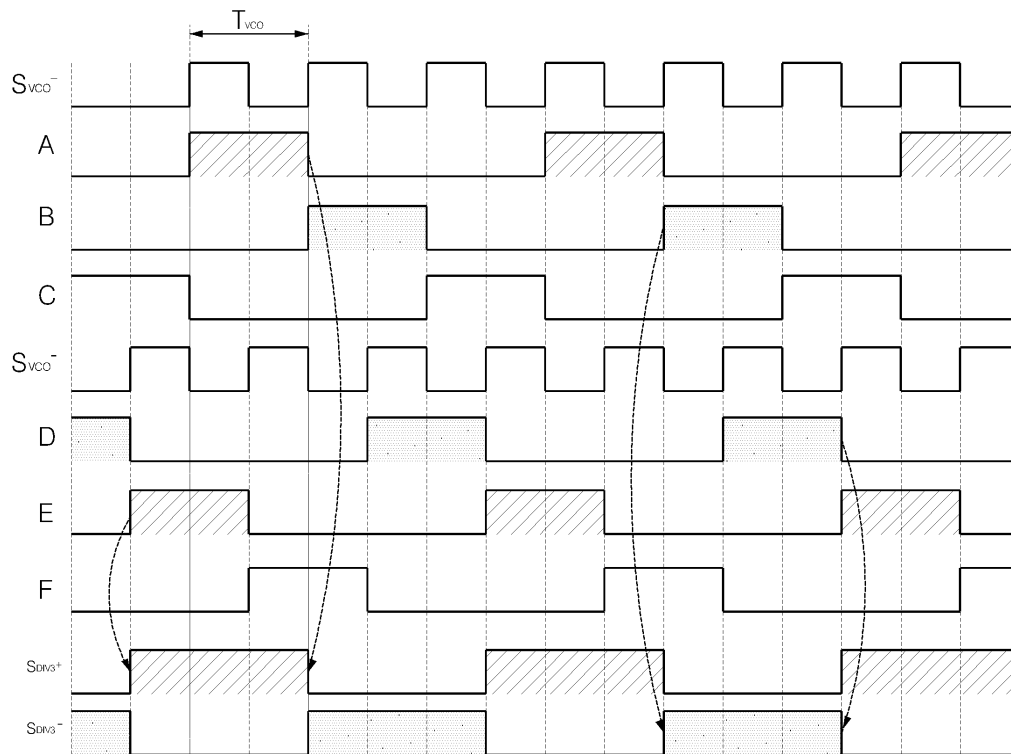
도면16



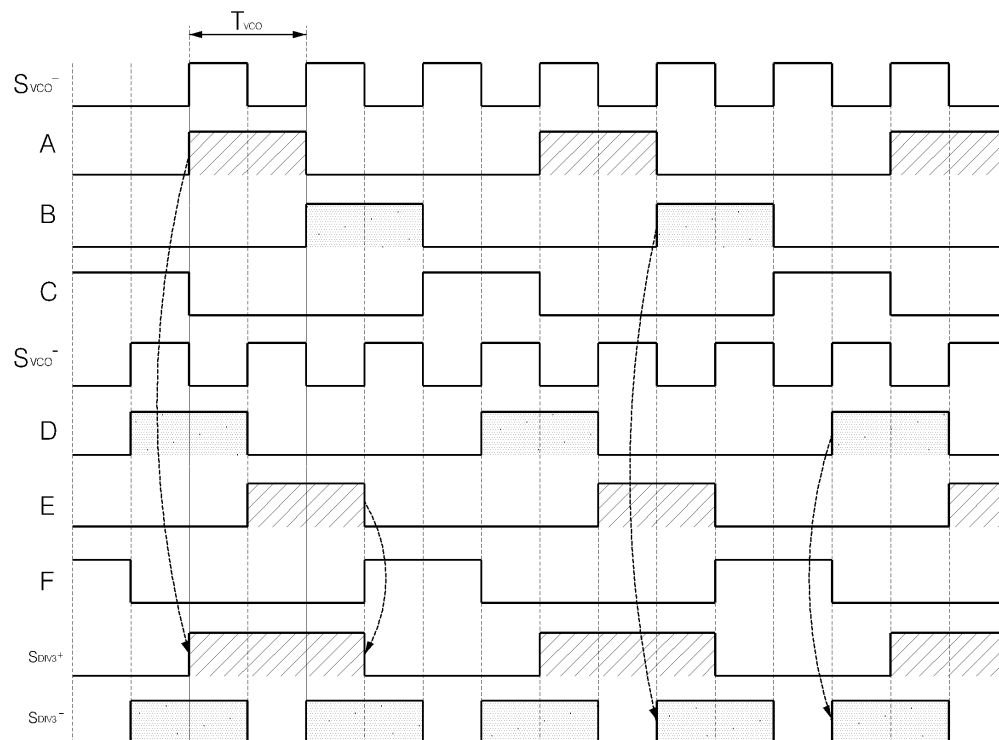
도면17



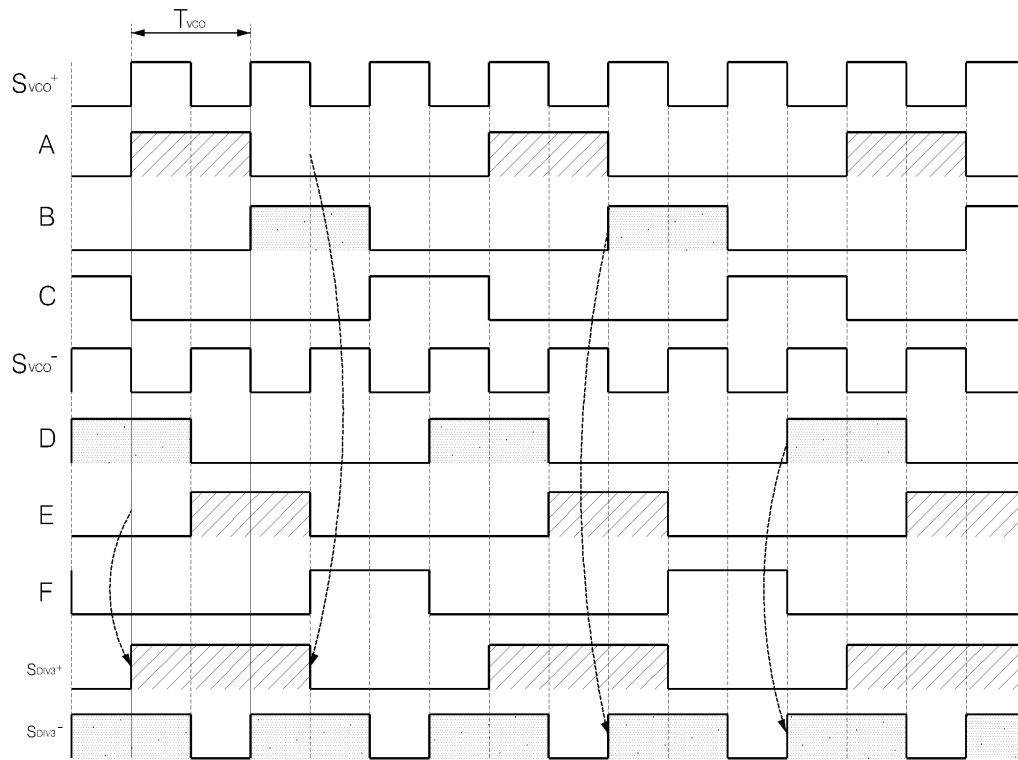
도면18a



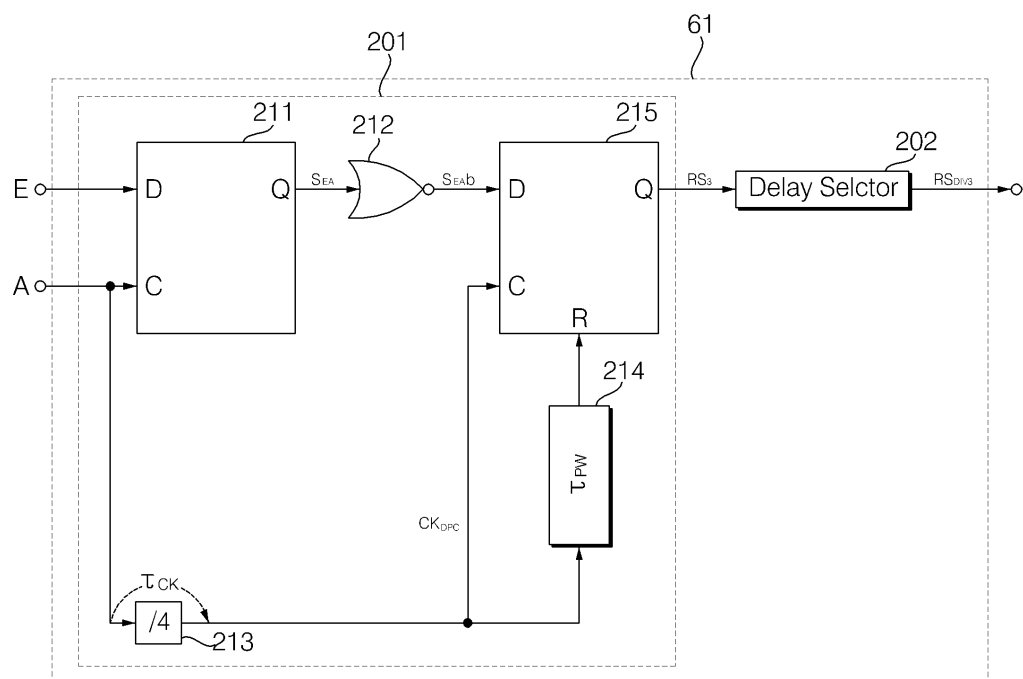
도면18b



도면18c



도면19



도면20

