

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-527743
(P2008-527743A)

(43) 公表日 平成20年7月24日(2008.7.24)

(51) Int.Cl.	F 1	テーマコード (参考)
HO1L 29/78 (2006.01)	HO1L 29/78	301G 4M104
HO1L 21/8238 (2006.01)	HO1L 27/08	321D 5F048
HO1L 27/092 (2006.01)	HO1L 29/78	617M 5F110
HO1L 29/786 (2006.01)	HO1L 21/28	301S 5F140
HO1L 21/28 (2006.01)	HO1L 29/58	G

審査請求 未請求 予備審査請求 未請求 (全 11 頁) 最終頁に続く

(21) 出願番号	特願2007-551329 (P2007-551329)	(71) 出願人	390009531 インターナショナル・ビジネス・マシーンズ・コーポレーション INTERNATIONAL BUSINESS MACHINES CORPORATION アメリカ合衆国 10504 ニューヨーク 州 アーモンク ニュー オーチャード ロード
(86) (22) 出願日	平成18年1月10日 (2006.1.10)	(74) 代理人	100108501 弁理士 上野 剛史
(85) 翻訳文提出日	平成19年7月11日 (2007.7.11)	(74) 代理人	100112690 弁理士 太佐 種一
(86) 國際出願番号	PCT/US2006/000838	(74) 代理人	100091568 弁理士 市位 嘉宏
(87) 國際公開番号	W02006/076373		
(87) 國際公開日	平成18年7月20日 (2006.7.20)		
(31) 優先権主張番号	10/905,629		
(32) 優先日	平成17年1月13日 (2005.1.13)		
(33) 優先権主張国	米国(US)		

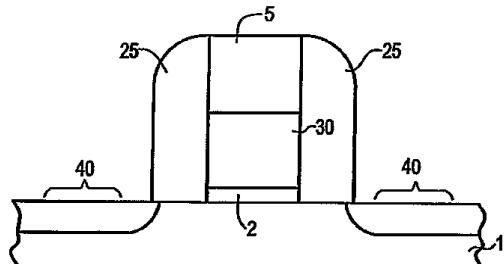
最終頁に続く

(54) 【発明の名称】 CMOSデバイスの自己形成金属シリサイド化ゲート

(57) 【要約】

【課題】 CMOSデバイスの自己形成金属シリサイド化ゲートを提供すること。

【解決手段】 シリサイドが自己形成され（すなわち、別個の金属 / シリコン反応ステップを必要とせずに形成され）、シリコン材料のCMP又はエッチ・バックを必要としない、金属シリサイド・ゲートをFETデバイスに形成するためのプロセス。第1のシリコン材料層（3）（ポリシリコン又はアモルファス・シリコン）が、ゲート誘電体（2）の上に形成され、次いで、金属層（4）が第1のシリコン材料層（3）の上に形成され、金属層（4）の上に第2のシリコン材料層（5）が形成される。その後、ソース / ドレイン活性化アニールのような高温（700 より高い）処理ステップが実施され、このステップは、金属層（4）の金属を第1のシリコン材料層（3）におけるシリコン材料と反応させることにより、ゲート誘電体（2）の上にシリサイド層（30）を形成するのに有効である。第2の高温処理ステップ（ソース / ドレインのシリサイド化のような）を実施することができ、これは第2のシリコン材料層（5）におけ



【特許請求の範囲】**【請求項 1】**

少なくとも 1 つの高温プロセスを含む F E T デバイスの製造プロセスにおいて、基板(1)上にゲート誘電体(2)を有するシリサイド化ゲート構造体(100)を形成するための方法であって、

前記ゲート誘電体(2)の上に第 1 のシリコン材料層(3)を形成するステップと、

前記第 1 のシリコン材料層(3)の上に金属層(4)を形成するステップと、

前記金属層(4)の上に第 2 のシリコン材料層(5)を形成するステップと、

前記形成ステップの後で前記高温プロセスを実施するステップと、

を含み、前記高温プロセスが、前記金属を前記第 1 のシリコン材料層(3)における前記シリコン材料と反応させることにより、前記ゲート誘電体(2)に接触する第 1 のシリサイド層(30)を形成するのに有効であり、前記第 1 のシリコン材料層(3)における前記シリコン材料が、前記第 1 のシリサイド層(30)におけるシリサイド材料で置き換える方法。

10

【請求項 2】

前記第 1 のシリコン材料層(3)、前記金属層(4)及び前記第 2 のシリコン材料層(5)の厚さが、前記高温プロセスの結果として、前記第 1 のシリコン材料層(3)の実質的にすべて及び前記第 2 のシリコン材料層(5)の少なくとも一部が前記金属層(4)と反応して、前記シリサイド層(30)を形成するように、形成される、請求項 1 に記載の方法。

20

【請求項 3】

前記高温プロセスが約 700 より高い温度で実施される、請求項 1 に記載の方法。

【請求項 4】

前記高温プロセスが前記 F E T デバイスのソース及びドレイン部分(40)のアニール・プロセスである、請求項 1 に記載の方法。

【請求項 5】

前記第 1 のシリコン材料層(3)における前記シリコン材料がポリシリコン及びアモルファス・シリコンの一方あり、前記第 2 のシリコン材料層(5)における前記シリコン材料がポリシリコン及びアモルファス・シリコンの一方である、請求項 1 に記載の方法。

【請求項 6】

前記金属層(4)金属が、W、T i、P t、T a、N b、H f 及びM o から構成される群から選択される、請求項 1 に記載の方法。

30

【請求項 7】

前記高温プロセスが第 1 の高温プロセス及び第 2 の高温プロセスを含んでおり、前記第 2 の高温プロセスが前記第 1 の高温処理ステップの後で実施され、

前記第 2 の高温プロセスが、前記第 2 のシリコン材料層(5)における前記シリコン材料から第 2 のシリサイド層(50)を形成するのに有効であり、前記第 2 のシリサイド層(50)が前記第 1 のシリサイド層(30)の上に重なり、それと接触している、請求項 1 に記載の方法。

【請求項 8】

前記第 2 の高温プロセスが、前記 F E T デバイスのソース及びドレイン部分(40)のシリサイド化プロセスであり、前記ソース及びドレイン部分(40)に形成されたシリサイドが前記第 2 のシリサイド層(50)における材料と同じである、請求項 7 に記載の方法。

40

【請求項 9】

前記第 1 の高温プロセス及び前記第 2 の高温プロセスが、前記第 1 のシリコン材料層(3)及び前記第 2 のシリコン材料層(5)における前記シリコン材料の実質的にすべてをシリサイド材料で置き換える、請求項 7 に記載の方法。

【請求項 10】

前記高温プロセスが第 1 の高温プロセス及び第 2 の高温プロセスを含んでおり、前記第

50

2 の高温プロセスが前記第 1 の高温処理ステップの後で実施され、

前記第 2 の高温プロセスが、前記第 2 のシリコン材料層(5)における前記シリコン材料から第 2 のシリサイド層(50)を形成するのに有効であり、前記第 2 のシリサイド層(50)が前記第 2 のシリコン材料層(5)の残存部分(55)の上に重なる、請求項 1 に記載の方法。

【請求項 1 1】

前記第 2 の高温プロセスが前記 FET デバイスのソース及びドレイン部分(40)のシリサイド化プロセスであり、シリサイド化されたソース及びドレイン部分(41)に形成されたシリサイドが前記第 2 のシリサイド層(50)における材料と同じである、請求項 10 に記載の方法。

【請求項 1 2】

前記第 2 の高温プロセスが約 700 より高い温度で実施される、請求項 10 に記載の方法。

【請求項 1 3】

FET デバイスの製造プロセスにおいて、基板上(1)にゲート誘電体(2)を有するシリサイド化ゲート構造体(100)を形成するための方法であって、

前記ゲート誘電体(2)の上に第 1 のシリコン材料層(3)を形成するステップと、

前記第 1 のシリコン材料層(3)の上に金属層(4)を形成するステップと、

前記金属層(4)の上に第 2 のシリコン材料層(5)を形成するステップと、

前記金属層(4)を前記第 1 のシリコン材料層(3)における前記シリコン材料と反応させることにより、第 1 のシリサイド層(30)を前記ゲート誘電体(2)の上に形成するように第 1 の高温プロセスを実施するステップと、

前記第 1 のシリサイド層(30)の上に第 2 のシリサイド層(50)を形成するように第 2 の高温プロセス・ステップを実施するステップと、

を含み、前記第 1 のシリコン材料の層(3)及び前記第 2 のシリコン材料の層(5)の実質的にすべてが、前記第 1 及び第 2 の高温プロセスの結果として反応して、シリサイド化ゲート構造体(100)を形成する、方法。

【請求項 1 4】

前記第 1 の高温プロセス及び第 2 の高温プロセス・ステップが約 700 より高い温度で実施される、請求項 13 に記載の方法。

【請求項 1 5】

前記第 1 の高温プロセスが前記 FET デバイスのソース及びドレイン部分(41)のアーチル・プロセスである、請求項 13 に記載の方法。

【請求項 1 6】

前記第 2 の高温プロセスが前記 FET デバイスのソース及びドレイン部分(41)のシリサイド化プロセスである、請求項 13 に記載の方法。

【請求項 1 7】

前記金属層(4)の金属が、W、Ti、Pt、Ta、Nb、Hf 及びMo から構成される群から選択される、請求項 13 に記載の方法。

【請求項 1 8】

前記第 1 のシリコン材料層(3)における前記シリコン材料がポリシリコン及びアモルファス・シリコンの一方であり、前記第 2 のシリコン材料層(5)における前記シリコン材料がポリシリコン及びアモルファス・シリコンの一方である、請求項 13 に記載の方法。

【請求項 1 9】

前記第 1 の高温プロセスの結果として、シリサイド層(31)が前記ゲート誘電体(2)と接触するシリコン材料の残存層(33)の上に重なり、

前記第 2 の高温プロセスの結果として、前記シリコン材料が反応して、前記ゲート誘電体(2)と接触するシリサイド層(30)を形成する、請求項 13 に記載の方法。

【請求項 2 0】

10

20

30

40

50

FETデバイスのゲート構造体であって、
基板(1)の上のゲート誘電体(2)と、
前記ゲート誘電体(2)の上に重なり、それと接触する第1のシリサイド層(30)と

、
前記第1のシリサイド層(30)の上に重なる第2のシリサイド層(50)と、
を含み、

前記第2の層(50)が前記FETデバイスのソース及びドレイン領域(41)におけるシリサイドと同じ材料であり、

前記第1のシリサイドが金属シリサイドであり、前記金属シリサイドの金属がW、Ti
、Pt、Ta、Nb、Hf及びMoから構成される群から選択される、

FETデバイスのゲート構造体(100)。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体デバイスの製造に関し、具体的には、相補的金属酸化膜半導体(CMOS: complementary metal-oxide-semiconductor)FETデバイスの製造に関する。より具体的には、本発明は、これらのデバイスにおける金属シリサイド化ゲートの形成に関する。

本発明は、半導体製造分野において実用性を有する。

【背景技術】

【0002】

電子デバイス素子の継続的なサイズ縮小は、デバイス性能に問題を提起し、これは新しい材料及び製造技術を用いて対処されなければならない。これらの問題は、高性能CMOSデバイスのゲート構造体の場合に、特に深刻である。一般的なCMOSゲート構造体が、図1に概略的に示される。ゲート構造体100(多くの場合、ゲート・スタックと呼ばれる)が、基板1の表面上に製造され、これは一般に半導体ウェハ(例えば、Si、Ge、SiGe、並びに、埋込絶縁体上の半導体)である。ソース及びドレイン領域22、23が、ウェハの表面付近に形成される。ゲート構造体100には、誘電体層112の上に重なる導電性素子110(一般にポリシリコンであり、PFET及びNFETにおいて、それぞれp+ドープ及びn+ドープされたもの)が含まれる。現在のデバイスでは、ゲート誘電体の酸化物厚さは2nm未満に減少している。同時に線幅が減少されて、ゲート構造体100の横方向領域が今では65nm以下の範囲内である。

【0003】

今日のゲート誘電体厚さにおいては、ゲートが作動し、電荷のない領域がポリシリコン/誘電体のインターフェース(図1のインターフェース112a)に形成されるときに発生するポリシリコン空乏の影響を最小にすることが望ましい。この空乏領域の出現は、ゲートの静電容量を低下させ、従って、電気的厚さが増加されて、デバイス性能が低下する。ポリシリコンの空乏領域を取り除くことができる場合には、漏れ電流の実質的な増加なしで、電気的誘電体厚さを減らすことができる。このことは、ゲート誘電体112の厚さをさらに減らすことなく、改善されたデバイス性能を可能にする。

【0004】

従って、いくつかの利点を得ることができるため、ゲート構造体からポリシリコンを取り除く(又は、少なくともゲート誘電体との接触からポリシリコンを取り除く)ことが望ましい。ポリシリコン空乏の影響をなくすことにより、ゲート誘電体の有効電気的厚さが減る。ポリシリコンとゲート誘電体材料との間の相互作用は回避され、これは次いで、ホウ素浸透に関する問題を回避することができる。このことは、消費電力の少ない迅速なデバイスをもたらすことができる。ポリシリコンを他の材料で置き換えることは、さらに、高kゲート誘電体と互換性があるゲート・スタックの新しい設計を可能にすることができる。

【0005】

10

20

30

40

50

最近では、ポリシリコン・ゲート導体を金属シリサイド・ゲート電極で置き換えることに、大きな関心が寄せられている。一般に、シリサイド化ゲートの形成には、金属層を、ゲート誘電体と接触している、下にあるシリコン層（ポリシリコン又はアモルファス・シリコン）と反応させることを含む。従来のポリシリコン・ゲートの製造と比較すると、相当な数の付加的なプロセス・ステップが必要になる。さらに、一般的なシリサイド・ゲートの製造スキームには、ポリシリコン層の化学的機械研磨（C M P : c h e m i c a l - m e c h a n i c a l p o l i s h i n g ）又はエッチ・バックが必要である。これらのプロセスは、多くの場合、ポリシリコンの厚さにおいて（ウェハ全体に）十分な一様性をもたらすことができない。このことは、次いで、低品質シリサイド化ゲート及び歩留まりの低いデバイスをもたらす。

10

【発明の開示】

【発明が解決しようとする課題】

【0006】

従って、付加的なステップの数を最小限とし、従来の製造技術に關わる非一様性の問題を回避する金属シリサイド化ゲート構造体の製造プロセスが必要である。

【課題を解決するための手段】

【0007】

本発明は、金属シリサイド化ゲート構造体が自己形成される（すなわち、別個の金属／シリコン反応ステップを必要とせずに形成される）プロセスを提供することによって、上述の必要性に対処する。ポリシリコンのC M P又はエッチ・バックは必要なく、従来のポリシリコン・ゲート・プロセスと比較すると、付加的なステップが1つだけ用いられる。本発明の第1の態様によれば、このことは、ゲート誘電体の上に第1のシリコン材料層（ポリシリコンであってもよいし又はアモルファス・シリコンであってもよい）を形成するステップと、第1のシリコン材料層の上に金属層を形成するステップと、次いで、金属層の上に第2のシリコン材料層を形成するステップと、によって行われる。これらの層が形成された後で、少なくとも1つの高温（>700）処理ステップが実施され、このステップは、金属層を第1のシリコン材料層におけるシリコンと反応させることにより、ゲート誘電体の上に第1のシリサイド層を形成するのに有効である。第1のシリサイド層の厚さは、第1の高温処理ステップにおいて、第1のシリコン材料層の少なくとも一部及び第2のシリコン材料層の少なくとも一部が金属層と反応して、第1のシリサイド層を形成するような厚さである。第2のシリコン材料層におけるシリコンから第2のシリサイド層を形成するのに有効な第2の高温処理ステップを実施することができ、第2のシリサイド層は、第1のシリサイド層の上に重なり、それと接触する。高温プロセスの結果として、第1のシリコン材料層におけるシリコンの実質的にすべてが、シリサイド材料で置き換えられる。

20

【0008】

本発明の一実施形態においては、第1の高温処理ステップは、F E Tデバイスのソース及びドレイン部分のアニール・ステップであり、或いは、このステップは、後に続く処理で実施される他の高温アニール・ステップのいずれかとすることができます。第2の高温処理ステップは、F E Tデバイスのソース及びドレイン部分のシリサイド化プロセスである。金属は、W、T i、P t、T a、N b、H f及びM oの1つとすることができます。第1、第2のシリコン材料層のシリコンの実質的にすべてが反応し、シリサイド材料を形成して、完全シリサイド化ゲート構造体が生成される。

30

【0009】

本発明の別の実施形態においては、第1の高温処理ステップの後で実施される第2の高温処理ステップは、第2のシリコン材料層におけるシリコン材料から第2のシリサイド層を形成するのに有効であり、この第2のシリサイド層は、第2のシリコン材料層におけるシリコンの残存部分の上に重なる。

40

【0010】

本発明の第2の態様によれば、基板上のゲート誘電体と、ゲート誘電体の上に重なり、

50

それと接触する第1のシリサイド層と、第1のシリサイド層の上に重なる第2のシリサイド層と、を含むFETデバイスのシリサイド化ゲート構造体が提供される。第2のシリサイド層は、FETのソース及びドレイン領域におけるシリサイドと同じ材料である。ゲート構造体は、完全にシリサイド化することができる（すなわち、ゲート誘電体の上に重なる材料は、本質的に、第1及び第2のシリサイド層におけるシリサイドから構成することができる）。或いは、ゲート構造体は、第1のシリサイド層と第2のシリサイド層との間に第3のシリコン層を含むことができる。

【発明を実施するための最良の形態】

【0011】

以下の説明においては、シリサイド化ゲート構造体の形成開始までは、従来のCMOS 10 製造技術が用いられることが仮定される。図2は、ゲートを形成するのに用いられる堆積ステップの順序を示す。最初に、ゲート誘電体層2が基板1の上に形成される。基板1は、バルク半導体のウェハ(Si、Ge、SiGe及び同様なもの)であってもよいし、又は、絶縁体上の半導体材料(酸化物、窒化物、酸窒化物及び同様なもの)であってもよい。ゲート誘電体2は、酸化物、酸窒化物、高k材料、HfO₂及び同様なものとすることができます。薄いシリコン材料層(第1のシリコン材料層)3がゲート誘電体層2の上に堆積され、次いで金属層4がその上に堆積される。本実施形態においては、シリコン材料層3はポリシリコンであるが、この材料はアモルファス・シリコンであってもよい。金属層4は、熱的に安定したシリサイドを有する金属であるように選択され、このシリサイドは高温(>700)での反応によって形成され、この必要条件を満たす金属には、W、Ti、Pt、Ta、Nb、Hf及びMoが含まれる。シリコン材料層3及び金属層4の厚さは、シリコン材料層3におけるシリコン材料が、後で実施される高温プロセス中に完全にシリサイド化されることを保証するように選択される。さらに、シリコン材料層3におけるシリコンは、後で形成されるシリサイドが、製造されるデバイスの種類(例えばPFE 20 T又はNFET)に適した動作機能を有するように、金属層4の堆積前にドープすることができる。

【0012】

別のシリコン材料層5(第2のシリコン材料層、本実施形態ではポリシリコンであるが、或いはアモルファス・シリコン)が、金属層4の上部に堆積される。本発明の本実施形態においては、従来のゲート製造プロセスと比較すると、1つの追加的な堆積ステップ、すなわち、シリコン材料層3、5が単一層ではなく2つの層として堆積されるステップが実施されることが理解されるであろう。

【0013】

次いで、基板1はフォトレジスト10を用いてパターン形成され、シリコン材料層3から別のシリコン材料層5までが、ゲート構造体を定めるようにエッチングされる。これらのエッチング・プロセスの結果は、図3に示される。次いで、スペーサ25並びにソース及びドレイン領域40を含むゲート構造体を生成するように、当該技術分野において既知の技術を用いて、さらに別のプロセス・ステップが実施される。この時点で用いられる一般的なプロセスは、ソース及びドレインに対する高温活性化アニールである。このアニール・ステップにおいては、金属層4が下にあるシリコン材料層3と反応して、シリサイド層30(例えば、WSix、TiSi_x、PtSi_x、TaSi_x、NbSi_x、HfSi_x、MoSi_x)を生成する。上述のように、本実施形態においては、シリコン層3及び金属層4の厚さはシリコン材料層3におけるシリコン材料が完全にシリサイド化される(すなわち、シリコン材料層3がシリサイド層30に置き換えられる)ように選択される。従って、図4に示されるように、シリサイド層30は、ゲート誘電体2に接触しており、別のシリコン材料層5からの未反応シリコン材料がシリサイド層30の上にある。

【0014】

別の形態として、1つより多い高温プロセスが用いられる場合には、第1の高温プロセス(例えば活性化アニール)において、シリコン材料層3におけるすべてのシリコン材料を金属層4における金属と反応させない(シリコン材料層3が完全にシリサイド化されな

10

20

30

30

40

50

い)ようにすることが可能である。具体的には、このことは、第1の高温プロセスの熱量に限りがある場合に当て嵌まるとしていることができる。この場合においては、図5に示されるように、第1の高温プロセス後で、シリコン材料の残存層33がゲート誘電体2の上に重なり、シリサイド層31は、シリサイドの金属リッチ相である。第2の高温プロセス(詳細は以下に論じる)においては、残像層33におけるシリコン材料が反応されて、シリサイド材料(層30と同じ材料)を形成し、シリコン材料層3は、第2の高温プロセス後で完全にシリサイド化される。

【0015】

次いで、金属(例えばNi、Co、Ti、Pt及び同様なもの)が、FET構造体の上に堆積されて、その金属が、別のシリコン層5におけるシリコン材料、並びに、ソース/ドレイン領域40と接触するようになる。次いで、(当該技術分野において既知の)さらに別のシリサイド形成プロセスが実施されて、ソース及びドレイン領域40に導電性シリサイド領域41を形成する。この同じプロセスは、ゲート上部におけるシリコンを金属と反応させて、ゲートの上方部分にシリサイド領域50を形成する(さらに、残存層33における残存シリコン材料がある場合には、シリサイドに変換する)。結果として得られる構造体が図6に示される。従って、ソース/ドレイン領域41及びゲート領域50におけるシリサイド材料は同じであり、ゲートの下方部分のシリサイド層30は、ゲート領域50と同じ材料であってもよいし又は異なる材料であってもよい。(さらに、(下方)シリサイド層30と(上方)シリサイド層50との間に、シリサイド材料の混合物をもつ遷移層があってもよい。)従って、ゲート構造体に最初に堆積されたシリコンは、シリサイド材料で置き換えられ、すなわち、ゲート構造体は完全にシリサイド化されたと言える。従来のCMOS製造プロセスと比較すると、完全シリサイド化ゲートは、堆積プロセス・ステップを1つだけ加えることによって生成され、ポリシリコン層のCMP又はエッチング・プロセスは必要としないことが理解される。さらに、ゲート材料のシリサイド化は、後に続く高温プロセスの結果として生じ、ゲートにシリサイド層を形成するために、別個のプロセスを必要とすることはない。

【0016】

本発明の代替的な実施形態においては、別のシリコン材料層5の厚さは、シリサイド30の上に重なるシリコン材料が、ソース/ドレインのシリサイド化プロセス中に、完全にシリサイドに変換されないように選択される。従って、ゲート誘電体2の上には、シリサイド層30、シリコン層55及びシリサイド層50(ソース/ドレイン領域41と同じシリサイド材料)の3つのゲート材料が存在することになる。この構造体は図7に示される。

【0017】

上述のように、本発明のゲート製造プロセスは従来のプロセスより単純であり、自己位置合わせシリサイド・ゲート導体の自動形成を可能にする。

【0018】

本発明は、特定の好ましい実施形態と併せて説明されたが、多くの代替的手法、修正及び変形を、本発明の範囲及び精神から逸脱することなく行うことができる事が当業者には明らかであろう。従って、本発明は、本発明の範囲及び精神並びに添付の特許請求の範囲に含まれる、こうしたすべての代替的手法、修正及び変形を包含することが意図される。

【産業上の利用可能性】

【0019】

本発明は、半導体製造分野において実用性を有し、通信、電子技術、医療機器、航空宇宙用途及び同様なもの含むすべての種類の用途における、すべての大規模集積回路チップに適用できるという利点がある。

【図面の簡単な説明】

【0020】

【図1】ポリシリコン・ゲート導体を含む従来のCMOS構造体を概略的に示す。

10

20

30

40

50

【図2】本発明の実施形態による、基板上への誘電体層、シリコン材料層、及び金属層の堆積を示す。

【図3】本発明の実施形態による、ソース及びドレイン領域が形成される前のゲート構造体を示す。

【図4】本発明の実施形態による、ゲート誘電体に接触するシリサイド層が形成された後のゲート構造体を示す。

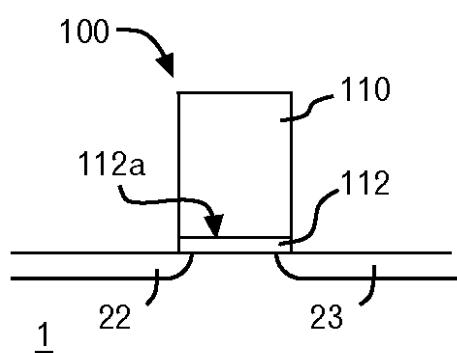
【図5】本発明の代替的な実施形態による、2つの高温プロセスの第1のものにおいてシリサイド層が形成された後のゲート構造体を示す。

【図6】本発明の実施形態による、完成されたシリサイド化ゲート構造体をソース及びドレイン領域と併せて示す。

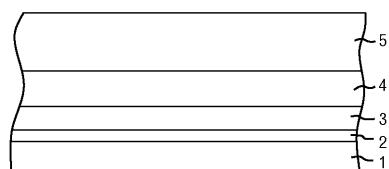
【図7】本発明の代替的な実施形態による、完成されたシリサイド化ゲート構造体をソース及びドレイン領域と併せて示す。

10

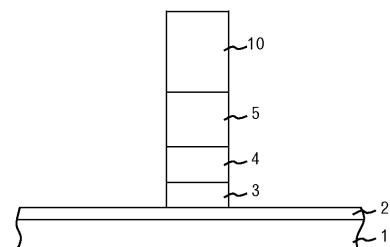
【図1】



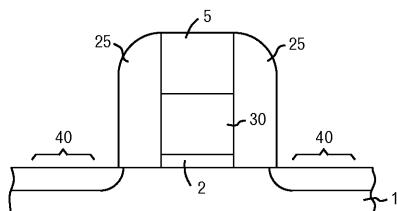
【図2】



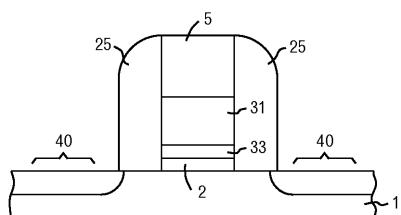
【図3】



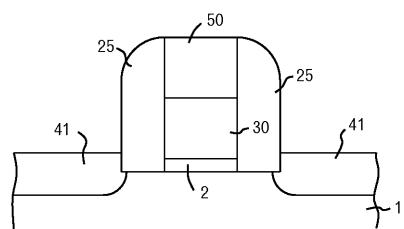
【図4】



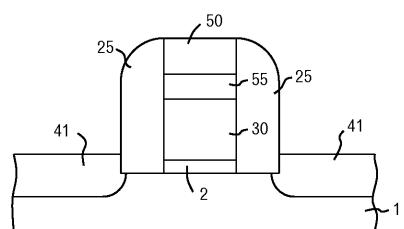
【図5】



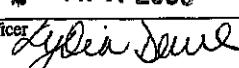
【図6】



【図7】



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US06/00838						
A. CLASSIFICATION OF SUBJECT MATTER IPC: H01L 21/336(2006.01),29/76(2006.01)								
USPC: 438/197;257/288 According to International Patent Classification (IPC) or to both national classification and IPC								
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 438/197;257/288								
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched								
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EAST, PLUS;MOS,CMOS,MOSFET,silicide,salicide								
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">Category *</th> <th style="width: 80%;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="width: 10%;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>US 2003/0207565 (Tan et al.) 6 November 2003;figs. 9-10, paragraphs 0015, 0018,0020</td> <td>1,3-6</td> </tr> </tbody> </table>			Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	US 2003/0207565 (Tan et al.) 6 November 2003;figs. 9-10, paragraphs 0015, 0018,0020	1,3-6
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.						
X	US 2003/0207565 (Tan et al.) 6 November 2003;figs. 9-10, paragraphs 0015, 0018,0020	1,3-6						
<input type="checkbox"/> Further documents are listed in the continuation of Box C.		<input type="checkbox"/> See patent family annex.						
* Special categories of cited documents: "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "D" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed								
Date of the actual completion of the international search 06 April 2006 (06.04.2006)		Date of mailing of the international search report 24 APR 2006						
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US Commissioner for Patents P.O. Box 1450 Alexandria, Virginia 22313-1450 Facsimile No. (571) 273-3201		Authorized officer  Long Tran Telephone No. 571-272-1797						

フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
H 01 L 29/423	(2006.01)	
H 01 L 29/49	(2006.01)	

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74) 代理人 100086243

弁理士 坂口 博

(72) 発明者 ルオ、ジーチオン

アメリカ合衆国 10512 ニューヨーク州 カーメル ナツメグ・ドライブ 1903

(72) 発明者 ファン、スンフェイ

アメリカ合衆国 12540 ニューヨーク州 ラグレーンジビル エマー・ドライブ 46

(72) 発明者 チュー、ホイロン

アメリカ合衆国 12603 ニューヨーク州 ポキブシー オータム・ドライブ 93

F ターム(参考) 4M104 AA01 AA02 AA03 AA09 BB20 BB21 BB22 BB24 BB25 BB26
 BB27 BB28 CC05 DD79 DD84 FF13 GG08 GG09 GG10 HH20
 5F048 AA07 AC03 BA01 BA14 BB05 BB08 BB09 BB11 BB13 BF06
 BF16
 5F110 AA16 BB04 CC02 DD05 DD13 EE05 EE15 EE48 FF01 GG01
 GG02 GG03 GG12 HK05 HK40 QQ08
 5F140 AA40 AB03 AC36 BA01 BA03 BA05 BD09 BD11 BF01 BF08
 BF11 BF18 BF21 BF28 BF32 BG08 BG34 BG37 BG44 BJ01
 BJ08 BK21 BK34 CF00 CF04

【要約の続き】

るシリコン材料から第2のシリサイド層(50)を形成するのに有効である。シリサイド層の厚さは、高温処理において、第1のシリコン材料層の実質的にすべて及び第2のシリコン材料層の少なくとも一部が、シリサイド材料で置き換えられるような厚さである。従って、完全シリサイド化ゲート構造体を生成することができる。

【選択図】 図6