

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成23年7月7日(2011.7.7)

【公表番号】特表2010-529677(P2010-529677A)

【公表日】平成22年8月26日(2010.8.26)

【年通号数】公開・登録公報2010-034

【出願番号】特願2010-511240(P2010-511240)

【国際特許分類】

H 01 L	21/82	(2006.01)
H 01 L	27/04	(2006.01)
H 01 L	21/822	(2006.01)
G 11 C	17/14	(2006.01)
G 11 C	16/06	(2006.01)
G 11 C	16/02	(2006.01)

【F I】

H 01 L	21/82	S
H 01 L	27/04	V
H 01 L	21/82	R
H 01 L	27/04	B
G 11 C	17/06	B
G 11 C	17/00	6 3 9
G 11 C	17/00	6 0 1 E

【手続補正書】

【提出日】平成23年5月19日(2011.5.19)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

集積回路におけるシステムであって、

製造後に冗長メモリ・セルを用いて修復可能な1つまたは複数のリペアブル・メモリ・アレイ回路であって、1つまたは複数の不良メモリ・セルを取り換える1つまたは複数のリペアブル・メモリ・アレイ回路と、

製造後に調整可能な1つまたは複数の非メモリ・アレイ回路であって、当該非メモリ・アレイ回路の1つまたは複数の動作パラメータを製造後に変更して調整可能な1つまたは複数の非メモリ・アレイ回路と、

前記1つまたは複数の不良メモリ・セルを前記冗長メモリ・セルにより修復するために前記1つまたは複数のリペアブル・メモリ・アレイ回路のいずれかに割り当てられるか、あるいは前記1つまたは複数の動作パラメータを変更するために前記1つまたは複数の非メモリ回路のいずれかに割り当てられるようにプログラム可能な複数のワン・タイム・プログラマブル素子と、

を備えるシステム。

【請求項2】

前記1つまたは複数のリペアブル・メモリ・アレイ回路と前記1つまたは複数の非メモリ・アレイ回路とに結合されたバスと、

前記複数のワン・タイム・プログラマブル素子に結合されるとともに、前記バスに結合

されて前記複数のワン・タイム・プログラマブル素子内にプログラムされた情報を与える制御回路と、

をさらに備える請求項1に記載のシステム。

【請求項3】

前記制御回路は前記複数のワン・タイム・プログラマブル素子からの情報を単位データで与え、前記バスに与えられるそれぞれの単位データは、前記1つまたは複数の非メモリ・アレイ回路のうちの特定の1つか、もしくは前記1つまたは複数のリペアブル・メモリ・アレイ回路のうちの特定の1つであって、前記単位データが変更情報を含む該特定の1つを識別するための識別子を含む、請求項2に記載のシステム。

【請求項4】

前記単位データにおける識別子は、前記複数のワン・タイム・プログラマブル素子内にプログラムされる、請求項3に記載のシステム。

【請求項5】

前記複数のワン・タイム・プログラマブル素子の各々がヒューズである、請求項1に記載のシステム。