

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：95150107

※ 申請日期：95.12.29

※IPC 分類：G11C 16/10 {2006.01}
G11C 16/34 {2006.01}

一、發明名稱：(中文/英文)

用於非揮發性記憶體中經改良之程式化驗證操作之方法及裝置
METHODS AND DEVICE FOR IMPROVED PROGRAM-VERIFY
OPERATIONS IN NON-VOLATILE MEMORIES

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商桑迪士克股份有限公司

SANDISK CORPORATION

代表人：(中文/英文)

1. 朱蒂 布魯諾

BRUNER, JUDY

2. 梅根 康普特

COMPORT, MEGAN

住居所或營業所地址：(中文/英文)

美國加州謬佩塔斯市麥卡錫大道601號

601 MCCARTHY BOULEVARD, MILPITAS, CA 95035, U. S. A.

國 籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 1 人)

姓 名：(中文/英文)

陳辛隆

CHAN, SIU-LUNG

國 籍：(中文/英文)

香港 HONG KONG

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2005年12月29日；11/323,596

2. 美國；2005年12月29日；11/323,577

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明大體而言係關於諸如電可擦除可程式化唯讀記憶體 (EEPROM) 及快閃 EEPROM 之非揮發性半導體記憶體，且具體言之係關於在程式化驗證操作期間實施省時特徵的非揮發性半導體記憶體。

【先前技術】

能夠非揮發性地儲存電荷之固態記憶體，尤其以封裝為小型式因子 (small form factor) 卡之 EEPROM 及快閃 EEPROM 形式的固態記憶體近來已變為多種行動及手持裝置 (尤其為資訊設備及消費型電子產品) 中的精選儲存裝置。不同於亦為固態記憶體之 RAM (隨機存取記憶體)，快閃記憶體係非揮發性的，且即使在切斷電源之後仍保持其已儲存之資料。儘管成本較高，但快閃記憶體正日益用於大量儲存應用中。基於諸如硬驅動機及軟性磁碟之旋轉磁性媒體的習知大量儲存裝置並不適合於行動及手持環境。此係由於磁碟驅動機傾向於較為龐大，且易於造成機械故障且具有高潛時及高功率要求。此等不良屬性使得基於磁碟之儲存在大多數行動及攜帶型應用中不實用。另一方面，嵌入式與以可移除卡之形式的快閃記憶體由於其較小之大小、低功率消耗、高速度及高可靠性特徵而理想地適合於行動及手持環境中。

EEPROM 及電可程式化唯讀記憶體 (EPROM) 為可被擦除之非揮發性記憶體且使新資料寫入或 "程式化" 至其記憶體

單元中。該兩者皆利用以場效電晶體結構之浮動(未連接)導電閘極，其位於半導體基板中之通道區域上於源極與汲極區域之間。控制閘極隨後提供於該浮動閘極上。電晶體之臨限電壓特性係由保持於浮動閘極上之電荷的數量加以控制。亦即，對於浮動閘極上電荷之給定位準，存在著必須於"接通"電晶體以許其源極與汲極區域之間的傳導之前施加至控制閘極的對應電壓(臨限值)。

浮動閘極可保持一電荷範圍且因此可被程式化至臨限電壓窗(threshold voltage window)內之任何臨限電壓位準。臨限電壓窗之大小係由裝置之最小及最大臨限位準加以定界，裝置之最小及最大臨限位準又對應於可程式化至浮動閘極上之電荷的範圍。臨限窗通常取決於記憶體裝置之特性、操作條件及歷史。窗內之每一相異、可解析臨限電壓位準範圍原則上可用以表示單元之確定記憶狀態。

充當記憶體單元之電晶體通常係由兩個機制中之一者而程式化至"已程式化"狀態。在"熱電子注入"中，施加至汲極之高電壓加速電子越過基板通道區域。同時，施加至控制閘極之高電壓將熱電子牽拉穿過一薄閘極介電質至浮動閘極上。在"穿隧注入"中，相對於基板施加高電壓至控制閘極。以此方式，將電子自基板牽拉至插入之浮動閘極。

可藉由眾多機制而擦除記憶體裝置。對於EPROM而言，可藉由使用紫外線輻射自浮動閘極移除電荷而大量地擦除記憶體。對於EEPROM而言，可藉由相對於控制閘極將高電壓施加至基板以便使浮動閘極中之電子經由一薄氧

化物穿隧至基板通道區域(亦即，福勒-諾德翰姆穿隧(Fowler-Nordheim tunneling))而電擦除記憶體單元。通常，可逐位元組地擦除EEPROM。對於快閃EEPROM而言，可一次性全部或一次擦除一或多個區塊地電擦除記憶體，其中一區塊可由記憶體之512個位元組或更多位元組組成。

非揮發性記憶體單元之實例

記憶體裝置通常包括可安裝於一卡上之一或多個記憶體晶片。每一記憶體晶片包括由諸如解碼器及擦除、寫入及讀取電路之周邊電路支援的記憶體單元之一陣列。更複雜之記憶體裝置亦具有一執行智慧型及更高階記憶操作及介接的控制器。存在著現今所使用的許多商業上成功之非揮發性固態記憶體裝置。此等記憶體裝置可採用不同類型之記憶體單元，每一類型具有一或多個電荷儲存元件。

圖1A至1E示意性地說明非揮發性記憶體單元之不同實例。

圖1A示意性地說明以EEPROM單元之形式的具有用於儲存電荷之浮動閘極的非揮發性記憶體。電可擦除及可程式化唯讀記憶體(EEPROM)具有與EPROM類似之結構，但額外地提供用於在施加適當電壓之後便電性地自其浮動閘極載入及移除電荷而無需曝露至UV輻射的機制。美國專利第5,595,924號中給出該等單元之實例及製造其之方法。

圖1B示意性地說明具有選擇閘極與控制或引導閘極之快閃EEPROM單元。記憶體單元10具有在源極14與汲極16擴

散之間的"分裂通道"12。一單元係有效地形成有串聯之兩個電晶體T1及T2。T1充當具有浮動閘極20及控制閘極30之記憶電晶體。該浮動閘極能夠儲存可選數量之電荷。可流經T1之通道部分的電流數量取決於控制閘極30上之電壓及駐留於插入浮動閘極20上之電荷的數量。T2充當具有選擇閘極40之選擇電晶體。當T2係藉由選擇閘極40處之電壓接通時，其允許T1之通道部分中的電流在源極與汲極之間穿過。選擇電晶體獨立於控制閘極處之電壓而沿源極汲極-通道提供一開關。一優點為其可用以切斷歸因於單元在浮動閘極處之電荷空乏(正)而在零控制閘極電壓時仍傳導的彼等單元。另一優點為其允許更容易地實施源極側注入程式化。

分裂通道記憶體單元之一簡單實施例為如圖1B中所示由點線示意性指示的，選擇閘極及控制閘極連接至同一字線。此係藉由使電荷儲存元件(浮動閘極)位於通道之一部分上及控制閘極結構(其為字線之部分)位於另一通道部分上以及位於該電荷儲存元件上而實現。此有效地形成具有串聯之兩個電晶體的單元，其中一電晶體(記憶電晶體)以電荷儲存元件上之電荷數量及字線上之電壓的組合來控制可流經其通道部分之電流的數量，且另一電晶體(選擇電晶體)使字線單獨充當其閘極。美國專利第5,070,032、5,095,344、5,315,541、5,343,063及5,661,053號中給出該等單元之實例、其在記憶體系統中之使用及製造其的方法。

圖 1B 中所示分裂通道單元之一更改進實施例為選擇閘極及控制閘極彼此獨立且不由其之間的點線而連接時。一實施使單元陣列中之一行控制閘極連接至垂直於字線之控制(或引導)線。效應在於將字線自在讀取或程式化選定單元時須同時執行兩個功能解除。彼兩個功能為：(1)充當選擇電晶體之閘極，因此需要適當電壓來接通及切斷選擇電晶體；及(2)經由耦合於字線與電荷儲存元件之間的電場(電容性)而將電荷儲存元件之電壓驅動至所要位準。通常難以使用單電壓以最佳方式執行此等功能中之兩者。在對控制閘極及選擇閘極進行獨立控制的情況下，字線僅需執行功能(1)，同時，添加之控制線執行功能(2)。此能力允許設計較高效能程式化，其中使程式化電壓適合目標資料。在快閃EEPROM陣列中對獨立控制(或引導)閘極之使用係描述於(例如)美國專利第5,313,421及6,222,762號中。

圖 1C 示意性地說明具有雙浮動閘極及獨立選擇及控制閘極的另一快閃EEPROM單元。記憶體單元10除有效地具有串聯之三個電晶體之外類似於圖 1B 之記憶體單元。在此類型之單元中，兩個儲存元件(亦即，T1-左儲存元件及T1-右儲存元件)包含於源極與汲極擴散之間的其通道上且在其之間具有選擇電晶體T2。記憶電晶體分別具有浮動閘極20及20'以及控制閘極30及30'。選擇電晶體T2係由選擇閘極40加以控制。在任一時間，僅存取該對記憶電晶體中之一者以進行讀取或寫入。當正存取儲存單元T1-左時，接通T2與T1-右以允許T1-左之通道部分中的電流在源極與汲

極之間穿過。類似地，當正存取儲存單元T1-右時，接通T2及T1-左。藉由使選擇閘極多晶矽之一部分極接近浮動閘極且將實質正電壓(例如，20V)施加至選擇閘極以使得儲存於浮動閘極內之電子可穿隧至選擇閘極多晶矽而實現擦除。

圖1D示意性地說明組織入反及(NAND)單元中之一串記憶體單元。NAND單元50由一系列記憶體電晶體M1、M2、...Mn ($n = 4、8、16$ 或更高)組成，該等記憶體電晶體係由其源極及汲極而菊鏈(daisy-chained)。一對選擇電晶體S1、S2控制記憶體電晶體鏈經由NAND單元之源極端子54及汲極端子56而至外部的連接。在一記憶體陣列中，當接通源極選擇電晶體S1時，源極端子耦合至源極線。類似地，當接通汲極選擇電晶體S2時，NAND單元之汲極端子耦合至記憶體陣列之位元線。鏈中之每一記憶體電晶體具有一電荷儲存元件以儲存給定數量之電荷以便表示預期記憶狀態。每一記憶體電晶體之控制閘極對讀取及寫入操作提供控制。選擇電晶體S1、S2中每一者之控制閘極提供分別經由NAND單元之源極端子54及汲極端子56而對NAND單元的控制存取。

當在程式化期間讀取及驗證NAND單元內之已定址記憶體電晶體時，以適當電壓供應其控制閘極。同時，NAND單元50中之剩餘非定址記憶體電晶體係藉由在其控制閘極上施加充分電壓而完全接通。以此方式，自個別記憶體電晶體之源極至NAND單元之源極端子54且同樣自個別記憶體電晶體

之汲極至單元之汲極端子56而有效地產生導電路徑。具有該等NAND單元結構之記憶體裝置係描述於美國專利第5,570,315、5,903,495、6,046,935號中。

圖1E示意性地說明具有用於儲存電荷之介電層的非揮發性記憶體。使用介電層，來代替較早描述之導電浮動閘極元件。利用介電儲存元件之該等記憶體裝置已由Eitan等人在"NR0M: A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell,"，IEEE Electron Device Letters，2000年11月，第11期，第21卷，第543至545頁中進行描述。ONO介電層在源極與汲極擴散之間的通道上延伸。用於一資料位元之電荷位於鄰近汲極之介電層中，且用於另一資料位元之電荷位於鄰近源極之介電層中。舉例而言，美國專利第5,768,192及6,011,725號揭示具有夾於兩個二氧化矽層之間的捕集介電質之非揮發性記憶體單元。藉由獨立地讀取介電質內空間分離之電荷儲存區域的二進位狀態而實施多狀態資料儲存。

記憶體陣列

記憶體裝置通常包括以列及行配置的且可由字線及位元線定址之記憶體單元的二維陣列。可根據反或(NOR)型或NAND型架構而形成該陣列。

NOR陣列

圖2說明記憶體單元之NOR陣列之一實例。已以圖1B或1C中所說明之類型的單元實施了具有NOR型架構之記憶體裝置。每一列記憶體單元係由其源極及汲極以菊鏈方式而

連接。有時將此設計稱作虛接地設計。每一記憶體單元10具有源極14、汲極16、控制閘極30及選擇閘極40。一列中之單元使其選擇閘極連接至字線42。一行中之單元使其源極及汲極分別連接至選定位元線34及36。在記憶體單元使其控制閘極及選擇閘極獨立受控的一些實施例中，引導線36亦連接一行中之單元的控制閘極。

許多快閃EEPROM裝置係以記憶體單元而實施，其中該等記憶體單元中每一者以其控制閘極及選擇閘極連接在一起而形成。在此狀況下，無需引導線且一字線簡單地連接沿每一列之單元的所有控制閘極及選擇閘極。此等設計之實例係揭示於美國專利第5,172,338及5,418,752號中。在此等設計中，該字線基本上執行兩個功能：列選擇及將控制閘極電壓供應至列中之所有單元以用於讀取或程式化。

NAND陣列

圖3說明記憶體單元之NAND陣列之一實例，諸如圖1D中所示。沿NAND鏈之每一行，一位元線耦合至每一NAND鏈之汲極端子56。沿NAND鏈之每一列，一源極線可連接該NAND單元之所有源極端子54。而且，沿一列之NAND鏈之控制閘極連接至一系列對應字線。可藉由經相連字線以控制閘極上之適當電壓接通選擇電晶體對(參見圖1D)而定址一整列NAND鏈。當正讀取NAND鏈內表示記憶體單元的記憶電晶體時，該鏈中之剩餘記憶電晶體經由其相關聯字線而困難地接通以使得流將該鏈之電流基本上取決於儲存於所讀取之單元中的電荷之位準。NAND架構

陣列之一實例及其作為記憶體系統之部分的操作係發現於美國專利第5,570,315、5,774,397及6,046,935號中。

程式化及程式化抑制

在程式化反及記憶體之狀況下，將一程式化電壓脈衝施加至連接至一選定記憶體單元之頁的字線。在該頁內，待程式化之彼等記憶體單元使其位元線電壓設定為0V同時未待程式化之其他記憶體單元使其位元線電壓設定為系統電源電壓Vdd以便抑制程式化。將位元線設定為Vdd將在反及鏈之汲極側有效地切斷選擇電晶體並導致浮動之通道。在程式化期間，該浮動通道處之電壓將以高字線電壓而升壓。此將有效地減小該通道與電荷儲存單元之間的電位差，藉此阻止將電子自通道牽拉至電荷儲存單元以實現程式化。

區塊擦除

電荷儲存記憶體裝置之程式化僅可導致將更多電荷添加至其電荷儲存元件。因此，在程式操作之前，須移除(或擦除)電荷儲存元件中之現有電荷。提供擦除電路(未圖示)以擦除記憶體單元之一或多個區塊。當一起(亦即，在一瞬間)電擦除單元之一整個陣列的單元或該陣列之顯著群之單元時，諸如EEPROM之非揮發性記憶體係稱作"快閃"EEPROM。一旦被擦除，便隨後對該群單元進行再程式化。可一起被擦除之單元的群可由一或多個可定址擦除單元組成。擦除單元或區塊通常儲存一或多頁資料，頁係程式化及讀取之單位，儘管可在單一操作中程式化或讀取

一個以上頁。每一頁通常儲存一或多個扇區之資料，扇區大小係由主機系統加以界定。一實例為具有遵循對磁碟驅動機所建立之標準的512位元組使用者資料加上關於使用者資料及/或儲存有該使用者資料之區塊的某數目位元組附加資訊的扇區。

讀取/寫入電路

在通常之二狀態EEPROM單元中，建立至少一電流斷點位準以便將傳導窗(conduction window)分割為兩個區域。當藉由施加預定、固定電壓而讀取一單元時，其源極/汲極電流係藉由與該斷點位準(或參考電流 I_{REF})比較而解析為記憶狀態。若電流讀數高於斷點位準之電流讀數，則判定該單元處於一邏輯狀態(例如，"零"狀態)。另一方面，若電流小於斷點位準之電流，則判定單元處於另一邏輯狀態(例如，"一"狀態)。因此，該二狀態單元儲存一位元之數位資訊。經常提供一可外部程式化之參考電流源作為記憶體系統之部分以產生斷點位準電流。

為了增加記憶體容量，隨半導體技術之狀態發展，快閃EEPROM裝置正被製造成具有愈來愈高之密度。用於增加儲存容量之另一方法為使每一記憶體單元儲存兩個以上狀態。

對於多狀態或多位準EEPROM記憶體單元而言，藉由一個以上斷點將傳導窗分割為兩個以上區域以致每一單元能夠儲存一個以上位元之資料。一給定EEPROM陣列可儲存之資訊因此隨每一單元可儲存之狀態的數目而增加。具有

多狀態或多位準記憶體單元之EEPROM或快閃EEPROM已描述於美國專利第5,172,338號中。

實務上，通常藉由在將參考電壓施加至控制閘極時感測單元之源電極及汲電極上之傳導電流而讀取單元的記憶狀態。因此，對於單元之浮動閘極上的每一給定電荷而言，可偵測關於固定參考控制閘極電壓之對應傳導電流。類似地，可程式化至浮動閘極上之電荷的範圍界定一對應臨限電壓窗或一對應傳導電流窗。

或者，代替偵測經分割電流窗中之傳導電流，可在控制閘極處設定用於在測試中之給定記憶狀態的臨限電壓並偵測傳導電流是低於還是高於臨限電流。在一實施中，藉由檢查傳導電流對位元線之電容完全放電之速率而實現對相對於臨限電流之傳導電流的偵測。

圖4說明對於浮動閘極在任一時間可選擇性地進行儲存之四個不同電荷Q1至Q4，源極-汲極電流 I_D 與控制閘極電壓 V_{CG} 之間的關係。四個 I_D 對 V_{CG} 實線曲線表示可在記憶體單元之浮動閘極上程式化的四個可能電荷位準，其分別對應於四個可能之記憶狀態。作為一實例，一單元群體之臨限電壓窗可在0.5V至3.5V之範圍內。可藉由將臨限窗分割為五個區域、每一區域間隔0.5 V而對六個記憶狀態進行分界(demarcate)。舉例而言，若如圖所示使用2 μ A之參考電流(I_{REF})，則可將以Q1程式化之單元視為在記憶狀態"1"，由於其曲線與 I_{REF} 相交於由 $V_{CG} = 0.5V$ 及1.0V分界之臨限窗區域中。類似地，Q4處於記憶狀態"5"。

如可自以上描述看出的，使記憶體單元儲存的狀態愈多，其臨限窗分割地愈精細。此在程式化及讀取操作時將需要更高精度以便能夠達成所需解析度。

美國專利第4,357,685號揭示程式化2狀態EPROM之方法，其中當將一單元程式化至給定狀態時，該單元經受連續程式化電壓脈衝，每一次將遞增之電荷添加至浮動閘極。在脈衝之間，讀回或驗證該單元以判定其相對於斷點位準之源極-汲極電流。當已將電流狀態驗證為達到所要狀態時，程式化停止。所使用之程式化脈衝串可具有增加之週期或振幅。

先前技術程式化電路僅施加程式化脈衝以將臨限窗自己擦除或接地狀態單步調試(step through)直至達到目標狀態為止。實際上，為允許充足的解析度，每一經分割或分界之區域將需要至少約五個程式化步驟進行橫向。該效能對於2狀態記憶體單元而言係可接受的。然而，對於多狀態單元而言，所需步驟數目隨分割區數目而增加且因此，須增加程式化精度或解析度。舉例而言，16狀態單元可需要平均至少40個程式化脈衝以程式化至目標狀態。

圖5示意性地說明具有記憶體陣列100之典型配置的記憶體裝置，該記憶體陣列100可由讀取/寫入電路170經列解碼器130及行解碼器160而存取。如關於圖2及3所述的，記憶體陣列100中之記憶體單元的記憶電晶體係可經由一組選定字線及位元線而定址。列解碼器130選擇一或多個字線且行解碼器160選擇一或多個位元線以便將適當電壓施

加至已定址記憶電晶體的各別閘極。提供讀取/寫入電路170以讀取或寫入(程式化)已定址記憶電晶體之記憶狀態。讀取/寫入電路170包括可經由位元線而連接至陣列中之記憶體元件的眾多讀取/寫入模組。

影響讀取/寫入效能及準確度之因素

為了改良讀取及程式化效能，並列讀取或程式化一陣列中之多個電荷儲存元件或記憶電晶體。因此，一起讀取或程式化一邏輯"頁"之記憶體元件。在現有記憶體架構中，一列通常含有若干交錯頁。將一起讀取或程式化一頁之所有記憶體元件。行解碼器將選擇性地將該等交錯頁中每一者連接至對應數目之讀取/寫入模組。舉例而言，在一實施中，記憶體陣列經設計以具有532位元組(512位元組加上附加之20位元組)的頁大小。若每一行含有一汲極位元線且每列存在兩個交錯頁，則此達到8512行，其中每一頁與4256行相關聯。將存在4256個感測模組，其為可連接的以並列讀取或寫入所有偶數位元線或奇數位元線。以此方式，自記憶體元件之頁讀取一頁並列4256位元(亦即，532位元組)之資料或將該等資料程式化至記憶體元件之頁中。形成讀取/寫入電路170之讀取/寫入模組可配置成各種架構。

如上文所提及的，習知記憶體裝置藉由以整體並列之方式一次對所有偶數或所有奇數位元線進行操作而改良讀取/寫入操作。一由兩個交錯頁組成之列之此"交替位元線"架構將有助於減輕裝配讀取/寫入電路之區塊的問題。其亦

係藉由考慮控制位元線至位元線電容性耦合而指定。區塊解碼器用以將讀取/寫入模組之組多路傳輸至偶數頁或奇數頁。以此方式，每當讀取或程式化一組位元線時，便可將交錯組接地以最小化直接相鄰位元線耦合。

然而，交錯頁架構在至少三個方面為不利的。第一，其需要額外多工電路。第二，其在效能方面緩慢。為完成由一字線連接或連接於一系列中之記憶體單元的讀取或程式化，需要兩個讀取或兩個程式化操作。第三，其在處理其他干擾效應方面亦並非最佳的，該等其他干擾效應諸如在於不同時間(諸如在奇數及偶數頁中獨立地)程式化兩個相鄰電荷儲存元件時，在浮動閘極位準處該相鄰電荷儲存元件之間的場耦合。

美國專利公開案第2004-0057318-A1號揭示了允許並列感測複數個相連記憶體單元之記憶體裝置及其之方法。舉例而言，將共用相同字線的沿一系列之所有記憶體單元作為一頁而一起讀取或程式化。此"全位元線"架構使"交替位元線"架構之效能加倍同時最小化由相鄰干擾效應引起的誤差。然而，感測所有位元線確實引起了相鄰位元線之間由於其互電容而感應之電流所導致的串擾之問題。藉由當感測每一鄰近對位元線之傳導電流時，使每一鄰近對位元線之間的電壓差實質上獨立於時間而處理此問題。當強加此條件時，歸因於各種位元線之電容的所有位移電流降落，由於其皆取決於時變電壓差。耦接至每一位元線之感測電路在該位元線上具有一電壓鉗制(voltage clamp)以使

不執行第二子循環直至已驗證該群中任一記憶體單元超過第一臨限值為止。

在一較佳實施例中，在第一子循環結束時執行一被稱作"一位元超過"("OBP")之操作，以便為該事件檢查是否已將該群中任一記憶體單元程式化得超過第一臨限值。在彼事件中，後續驗證循環將不再需要OBP但將包含第二子循環。

自對本發明之較佳實施例的以下描述將瞭解本發明之額外特徵及優點，應結合隨附圖式進行該描述。

【實施方式】

圖6A示意性地說明具有一組讀取/寫入電路之緊密記憶體裝置，其提供實施本發明之情形。該記憶體裝置包含記憶體單元之二維陣列300、控制電路310及讀取/寫入電路370。記憶體陣列300可由字線經列解碼器330及由位元線經行解碼器360而定址。讀取/寫入電路370係實施為一組感測模組480且允許並列讀取或程式化一區塊(亦稱為一"頁")之記憶體單元。在一較佳實施例中，頁係由相連列之記憶體單元構成。在一列記憶體單元分割為多個區塊或頁之另一實施例中，提供區塊多工器350以將讀取/寫入電路370多路傳輸至個別區塊。

控制電路310與讀取/寫入電路370合作以對記憶體陣列300執行記憶操作。控制電路310包含狀態機312、晶片上位址解碼器314及功率控制模組316。狀態機312提供對記憶操作之晶片級控制。晶片上位址解碼器314將由主機或

記憶體控制器使用之位址之間的位址介面提供至解碼器330及360所使用之硬體位址。功率控制模組316控制在記憶操作期間供應至字線及位元線之功率及電壓。

圖6B說明圖6A中所示緊密記憶體裝置之較佳配置。以對稱方式在陣列之相對側上實施由各種周邊電路對記憶體陣列300之存取，以使得每一側上之存取線及電路減少一半。因此，列解碼器分裂為列解碼器330A及330B，且行解碼器分裂為行解碼器360A及360B。在將一列記憶體單元分割為多個區塊之實施例中，區塊多工器350分裂為區塊多工器350A及350B。類似地，讀取/寫入電路分裂為自底部連接至位元線之讀取/寫入電路370A及自陣列300之頂部連接至位元線的讀取/寫入電路370B。以此方式，讀取/寫入模組之密度及因此該組感測模組480之密度基本上減小一半。

並列操作之整組 p 個感測模組480允許並列地讀取或程式化沿一列之一區塊(或頁)的 p 個單元。一實例記憶體陣列可具有 $p = 512$ 位元組(512×8 位元)。在較佳實施例中，區塊為一連串整列單元。在另一實施例中，區塊為列中之一子組單元。舉例而言，該子組之單元可為整列之一半或整列之四分之一。該子組之單元可為一連串相連單元或每隔一個之單元或每隔預定數目之單元。每一感測模組包含一用於感測記憶體單元之傳導電流的感測放大器。

圖6C說明若干感測模組至讀取/寫入堆疊之較佳分組。讀取/寫入堆疊490允許以提取出(factor out)圖6A中所示之

一群感測模組之共同組件的空間有效方式而實施該等感測模組。

圖 6D 示意性地說明圖 6C 所示讀取/寫入堆疊中之基本組件的總體配置。讀取/寫入堆疊 490 包括用於感測 k 個位元線之感測放大器 212 之一堆疊、一用於經由 I/O 匯流排 231 而輸入或輸出資料之 I/O 模組 440、用於儲存輸入或輸出資料之資料鎖存器 430 之一堆疊、一在讀取/寫入堆疊 490 中處理及儲存資料之共同處理器 500，及一用於在堆疊組件之間通信的堆疊匯流排 421。讀取/寫入電路 370 中之堆疊匯流排控制器經由線 411 而提供控制及定時信號以用於控制讀取/寫入堆疊中的各種組件。共同處理器包含用於在處理期間臨時儲存資料的一或多個暫存器或鎖存器 520。

較佳讀取/寫入堆疊已揭示於在 2004 年 12 月 29 日申請之美國專利申請案第 11/026,536 號中。一較佳感測放大器係揭示於美國專利公開案第 2004-0109357-A1 號中。前述兩個文獻皆在此以引用的方式併入本文中。

用於多狀態記憶體之讀取及程式化之實例

圖 7A 至 7E、8A 至 8E、9A 至 9E 分別說明 4 狀態記憶體之多位元編碼的三個實例。在 4 狀態記憶體單元中，可由兩個位元表示四個狀態。一現有技術為使用 2 路徑程式化來程式化該記憶體。由第一路徑程式化第一位元(下頁位元)。隨後，在第二路徑中程式化同一單元以表示所要之第二路徑(上頁位元)。為了在第二回合中不改變第一位元之值，使第二位元之記憶狀態表示取決於第一位元的值。

圖 7A 至 7E 說明以習知 2 位元格雷碼 (Gray Code) 編碼之 4 狀態記憶體之程式化及讀取。將記憶體單元之可程式化臨限電壓的範圍 (臨限窗) 分割為四個區域，表示一未經程式化 "U" 狀態及三個其他愈加程式化之狀態 "A"、"B" 及 "C"。該四個區域係分別藉由分界臨限電壓 D_A 、 D_B 及 D_C 而分界。

圖 7A 說明當每一記憶體單元使用習知格雷碼儲存兩個位元之資料時，4 狀態記憶體陣列之臨限電壓分佈。四個分佈表示四個記憶狀態 "U"，"A"，"B" 及 "C" 之群體。在程式化記憶體單元之前，首先將其擦除至其 "U" 或 "未經程式化" 狀態。當記憶體單元變得愈加程式化時，逐漸地到達記憶狀態 "A"，"B" 及 "C"。格雷碼使用 (上位元，下位元) 將 "U" 表示為 (1, 1)，將 "A" 表示為 (1, 0)，將 "B" 表示為 (0, 0) 且將 "C" 表示為 (0, 1)。

圖 7B 說明使用格雷碼以現有、2 路徑程式化機制進行的下頁程式化。對於待並列程式化之一頁單元而言，上位元及下位元將引起兩個邏輯頁：由下位元組成之邏輯下頁及由上位元組成之邏輯上頁。第一程式化路徑僅程式化邏輯下頁位元。藉由適當之編碼，對同一頁單元之後續、第二程式化路徑將程式化邏輯上頁位元而不會重設邏輯下頁位元。格雷碼為常用碼，其中在轉變至鄰近狀態時僅一位元改變。因此，由於僅涉及一位元，故此碼具有對誤差校正具有較少需求之優點。

使用格雷碼時的一般機制為使 "1" 表示 "未程式化" 條件。

因此，由(上頁位元，下頁位元) = (1, 1)表示已擦除記憶狀態"U"。在程式化邏輯下頁之第一路徑中，儲存位元"0"之任何單元將因此使其邏輯狀態自(x, 1)轉變為(x, 0)，其中"x"表示上位元之"無關"值。然而，由於尚未程式化上位元，故為一致起見，亦可由"1"標記"x"。藉由將單元程式化至記憶狀態"A"而表示(1, 0)邏輯狀態。亦即，在第二程式化路徑之前，由記憶狀態"A"表示下位元值"0"。

圖7C說明使用格雷碼以現有、2路徑程式化機制進行の上頁程式化。執行第二路徑程式化以儲存邏輯上頁之位元。將僅程式化需要上頁位元值"0"的彼等單元。在第一路徑之後，該頁中之單元處於邏輯狀態(1, 1)或(1, 0)。為了在第二路徑中保留下頁之值，需要區分下位元值"0"或"1"。對於自(1, 0)至(0, 0)之轉變，將所考慮之記憶體單元程式化為記憶狀態"B"。對於自(1, 1)至(0, 1)之轉變而言，將所談論之記憶體單元程式化至記憶狀態"C"。以此方式，在讀取期間，藉由判定在一單元中程式化之記憶狀態，可解碼下頁位元與上頁位元。

藉由交替地將程式化脈衝施加至並列之一頁記憶體單元接著對該等單元中每一者進行感測或程式化驗證以判定其任一者是否已被程式化為其目標狀態而實現程式化。每當已程式化驗證一單元時，即使當繼續施加程式化脈衝以完成該群中其他單元之程式化時，該單元仍被鎖定或程式化抑制以免受進一步程式化。自圖7B及7C可看出，在下頁程式化期間，需相對於具有分界臨限電壓 D_A 之狀態"A"執

行程式化驗證(由"驗證A"表示)。然而，對於上頁程式化而言，需相對於狀態"B"及"C"執行行程式化驗證。因此，上頁驗證將需要分別相對於分界臨限電壓 D_B 及 D_C 之2路徑驗證："驗證B"及"驗證C"。

圖7D說明辨別以格雷碼編碼之4狀態記憶體之下位元所需的讀取操作。由於由(1, 0)編碼之記憶狀態"A"及由(0, 0)編碼之"B"皆具"0"作為其下位元，故每當將記憶體單元程式化至狀態"A"或"B"時，將偵測下位元"0"。相反地，每當記憶體單元在狀態"U"處未被程式化或程式化至狀態"C"時，將偵測下位元"1"。因此，下頁讀取將需要分別相對於分界臨限電壓 D_A 及 D_C 之2路徑讀取：讀取A及讀取C。

圖7E說明辨別以格雷碼編碼之4狀態記憶體之上位元所需的讀取操作。其將需要相對於分界臨限電壓 D_B 之讀取路徑：讀取B。以此方式，將偵測具有小於 D_B 之已程式化臨限電壓的任何單元使其處於記憶狀態"1"，且反之亦然。

當第二路徑程式化錯誤時，格雷碼、2路徑程式化機制可變為一問題。舉例而言，當下位元處於"1"時上頁位元至"0"之程式化將引起自(1, 1)至(0, 1)之轉變。此需要記憶體單元自"U"經由"A"及"B"逐漸地程式化至"C"。若在完成程式化之前存在停電，則記憶體單元可終止於轉變記憶狀態中之一者(例如，"A")。當讀取記憶體單元時，會將"A"解碼為邏輯狀態(1, 0)。此給出上位元與下位元之不正確結果，由於其應為(0, 1)。類似地，若在到達"B"時中斷程式化，則其將對應於(0, 0)。當上位元現正確時，下位元

仍為錯誤的。此外，由於自未經程式化狀態"U"一路到達(all the way to)最程式化之狀態"C"的可能之轉變，故此碼機制具有加重在不同時間程式化之鄰近單元的電荷位準之間的電位差之效應。因此，其亦加重鄰近浮動閘極之間的場效應耦合("Yupin效應")。

圖8A至8E說明以另一邏輯碼("LM"碼)編碼之4狀態記憶體的程式化及讀取。此碼提供更多容錯(fault-tolerance)且減輕歸因於Yupin效應之相鄰單元耦合。圖8A說明當每一記憶體單元使用LM碼儲存兩位元之資料時，4狀態記憶體陣列的臨限電壓分佈。LM編碼與圖7A中所示習知格雷碼的不同之處在於：上位元及下位元對於狀態"A"及"C"而言為反向的。"LM"碼已揭示於美國專利第6,657,891號中且其有利之處在於藉由避免需要較大電荷改變之程式化操作而減少鄰近浮動閘極之間的場效應耦合。

圖8B說明使用LM碼以現有、2回合程式化機制進行的下頁程式化。容錯LM碼基本上避免了任何上頁程式化經由任何中間狀態而轉變。因此，第一回合下頁程式化使邏輯狀態(1, 1)轉變至某中間狀態(x, 0)，如藉由將"未經程式化"記憶狀態"U"程式化至由(x, 0)表示的"中間"狀態所表示的，該"中間"狀態具有在廣泛分佈中的大於 D_A 但小於 D_C 之已程式化臨限電壓。

圖8C說明使用LM碼以現有、2回合程式化機制進行的上頁程式化。在將上頁位元程式化至"0"之第二回合中，若下頁位元處於"1"，則如藉由將"未經程式化"記憶狀態"U"

程式化至 "A" 所表示的，邏輯狀態 (1, 1) 轉變至 (0, 1)。若下頁位元處於 "0"，則藉由自 "中間" 狀態程式化至 "B" 而獲得邏輯狀態 (0, 0)。類似地，若上頁保持於 "1"，則當已將下頁程式化至 "0" 時，其將需要如藉由將 "中間" 狀態程式化至 "C" 所表示的，自 "中間" 狀態轉變至 (1, 0)。由於上頁程式化僅涉及程式化至下一鄰近記憶狀態，故自一回合至另一回合無大量電荷改變。自 "U" 至粗略 "中間" 狀態之下頁程式化經設計以節省時間。然而，此將導致 "LM" 碼在上頁程式化期間同樣地易受上頁程式化誤差或停電損壞。舉例而言，狀態 "A" 可移至不能與 "中間" 狀態相區分之臨限電壓。

圖 8D 說明辨別以 LM 碼編碼之 4 狀態記憶體之下位元所需的讀取操作。解碼將取決於是否已程式化上頁。若已程式化上頁，則讀取下頁將需要相對於分界臨限電壓 D_B 之讀取路徑：讀取 B。另一方面，若尚未程式化上頁，則將下頁程式化至 "中間" 狀態 (圖 8B)，且讀取 B 將引起誤差。相反，讀取下頁將需要相對於分界臨限電壓 D_A 之讀取路徑：讀取 A。為了區分該兩個狀況，當正程式化上頁時，在上頁中寫入一旗標 ("LM" 旗標)。在讀取期間，將首先假定已程式化上頁且因此將執行讀取 B 操作。若讀取 LM 旗標，則該假定為正確的且進行讀取操作。另一方面，若第一讀取並未產生旗標，則其將指示尚未程式化上頁且因此將必須藉由讀取 A 操作來讀取下頁。

圖 8E 說明辨別以 LM 碼編碼之 4 狀態記憶體之上位元所需

的讀取操作。如自該圖清晰可見的，上頁讀取將需要分別相對於分界臨限電壓 D_A 及 D_C 之2路徑讀取：讀取 A 及讀取 C。類似地，若尚未程式化上頁，則亦可藉由"中間"狀態而混淆上頁之解碼。再一次地，LM旗標將指示是否已程式化上頁。若未程式化上頁，則會將讀取資料重設至"1"以指示未程式化上頁資料。

LM碼在支援部分頁程式化之記憶體中亦可變為一問題。當並列程式化或讀取一頁記憶體單元時，部分頁程式化允許在一路徑中程式化該頁之一部分且在後續路徑中程式化未經程式化的剩餘部分。LM碼在一僅以資料部分地填充上頁之程式化操作中呈現一問題。在一完成部分未經填充之頁的後續上頁程式化中，可將資料程式化至錯誤狀態。藉由慣例，"1"位元表示"無程式化"條件，且因此下位元與上位元最初在未經程式化"U"狀態中預設為"1"。上頁位元應為"1"，其表示未經填充部分中之單元。若未經填充部分中之單元下頁位元偶然為"1"，則所得邏輯狀態(1, 1)將使該單元保持於"U"。然而，若下頁位元為"0"，則其將導致邏輯狀態(1, 0)，該邏輯狀態將使得單元被程式化至最程式化(最高臨限電壓)之"C"狀態。一完成未經填充部分之後續程式化路徑可不再考慮到達(0, 0)或"B"狀態之可能性，因為可自"C"返回至較不程式化之狀態。

圖9A至9E說明以較佳邏輯碼("LM新"碼)編碼之4狀態記憶體的程式化及讀取。LM新碼類似於LM碼但不具有上述缺點。圖9A說明當每一記憶體單元使用LM新碼儲存兩個

位元之資料時，4狀態記憶體陣列的臨限電壓分佈。LM新碼已揭示於Li等人之題為"NON-VOLATILE MEMORY AND CONTROL WITH IMPROVED PARTIAL PAGE PROGRAM CAPABILITY"的日期為2005年10月27日之美國專利公開案第2005-0237814 A1號中。該碼與圖8A中所示LM碼的不同之處在於：對於狀態"B"及"C"之邏輯編碼為互換的。因此，對於"U"之(上位元，下位元)為(1, 1)，對於"A"之(上位元，下位元)為(0, 1)，對於"B"之(上位元，下位元)為(1, 0)，且對於"C"之(上位元，下位元)為(0, 0)。此編碼避免在上述LM碼中之部分頁程式化的問題，因為當下位元處於"0"時，現將部分未經填充之上頁程式化至"B"狀態。部分未經填充部分之後續程式化將允許自(1, 0)程式化至(0, 0)邏輯狀態，其對應於自"B"程式化至"C"狀態。

圖9B說明使用LM新碼以現有、2路徑程式化機制進行的下頁程式化。容錯LM新碼基本上避免了任何上頁程式化經任何中間狀態之轉變。因此，第一路徑下頁程式化使邏輯狀態(1, 1)轉變至某中間狀態(x, 0)，如藉由將"未經程式化"記憶狀態"U"程式化至由(x, 0)表示的"中間"狀態而表示的，該"中間"狀態具有大於 D_A 但小於 D_C 之已程式化臨限電壓。

圖9C說明使用LM新碼以現有、2路徑程式化機制進行的上頁程式化。在將上頁位元程式化至"0"之第二路徑中，若下頁位元處於"1"，則如藉由將"未經程式化"記憶狀態"U"程式化至"A"所表示的，邏輯狀態(1, 1)轉變至(0, 1)。

若下頁位元處於"0"，則藉由自"中間"狀態程式化至"C"而獲得邏輯狀態(0, 0)。類似地，若上頁保持於"1"，則當已將下頁程式化至"0"時，其將需要如藉由將"中間"狀態程式化至"B"所表示的自"中間"狀態轉變至(1, 0)。

圖9D說明辨別以LM新碼編碼之4狀態記憶體之下位元所需的讀取操作。如對於LM碼之狀況一般，相同之考慮適用於此處。首先執行讀取B操作以判定是否可讀取LM旗標。若可讀取LM旗標，則已程式化上頁且讀取B操作將正確地產生下頁資料。另一方面，若尚未程式化上頁，則將藉由讀取A操作來讀取下頁資料。

圖9E說明辨別以LM新碼編碼之4狀態記憶體之上位元所需的讀取操作。如自該圖清晰可見的，上頁讀取將需要分別相對於分界臨限電壓 D_A 、 D_B 及 D_C 之3路徑讀取：讀取A、讀取B及讀取C。上頁之解碼具有關於以上LM碼之LM旗標所述的相同考慮。

對用於實例4狀態記憶體之以上各種碼的論述展示，讀取操作可涉及如"讀取B"中之單一感測路徑，其將已程式化之臨限電壓與分界臨限電壓 D_B 進行比較。讀取B操作適用於在習知格雷碼下讀取上頁或在LM碼下讀取下頁或在LM新碼下讀取下頁。

讀取操作亦可涉及如在習知格雷碼下讀取下頁或在LM碼下讀取上頁的2路徑讀取：讀取A及讀取C。

讀取操作亦可涉及如在LM新碼下讀取上頁的3路徑讀取：讀取A、讀取B及讀取C。

圖10更詳細地示意性說明圖6A中所示適合於感測所述記憶體之感測模組。感測模組480經由經耦接之位元線36而感測反及鏈50中之記憶體單元的傳導電流。其具有一可選擇性耦接至一位元線之感測節點481、一感測放大器600或一讀出匯流排499。最初，隔離電晶體482在被信號BLS致能時將位元線36連接至感測節點481。感測放大器600感測該感測節點481。感測放大器包含預充電/箝制電路640、單元電流鑑別器650及鎖存器660。

感測模組480使得能夠感測反及鏈中選定記憶體單元之傳導電流。在感測之前，須經由適當之字線及位元線而設定至選定記憶體單元之閘極的電壓。如稍後將更詳細描述的，對於考慮中之給定記憶狀態而言，預充電操作以未選定字線充電至電壓 V_{read} 接著將選定字線充電至預定臨限電壓 $V_T(i)$ 而開始。隨後預充電電路640使位元線電壓達到適於感測之預定汲極電壓。此將感應出源極-汲極傳導電流在反及鏈50中之選定記憶體單元中流動，自反及鏈之通道經由耦接之位元線36而偵測該源極-汲極傳導電流。當在記憶體單元之源極與汲極之間存在標稱電壓差時，該傳導電流為程式化至記憶體單元中之電荷及所施加 $V_T(i)$ 的函數。

當 $V_T(i)$ 電壓穩定時，可經由耦接之位元線36經由使用信號XXL加以閘控之電晶體630而感測選定記憶體單元的傳導電流或已程式化臨限電壓。單元電流鑑別器650充當電流位準之鑑別器或比較器。其耦接至感測節點以感測記憶

體單元中之傳導電流。當藉由如信號HHL所控制之電晶體632切斷預充電時，感測開始。傳導電流將隨後對單元電流鑑別器650中之參考電容放電。當單元以切斷電晶體630之信號XXL而去耦時，預定放電週期結束。所感測之傳導電流的量值係由在此週期結束時參考電容器之電壓放電的數量加以反映，且在由選通信號STB控制該結果時，將此結果鎖存入鎖存器660中。單元電流鑑別器650有效地判定單元之傳導電流高於還是低於給定分界電流值 $I_0(j)$ 。若其較高，則以信號 $INV = 1$ (高)將鎖存器660設定為預定狀態。

回應於將信號INV設定為"高"之鎖存器660而啟動下拉電路486。此將感測節點481及因此使經連接之位元線36下拉至接地電壓。此將抑制記憶體單元10中之傳導電流而無論控制閘極電壓如何，因為在該單元之源極與汲極之間將不存在電壓差。

一般而言，將存在由對應數目之多路徑感測模組480操作之一頁記憶體單元。頁控制器498向該等感測模組中每一者供應控制及定時信號。頁控制器498使多路徑感測模組480中每一者經預定數目之路徑($j = 1$ 至 N)而循環且亦為每一路徑供應預定分界電流值 $I_0(j)$ 。如此等技術中所熟知的，亦可將分界電流值實施為分界臨限電壓或供感測之時間週期。在最後路徑之後，頁控制器498以信號NCO致能傳送閘488以將感測節點481之狀態作為已感測資料而讀取至讀出匯流排499。總而言之，將自所有多路徑模組480讀出一頁感測資料。類似感測模組已揭示於Cernea等人之題

為 "IMPROVED MEMORY SENSING CIRCUIT AND METHOD FOR LOW VOLTAGE OPERATION" 的日期為 2005 年 8 月 4 日之美國專利公開案第 2005-0169082-A1 號中。美國專利公開案第 2005-0169082-A1 號之全部揭示以引用的方式併入本文中。

智慧型省時程式化驗證

非揮發性記憶體之效能中之一重要態樣為程式化速度。此段論述改良多狀態非揮發性記憶體之程式化效能的方法。具體言之，以省時程式化驗證來實施經改良之程式化操作。

快速路徑寫入("QPW")

較佳程式化操作係稱為"快速路徑寫入"(或"QPW")，其已揭示於美國專利第 6,643,188 號中，且該案之全文在此以引用的方式併入本文中。

程式化記憶體之目的為快速但精確地寫入資料。在二進位記憶體中，僅有必要使用一分界臨限位準來區分兩個記憶狀態。當以高於該分界臨限位準之臨限值來程式化記憶體單元時，將其視為處於"已程式化"狀態，否則其保持於"未經程式化"狀態。或者，對於給定閘極電壓，較少程式化之單元將具有較多傳導電流。因此，當將分界臨限電壓施加至記憶體單元之閘極時，將存在對應之分界傳導電流。若一單元具有高於分界傳導電流之傳導電流，則將其視為處於未經程式化狀態；否則其處於已程式化狀態。

在多狀態記憶體中，由於對於每一中間狀態，在兩個分

界臨限位準之間進行分界，故情況更複雜。當程式化至中間狀態時，須以一在兩個分界位準之間的臨限值來程式化單元。因此，其必須位於第一分界位準之上，但無需高出太多，否則其將超越第二分界位準。因此，需要進行準確程式化。在程式化記憶體單元之群體方面，其達到使該單元群體在分界位準之間緊密叢集(參見圖7至圖8)。程式化之任何不準確性將導致給定狀態之分佈誤展開超過其分界位準。即使分佈在邊界內但展開至極限，其仍將歸因於程式化干擾或其他環境效應而易於造成誤差。此問題隨狀態之數目增加而劣化或在可用臨限窗減小時劣化，或在該兩者時劣化。

一使狀態分佈緊密之技術係藉由多次程式化相同資料。一實例為描述於美國專利第6,738,289號中之粗-精程式化方法，該案在此以引用的方式併入本文中。

圖11展示具有給定已程式化記憶狀態之記憶體單元的兩個分佈，其中較展開之分佈係由一在VL位準驗證之單路徑程式化產生，且較緊密之分佈係由一在VH位準驗證第二路徑的二路徑程式化產生。在第一路徑中，已以一使用第一、較低驗證位準VL之程式化波形PW1寫入單元，從而產生分佈1301。該程式化波形隨後以較低值開始用於第二路徑。在第二路徑中，程式化波形PW2使用第二、較高驗證位準VH以將此移位至分佈1303。此允許第一路徑將單元置放入粗分佈中，該粗分佈隨後在第二路徑中變緊密。

圖12展示二路徑程式化波形之一實例。在每一程式化脈

衝之間為用於在最後程式化脈衝之後感測記憶體單元之狀態的較小閘極電壓位準。第一階梯PW1 1401使用較低驗證位準VL，同時PW2使用較高驗證位準VH。如美國專利第6,738,289號中所述，第二路徑(PW2 1403)可使用較小步長，但除不同驗證位準以外，該等過程相同。此方法之缺點為每一程式化序列需要兩個路徑：程式化波形須經過全部階梯中之兩者，從而執行1401且隨後以1403開始。

圖13為用於二路徑程式化操作之驗證操作中進行感測之時序圖。首先，預充電字線WL。此後預充電位元線BL。當經預充電之電壓穩定時，第一選通STB將感測記憶體單元之高傳導狀態並對其進行鎖存。將此等高傳導狀態之位元線鎖存至接地以防止其將源極偏壓誤差引入至後續感測。在位元線中之電壓已恢復至穩定狀態之後，於第二選通STB中感測記憶體單元。其後，字線得以放電且準備好用於設置至下一程式化脈衝。當確定SCAN信號時，將已感測資料轉移至資料鎖存器。在二路徑程式化操作中，驗證操作使WL在第一路徑期間設定於VL且隨後在第二路徑期間設定於VH。

若可使用具有程式化脈衝之單一階梯的單一路徑，從而允許分佈經受基於較低驗證VL之初始程式化階段，但一旦達到此初始位準仍能夠減慢過程並使用較高驗證VH來改進分佈，則可更快速地執行寫入。此可經由一使用位元線偏壓在用於程式化波形之單一階梯序列中進行程式化的"快速路徑寫入"而達成。此演算法可達成與二路徑寫入之

效應類似的效應且美國專利第6,643,188號中對其進行了更詳細描述。

圖14展示快速路徑寫入之單路徑程式化波形。除驗證操作係執行於VL位準與VH位準(參見每一程式化脈衝之間的較小二級脈衝)之外，程式化波形QPW 1501類似於二路徑演算法之恰好第一階段。然而，一旦在VL之驗證出現，階梯便繼續。而非重新啟動階梯波形，但在階梯繼續時升高位元線電壓以減緩程式化速率直至單元在VH驗證為止。此允許程式化波形之脈衝單調地不降低以及顯著縮短程式化/驗證循環。

圖15為用於在一路徑QPW程式化操作之驗證操作中進行感測的時序圖。首先，將字線WL預充電至VL。此後預充電位元線BL。當經預充電之電壓穩定時，VL選通STB將感測記憶體單元並對其進行鎖存。當確定第一SCAN信號時，將感測VL資料轉移至資料鎖存器。已在VL成功驗證之彼等單元將使其位元線設定至將減慢程式化之電壓。隨後將字線升高至位準VH。在經預充電之電壓已變得穩定之後，第一VH選通STB將感測記憶體單元且識別記憶體單元之高傳導狀態並對其進行鎖存。將此等高傳導狀態之位元線鎖存至接地以防止其將源極偏壓誤差引入至後續感測。在位元線中之電壓已恢復至穩定狀態之後，於第二VH選通STB中感測記憶體單元。其後，字線得以放電並準備好用於設置至下一程式化脈衝。當確定第二SCAN信號時，將已感測之VH資料轉移至資料鎖存器。

至步驟712中之下一程式化脈衝。

相對於第二臨限值之第二驗證子循環

步驟730： 修改已驗證單元之位元線電壓以減慢程式化。

步驟740： 將字線預充電至第二臨限電壓，將相對於該第二臨限電壓而執行感測。

步驟742： 並列感測該群記憶體單元。

步驟744： 若已相對於第二臨限電壓而成功驗證任何單元，則進行至步驟750，否則進行至步驟712中之下一程式化脈衝。

步驟750： 若已成功驗證該群中需相對於第二臨限值而驗證之所有彼等單元，則進行至步驟760，否則進行至步驟752。

步驟752： 抑制剛剛驗證之單元被程式化且進行至步驟712中之下一程式化脈衝。

步驟760： 關於相對於第二臨限電壓之驗證而進行程式化。

此處之重要特徵為在第一VL驗證子循環結束時，若群中無單元超過VL，則第二VH驗證子循環將為多餘的。無需浪費時間對VH資料進行感測、選通及掃描。因此，只要群中無單元超過VL，便可跳過第二VH驗證子循環，藉此實現一些時間節省。一般而言，記憶體單元分割的位準愈多，對於精確程式化之需求將愈多，且本SQPW驗證機制將更有益。

在一較佳實施例中，本SQPW驗證在VL資料之感測及選通之後使用一位元超過(OBP)掃描操作來偵測超過VL的任何位元。若無位元超過VL，則其將直接轉至下一程式化脈衝。若任何位元超過VL，則其將返回至正常VL掃描且如正常QPW一般進行剩餘操作。在下一驗證脈衝中，將跳過OBP掃描操作。

圖17為在任何位元超過VL之前SQPW驗證的時序圖。可將其視為SPQW驗證之縮短之循環表現，且每當該群單元中無位元已超過VL時，其皆為適用的。其基本上為圖15所示QPW之VL子循環，但具有對任一位元是否超過VL之額外判定或具有(OBP)掃描操作。如用於SCAN信號之OBP波形所示的，OBP掃描操作在VL子循環完結時及在VH子循環開始時發生。其基本上藉由對於並列程式化之該群單元檢查相對於VL之感測結果而偵測任一位元是否超過VL。

用於圖17中所示縮短之循環的序列如下：

- 階段1： 將選定字線WL預充電至VL。
- 階段2： 將位元線BL預充電至適於感測之電壓。
- 階段3： 感測及選通(VL選通)STB。
- 階段4： 將字線WL之電壓自VL改變至VH，在已恢復位元線電壓之後，執行OBP(一位元超過)以判定是否已在VL處驗證任一位元。

若OBP掃描操作判定無位元已超過VL，則在對字線放電及下一程式化脈衝之後發生縮短之循環。若在此縮短之循

環中任何位元超過VL，則循環將擴展以變為亦具有在VH位準之驗證的完全循環。

圖18為剛剛已出現位元超過VL之第一情況的SQPW驗證之時序圖。可將其視為SPQW驗證之擴展之循環表現，且其適用於第一次出現該群單元中之一位元超過VL驗證時。其基本上為VL子循環，其後為OBP掃描操作且隨後進一步以圖15中所示QPW之VH子循環擴展。

用於圖18中所示擴展之循環的序列如下：

階段1至4： 與圖17中所示縮短之循環的階段1至4相同。

階段5： 將已感測之VL資料轉移至資料鎖存器(VL SCAN(VL掃描))。由於開始於階段4中之WL充電需要相對較長之時間，故需要在OBP偵測到任何位元超過VL之後立即對同一驗證序列執行VL SCAN以節省時間。

階段6： 感測及選通(VH第一選通)。在較佳實施例中，此為一用於偵測高電流狀態以使得其可被切斷從而不干擾子序列感測的初步快速感測。

階段7： 允許位元線BL恢復至適當電壓。

階段8： 感測及選通(VH第二選通)。

階段9： 對字線WL放電。

階段10： 將已感測之VH資料轉移至資料鎖存器(VH SCAN(VH掃描))。

圖19為在於恰好在至少一位元已超過VL之後的循環之後的後續循環中之SQPW驗證之時序圖。可將其視為SPQW驗證之正常循環表現且其適用於在該群單元中至少

一位元已超過VL之循環之後的後續驗證循環中。其基本上為具有如圖15中所示之VL子循環與VH子循環的正常快速路徑寫入驗證。

階段1： 將選定字線WL預充電至VL。

階段2： 將位元線BL預充電至適於感測之電壓。

階段3： 感測及選通(VL選通)STB。

階段4： 將字線WL之電壓自VL改變至VH，且將已感測之VL資料轉移至資料鎖存器(VL SCAN)。

階段5： 感測及選通(VH第一選通)。在較佳實施例中，此為一用於偵測實質上低於VH位準之高電流狀態以使得其可被切斷從而不干擾子序列感測的初步快速感測。

階段6： 允許位元線BL恢復至適當電壓。

階段7： 對於已感測之VH資料進行感測及選通(VH第二選通)。

階段8： 對字線WL放電。

階段9： 將已感測之VH資料轉移至資料鎖存器(VH SCAN(VH掃描))。

使用SQPW之A-B-C驗證之實例

較早對於SQWP之描述係指關於給定臨限值準之程式化驗證。若存在待驗證之一個以上臨限值準，則相同之原理基本上為適用的。此可出現在程式化多位準記憶體(諸如由三個臨限值準VA、VB及VC分界之2位元或4狀態記憶體)中。舉例而言，如圖9C中所示使用LM新碼對上頁之程式化將需要關於所有三個臨限值準進行程式化驗證。

在較佳實施例中，可以自較低至較高字線WL電壓之連續感測而連續進行關於三個臨限值準中每一者的驗證操作。程式化驗證最初僅相對於VA，亦即，驗證A。隨著程式化繼續進行，當至少一位元已程式化得超過VA時，程式化驗證將具有驗證A與驗證B。類似地，若至少一位元已程式化得超過VB，則程式化驗證將以驗證A、驗證B及驗證C檢查所有三個臨限值準。類似智慧型驗證機制已揭示於美國專利公開案第2004-0109362-A1號中。此公開案之全部揭示以引用的方式併入本文中。

圖20A為涉及三個臨限值準之SQPW的時序圖且展示僅涉及驗證A之初始程式化階段。在任何位元超過VAL之前，圖17中所示縮短之循環以分別由VAL及VAH替代之VL及VH而適用。在OBP操作之後，一位元超過VAL之第一情況時，隨後序列與圖18中所示擴展之循環相同。其後，圖19之正常循環適用。SQPW所節省之時間將為在縮短之循環有效時，其為已縮短循環之次數(正常循環之持續時間減去已縮短循環之持續時間)及OBP與VL掃描之間的掃描時間差。

圖20B為涉及三個臨限值準之SQPW的時序圖且展示在除驗證A之外開始驗證B時的中間程式化階段。由於在此階段至少一位元已超過VAL，故無需OBP操作來檢查此事件。於VAL及VAH之感測僅遵循如圖19中所示之正常QPW驗證循環。

於VBL之感測最初將可能為如圖17中所示的已縮短循

環。此外，若在OBP之後任何位元超過VBL，則VB驗證類似於圖18中所示擴展之循環。而且，在下一感測循環中，類似於圖19中所示循環的正常循環將重新開始。將以類似於對於VA之方式計算SQPW用於在VB位準進行驗證所節省及浪費的時間。

圖20C為涉及三個臨限位準之SQPW的時序圖且展示在除驗證A及驗證B之外開始驗證C時的最終程式化階段。由於在此階段至少一位元已超過VAL，故無需OBP操作來檢查此事件。此外，若在OBP之後任何位元超過VCL，則VC驗證類似於圖18中所示擴展之循環。而且，在下一感測循環中，類似於圖19中所示之循環的正常循環將重新開始。將以類似於對於在任何位元超過VAL之前僅涉及驗證A之程式化驗證之初始階段的方式計算SQPW用於在VC位準進行驗證所節省及浪費之時間。

雖然已關於某些實施例描述了本發明之各種態樣，但應瞭解，在附加申請專利範圍之完整範疇內給予本發明以保護。

【圖式簡單說明】

圖1A至1E示意性地說明非揮發性記憶體單元之不同實例。

圖2說明記憶體單元之NOR陣列之一實例。

圖3說明記憶體單元之NAND陣列之一實例，諸如圖1D中所示之NAND單元。

圖4說明對於浮動閘極在任一時間可儲存之四個不同電

荷 Q1 至 Q4，源極-汲極電流與控制閘極電壓之間的關係。

圖 5 示意性地說明可由讀取/寫入電路經列及行解碼器而存取之記憶體陣列的典型配置。

圖 6A 示意性地說明具有一組讀取/寫入電路之緊密記憶體裝置，其提供實施本發明之情形。

圖 6B 說明圖 6A 中所示緊密記憶體裝置之較佳配置。

圖 6C 說明若干感測模組至讀取/寫入堆疊之較佳分組。

圖 6D 示意性地說明圖 6C 中所示之讀取/寫入堆疊中之基本組件的總體配置。

圖 7A 說明當每一記憶體單元使用習知格雷碼儲存兩個位元之資料時，4 狀態記憶體陣列的臨限電壓分佈。

圖 7B 說明使用格雷碼以現有、2 路徑程式化機制進行的下頁程式化。

圖 7C 說明使用格雷碼以現有、2 路徑程式化機制進行的上頁程式化。

圖 7D 說明辨別以格雷碼編碼之 4 狀態記憶體之下位元所需的讀取操作。

圖 7E 說明辨別以格雷碼編碼之 4 狀態記憶體之上位元所需的讀取操作。

圖 8A 說明當每一記憶體單元使用 LM 碼儲存兩個位元之資料時，4 狀態記憶體陣列的臨限電壓分佈。

圖 8B 說明使用 LM 碼以現有、2 路徑程式化機制進行的下頁程式化。

圖 8C 說明使用 LM 碼以現有、2 路徑程式化機制進行的上

頁程式化。

圖 8D 說明 辨別 以 LM 碼 編碼 之 4 狀態 記憶體 之下位元 所需的 讀取 操作。

圖 8E 說明 辨別 以 LM 碼 編碼 之 4 狀態 記憶體 之上位元 所需的 讀取 操作。

圖 9A 說明 當 每一 記憶體 單元 使用 LM 新 碼 儲存 兩個 位元 之 資料 時，4 狀態 記憶體 陣列 的 臨限 電壓 分佈。

圖 9B 說明 使用 LM 新 碼 以 現有、2 路徑 程式化 機制 進行的 下頁 程式化。

圖 9C 說明 使用 LM 新 碼 以 現有、2 路徑 程式化 機制 進行的 上頁 程式化。

圖 9D 說明 辨別 以 LM 新 碼 編碼 之 4 狀態 記憶體 之下位元 所需的 讀取 操作。

圖 9E 說明 辨別 以 LM 新 碼 編碼 之 4 狀態 記憶體 之上位元 所需的 讀取 操作。

圖 10 更 詳細 地 示意 性 說明 圖 6A 中 所示 的 適合 於 感測 所述 記憶體 之 感測 模組。

圖 11 展示 具有 給定 已 程式化 記憶 狀態 之 記憶體 單元的 兩個 分佈，其中 較 展開 之 分佈 係 由 在 VL 位 準 處 驗證 之 單路 徑 程式化 而 產生，且 較 緊密 之 分佈 係 由 一 具有 在 VH 位 準 處 驗證 之 第二 路徑 的 二路 徑 程式化 而 產生。

圖 12 展示 二路 徑 程式化 波形 之一 實例。

圖 13 為 用於 二路 徑 程式化 操作 之 驗證 操作 中 進行 感測 的 時序 圖。

圖 14 展示快速路徑寫入之單路徑程式化波形。

圖 15 為用於在一路徑 QPW 程式化操作之驗證操作中進行感測的時序圖。

圖 16 為根據本發明之經改良程式化驗證操作的流程圖。

圖 17 為在任何位元超過 VL 之前的 SQPW 驗證之時序圖。可將其視為 SPQW 驗證之縮短之循環表現且每當該群單元中無位元已超過 VL 時其皆為適用的。

圖 18 為剛已出現一位元超過 VL 之第一情況的 SQPW 驗證之時序圖。

圖 19 為在於恰好在至少一位元已超過 VL 之後的循環之後的後續循環中之 SQPW 驗證的時序圖。

圖 20A 為涉及三個臨限值之 SQPW 的時序圖且展示僅涉及驗證 A 之初始程式化階段。

圖 20B 為涉及三個臨限值之 SQPW 的時序圖且展示在除驗證 A 之外開始驗證 B 時的中間程式化階段。

圖 20C 為涉及三個臨限值之 SQPW 的時序圖且展示在除驗證 A 及驗證 B 之外開始驗證 C 時的最終程式化階段。

【主要元件符號說明】

10	記憶體單元
12	分裂通道
14	源極
16	汲極
20	浮動閘極
20'	浮動閘極

30	控制閘極
30'	控制閘極
34	源極線
36	位元線/引導線
40	選擇閘極
42	字線
50	反及單元/反及鏈
54	源極端子
56	汲極端子
100	記憶體陣列
130	列解碼器
160	行解碼器
170	讀取/寫入電路
212	感測放大器
231	I/O 匯流排
300	記憶體單元之二維陣列
310	控制電路
312	狀態機
314	晶片上位址解碼器
316	功率控制模組
330	列解碼器
330A	列解碼器
330B	列解碼器
350	區塊多工器

350A	區塊多工器
350B	區塊多工器
360	行解碼器
360A	行解碼器
360B	行解碼器
370	讀取/寫入電路
370A	讀取/寫入電路
370B	讀取/寫入電路
411	線
421	堆疊匯流排
430	資料鎖存器
440	I/O 模組
480	感測模組
481	感測節點
482	隔離電晶體
486	下拉電路
488	傳送閘
490	讀取/寫入堆疊
498	頁控制器
499	讀出匯流排
500	共同處理器
520	鎖存器
600	感測放大器
610	位元線電壓鉗制

630	電 晶 體
632	電 晶 體
640	預 充 電 / 箝 制 電 路
647	節 點
650	單 元 電 流 鑑 別 器
651	節 點 SEN
660	鎖 存 器
1301	分 佈
1303	分 佈
1401	第 一 階 梯 PW1
1403	第 二 路 徑 PW2
1501	程 式 化 波 形 QPW
BL	位 元 線
M1	記 憶 電 晶 體
M2	記 憶 電 晶 體
Mn	記 憶 電 晶 體
PW1	程 式 化 波 形
PW2	程 式 化 波 形
Q1	電 荷
Q2	電 荷
Q3	電 荷
Q4	電 荷
S1	源 極 選 擇 電 晶 體
S2	汲 極 選 擇 電 晶 體

T1	記憶電晶體
T2	選擇電晶體
T1 - left	儲存單元
T1 - right	儲存單元
WL	字線

十一、圖式：

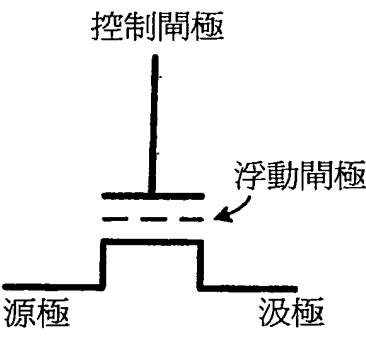


圖 1A (先前技術)

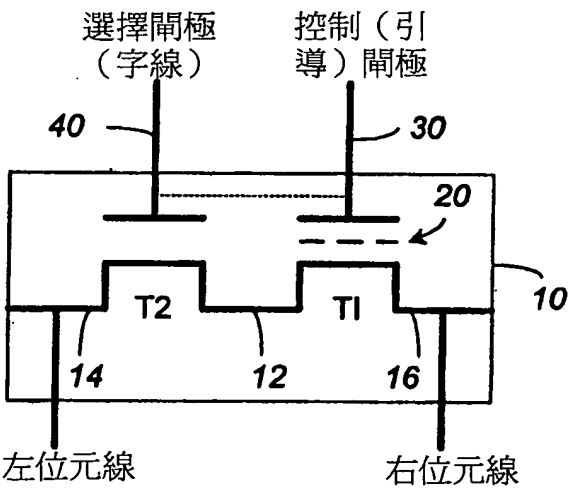


圖 1B (先前技術)

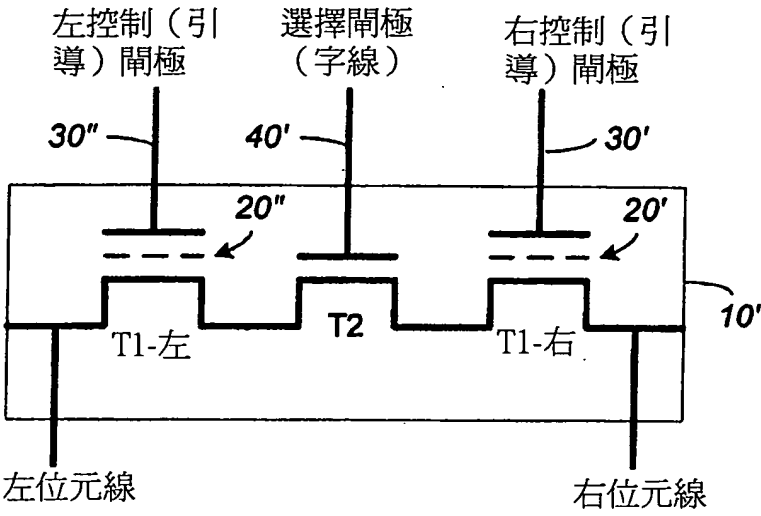


圖 1C (先前技術)

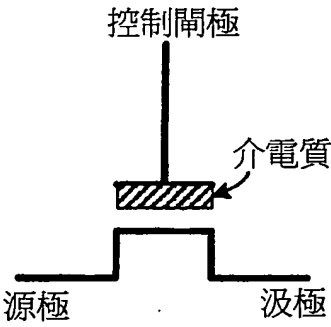


圖 1E (先前技術)

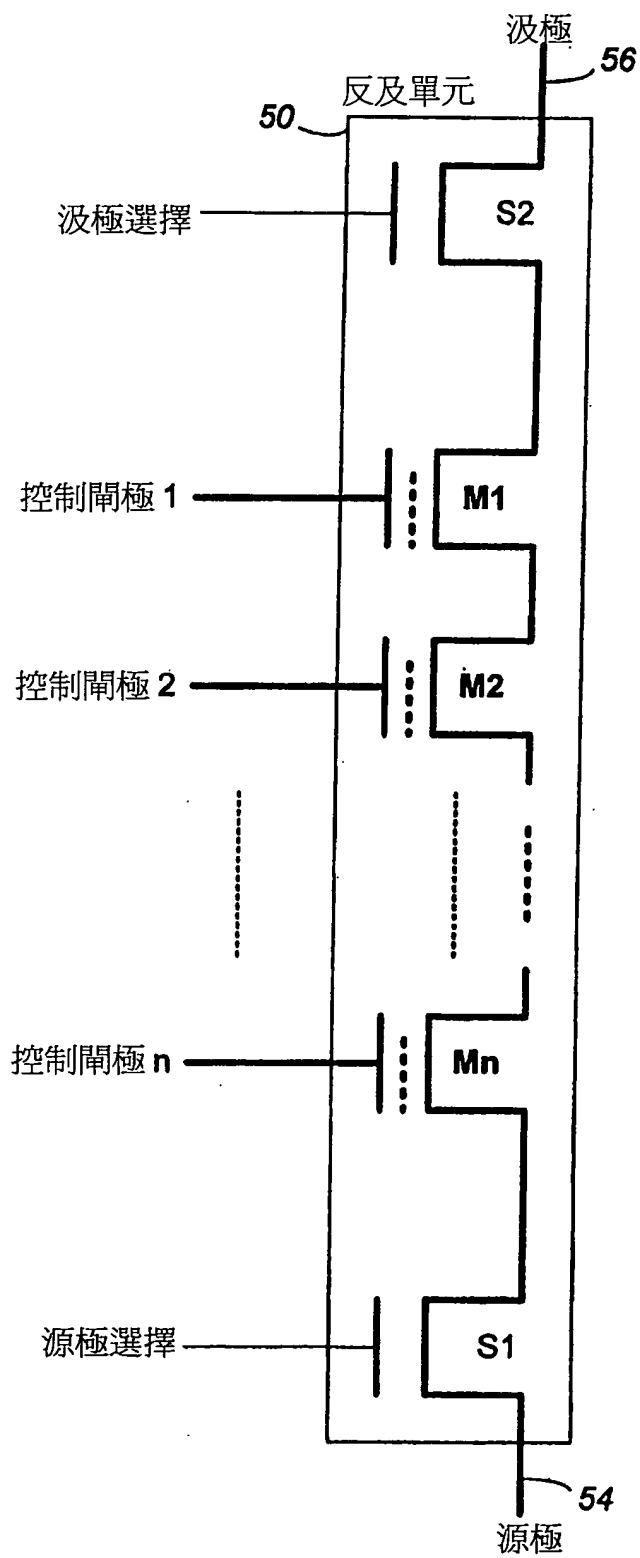


圖 1D (先前技術)

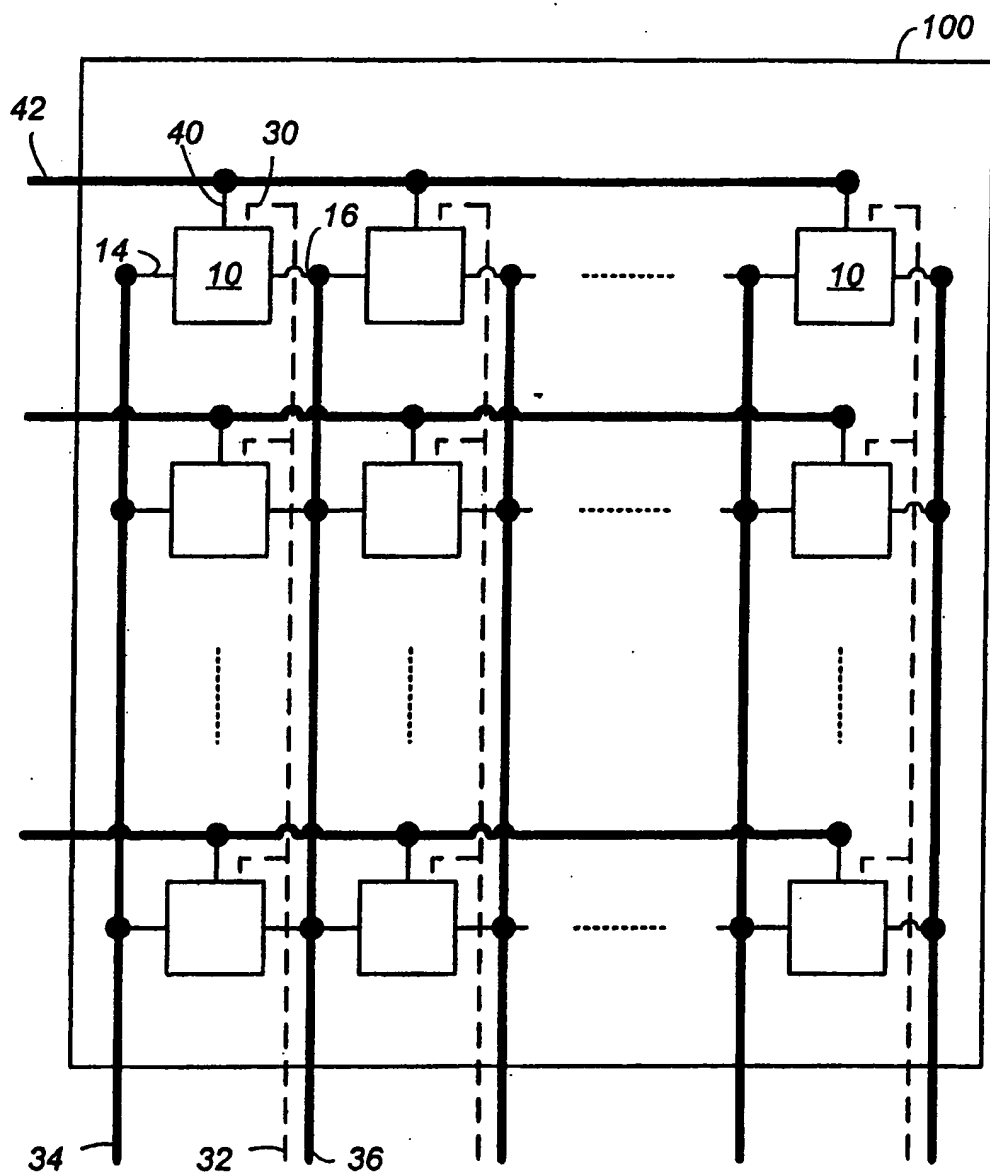


圖 2 (先前技術)



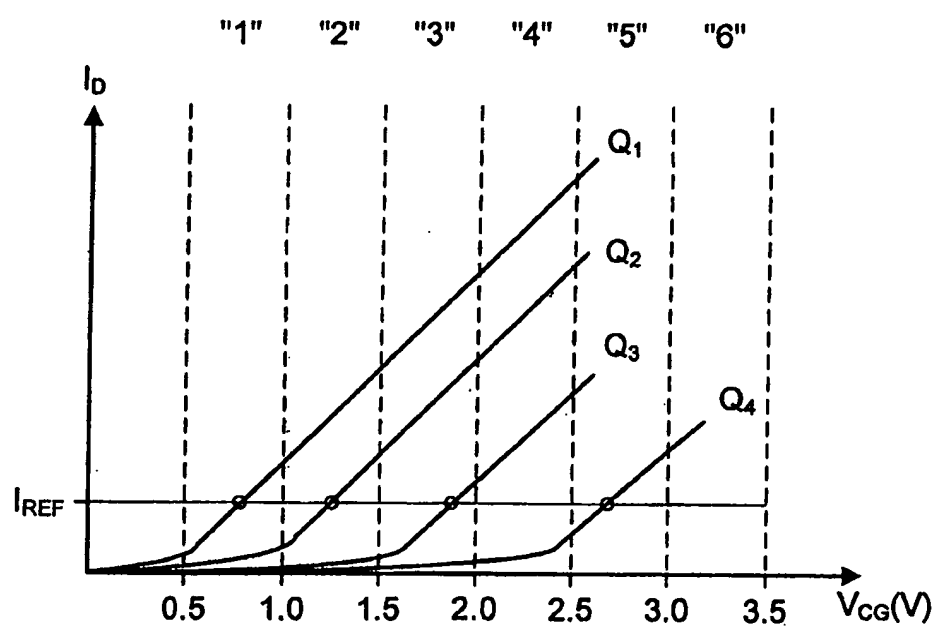


圖 4 (先前技術)

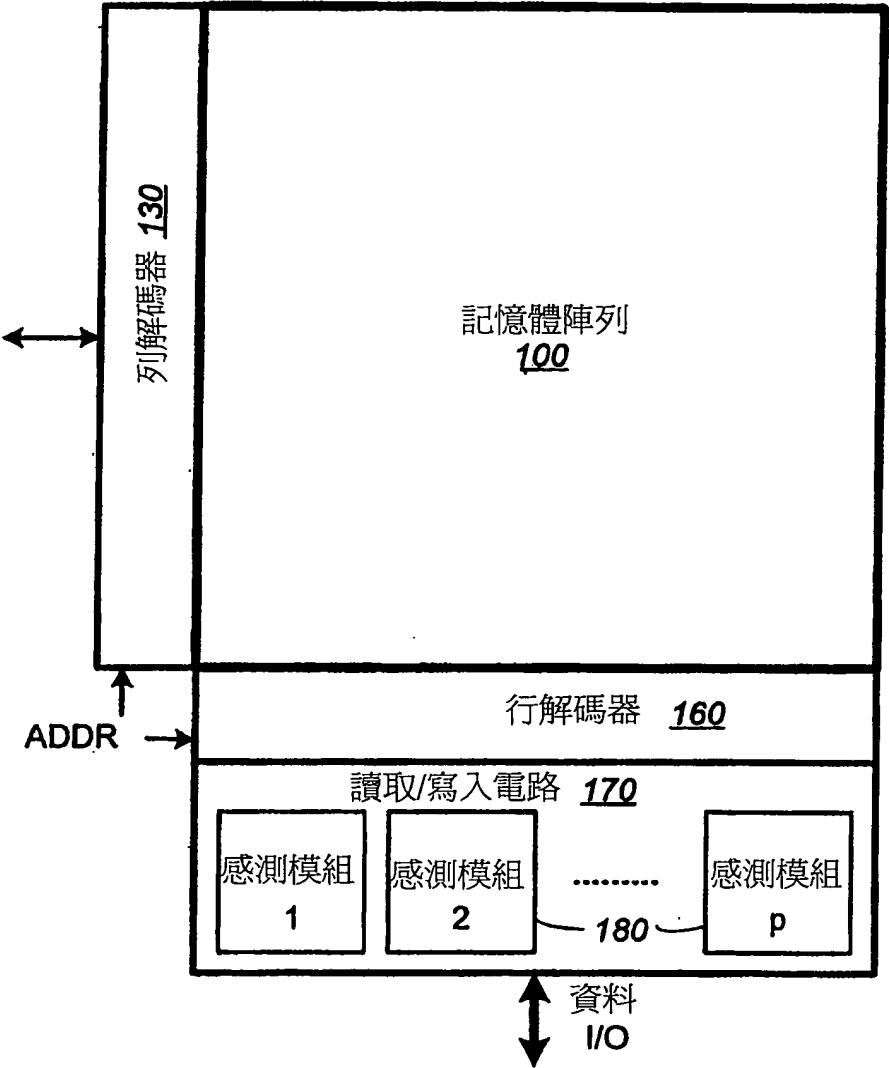
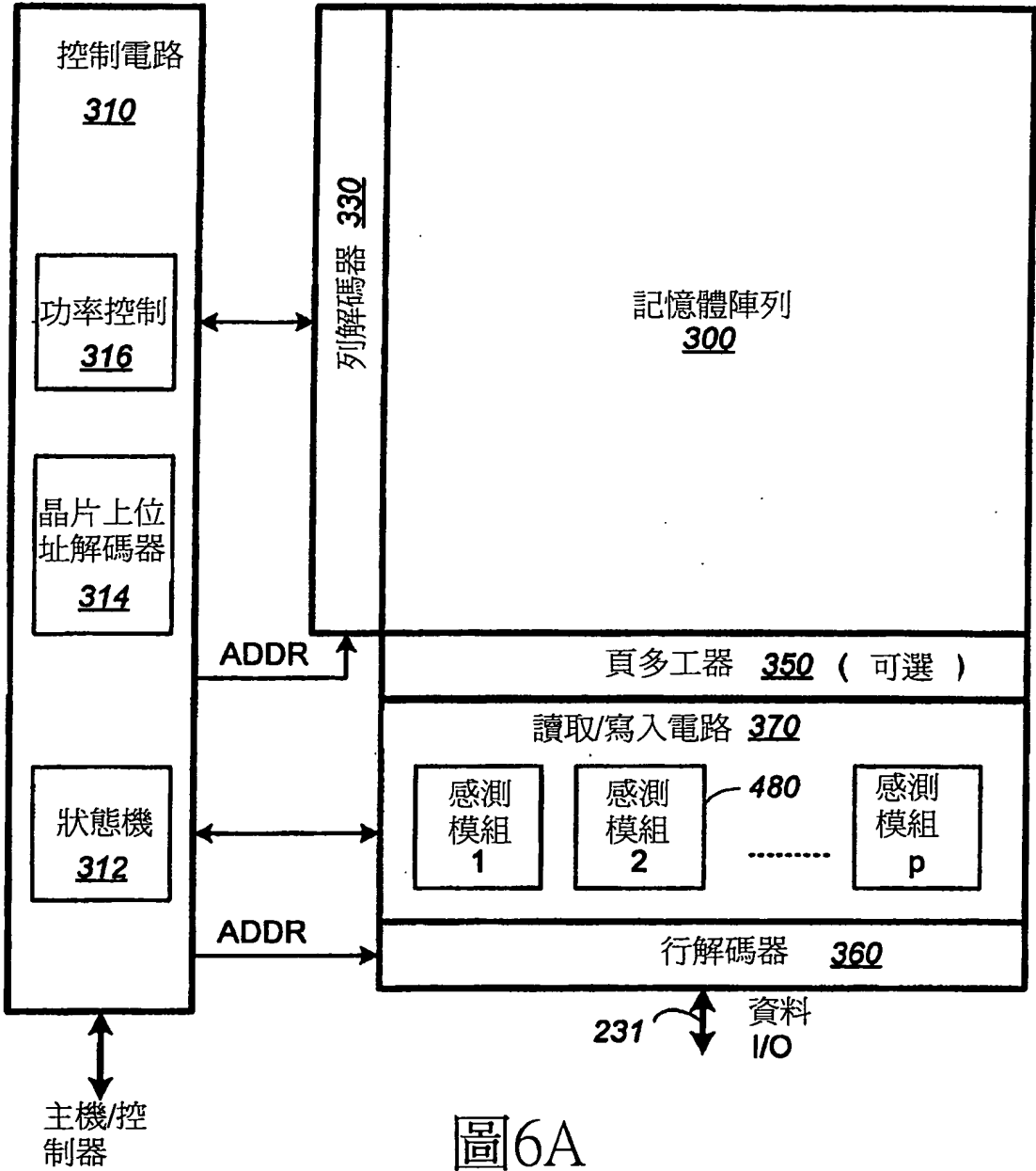


圖 5 (先前技術)



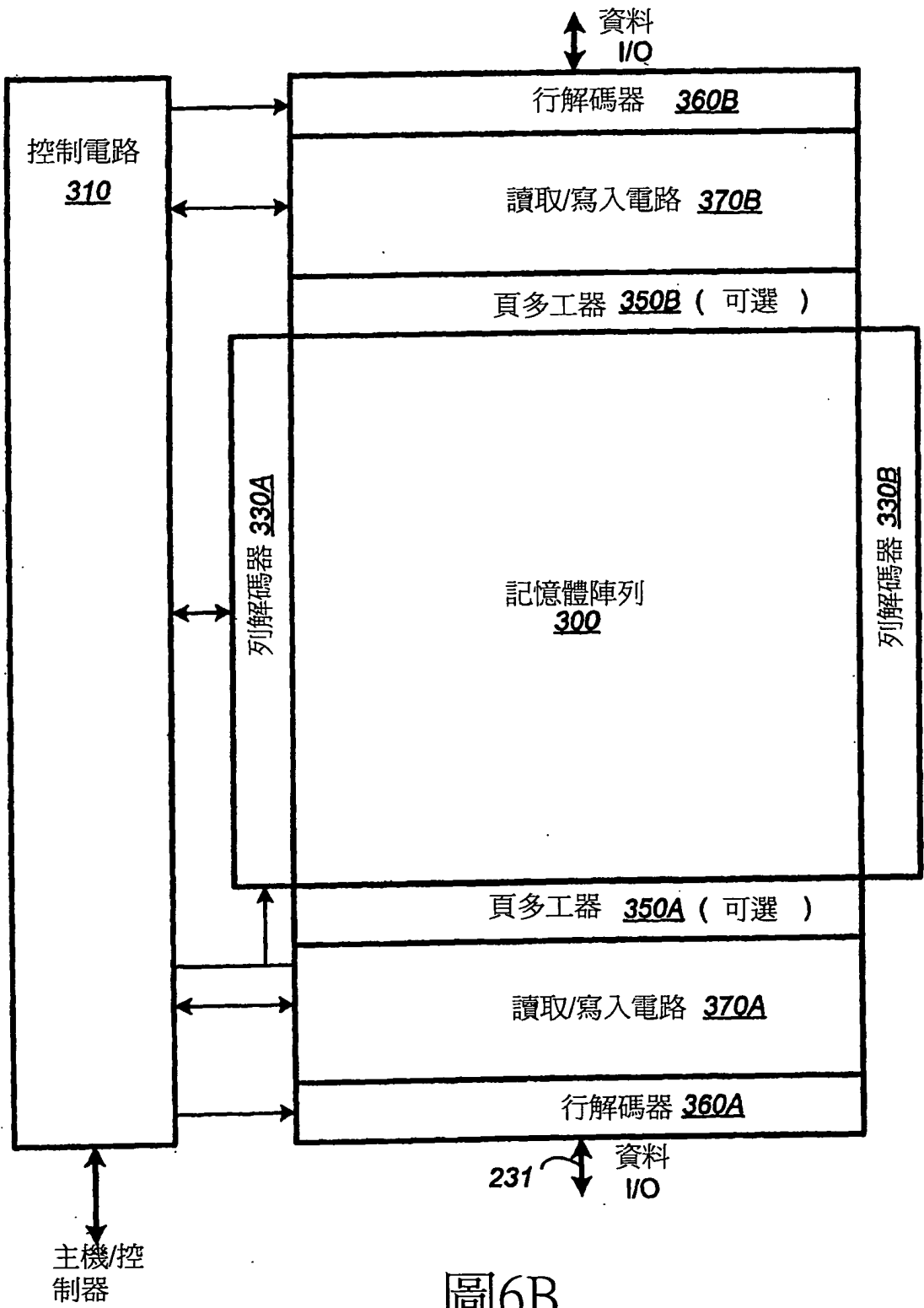


圖6B

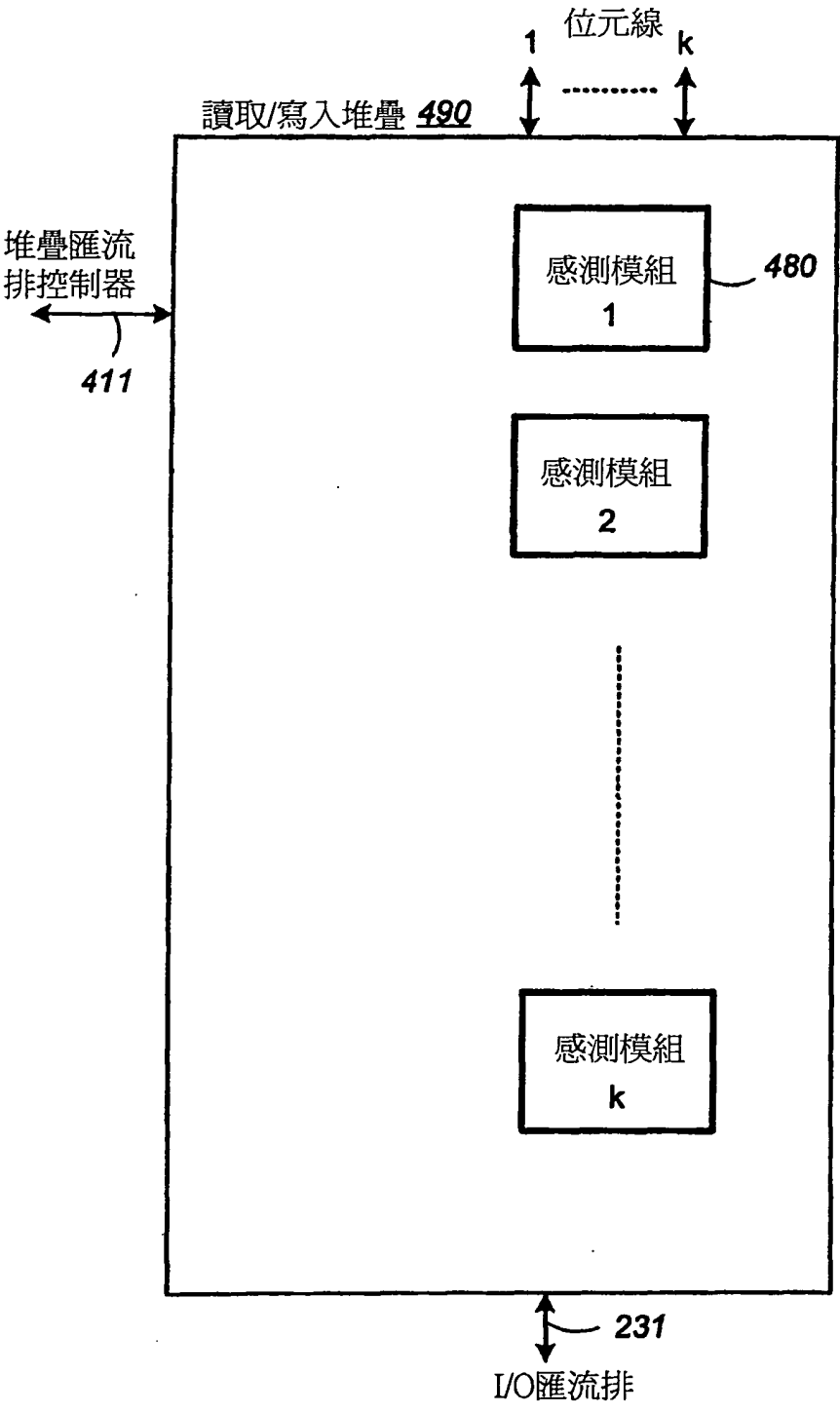


圖6C

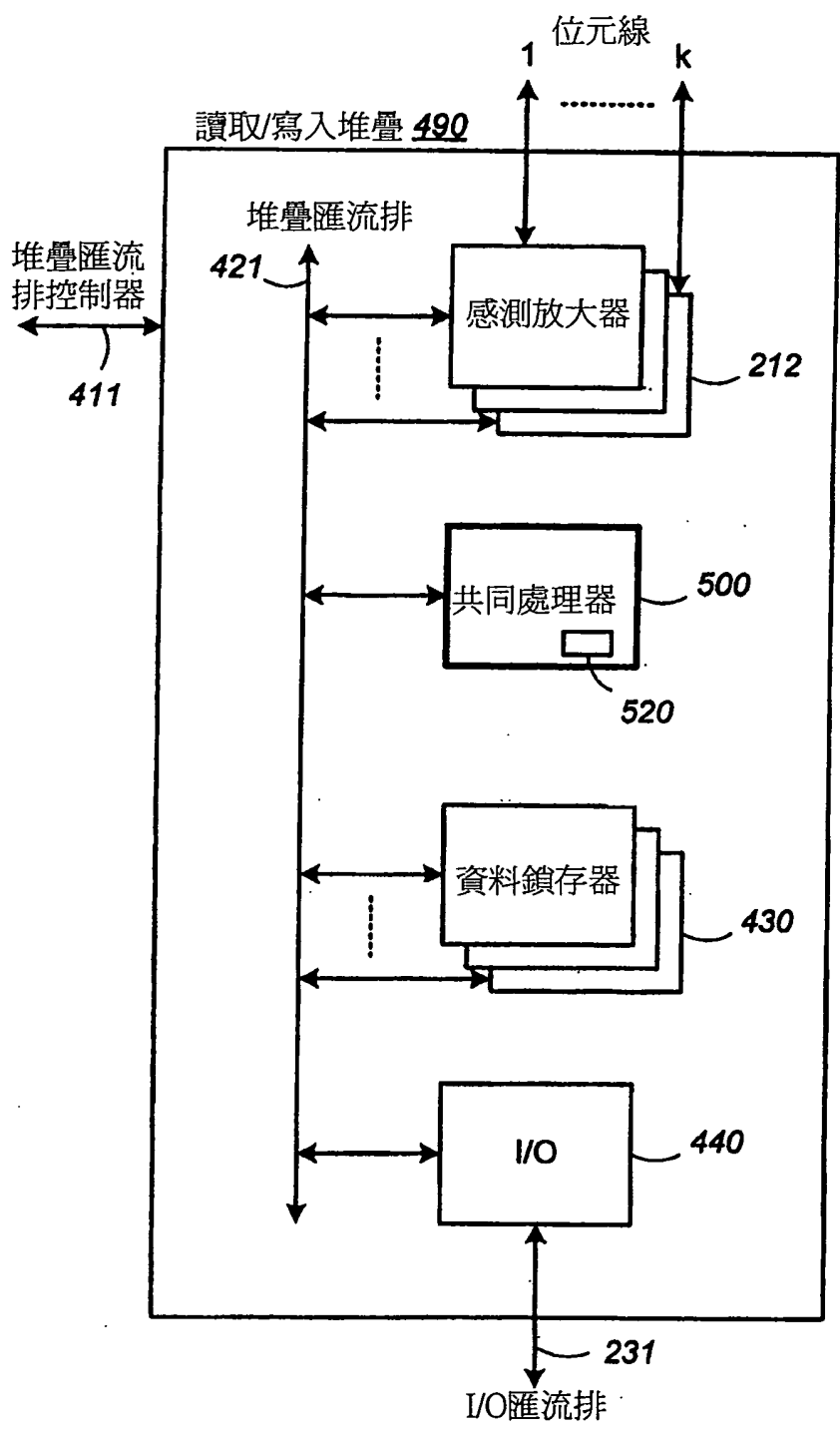


圖6D

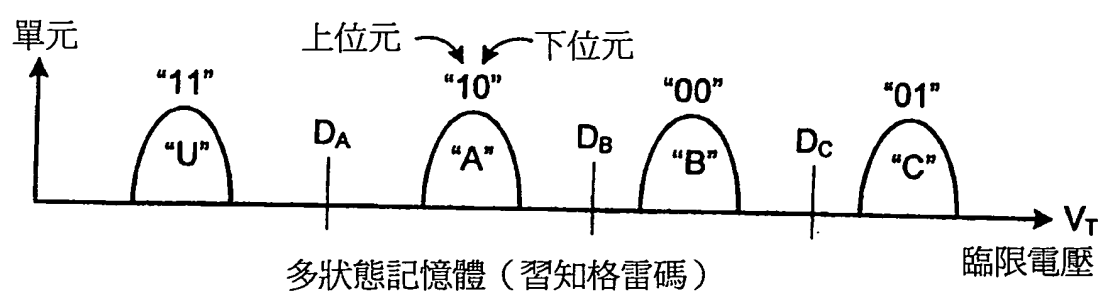


圖7A

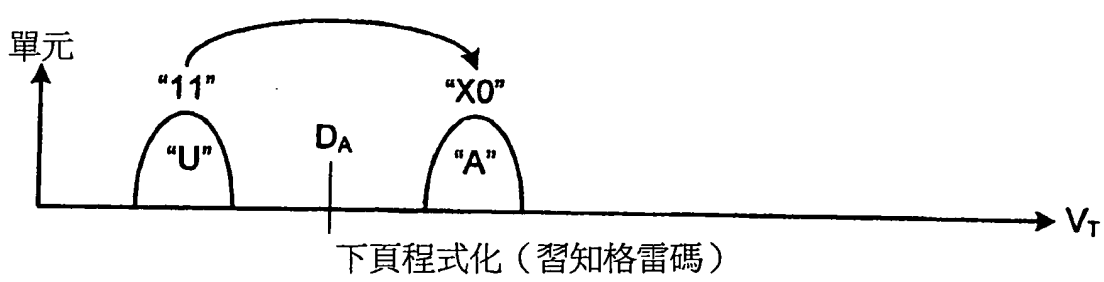


圖7B

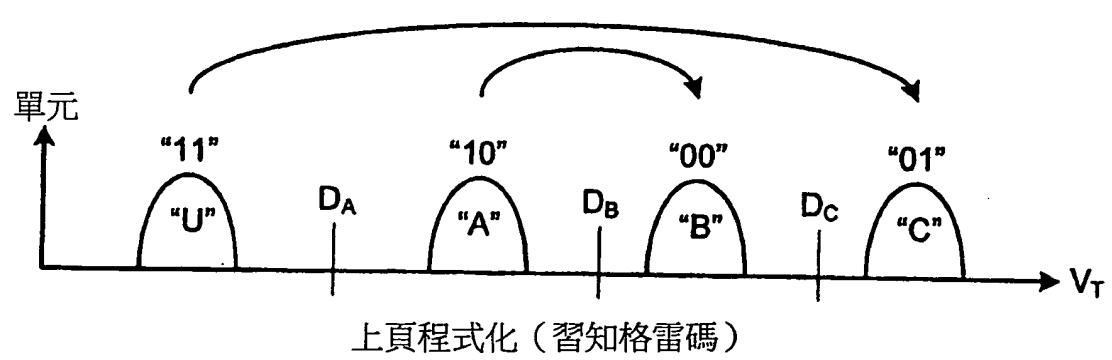


圖7C

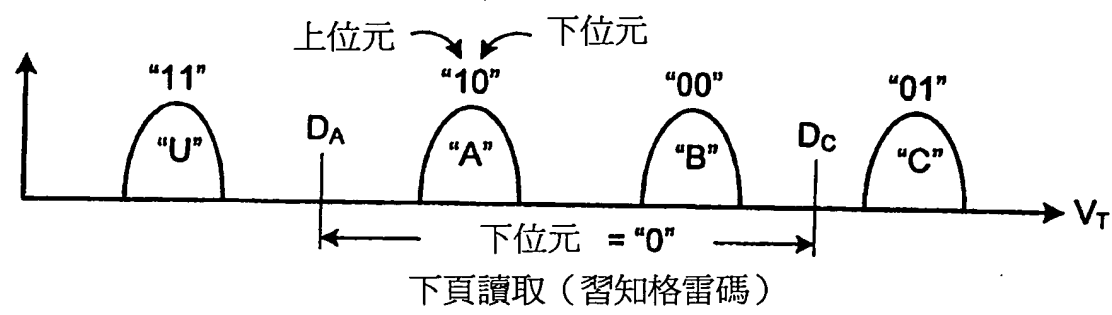


圖7D

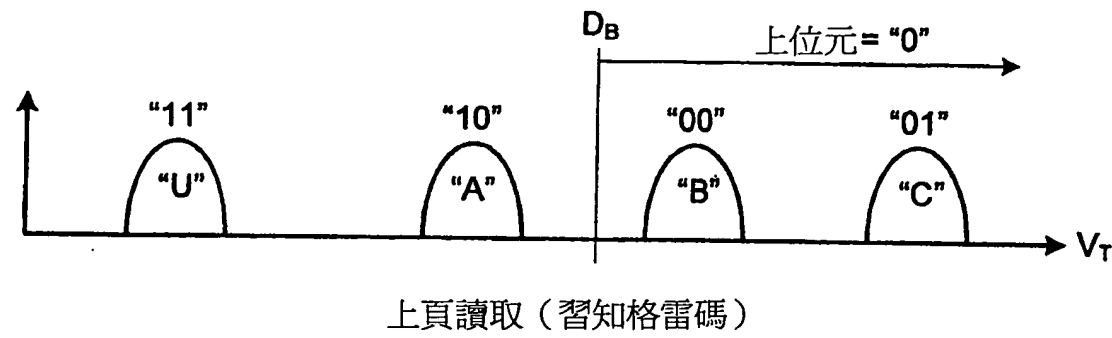


圖7E

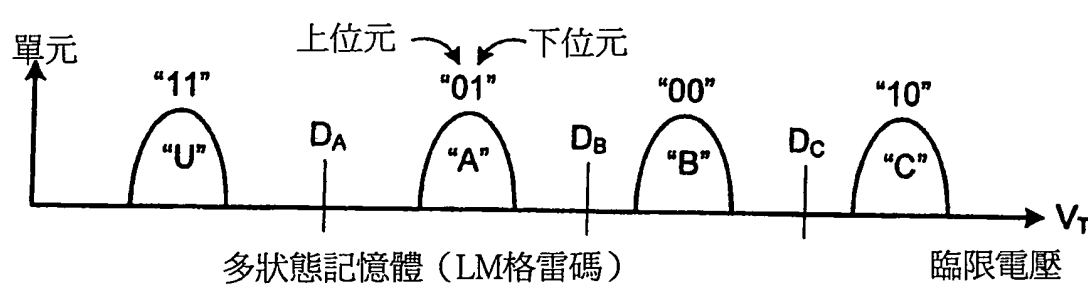


圖8A

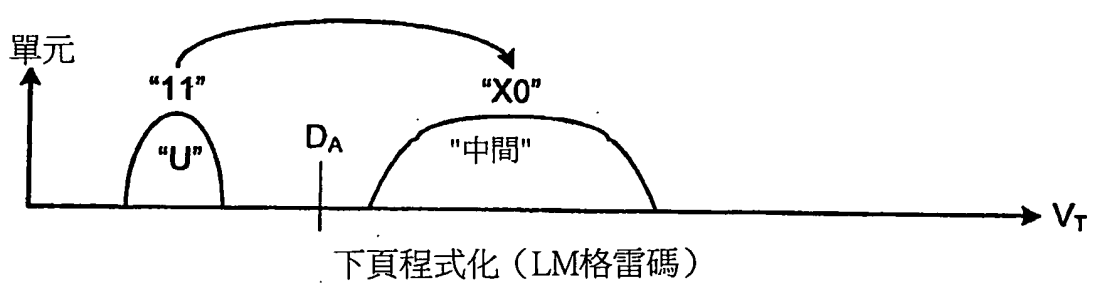


圖8B

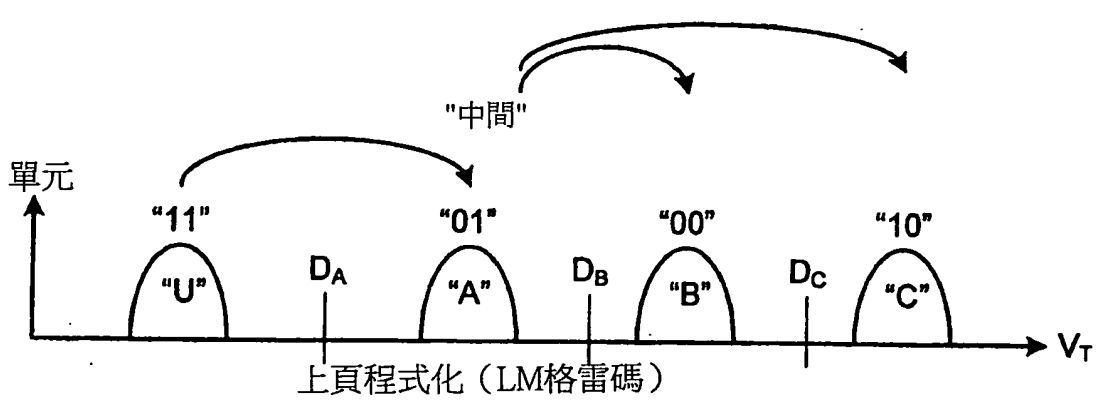


圖8C

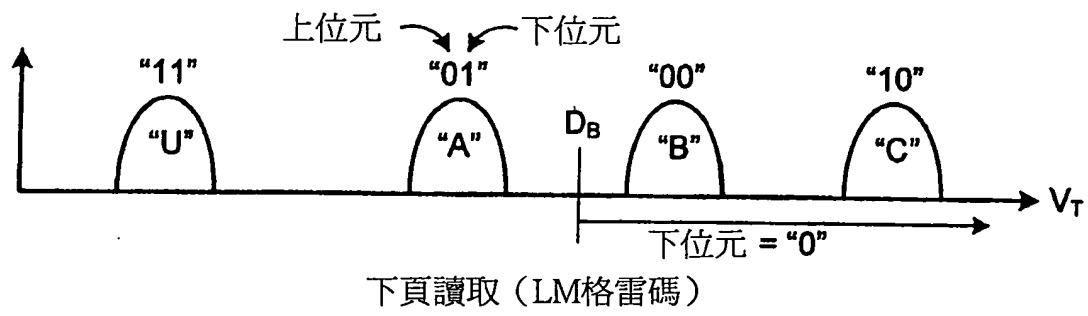


圖8D

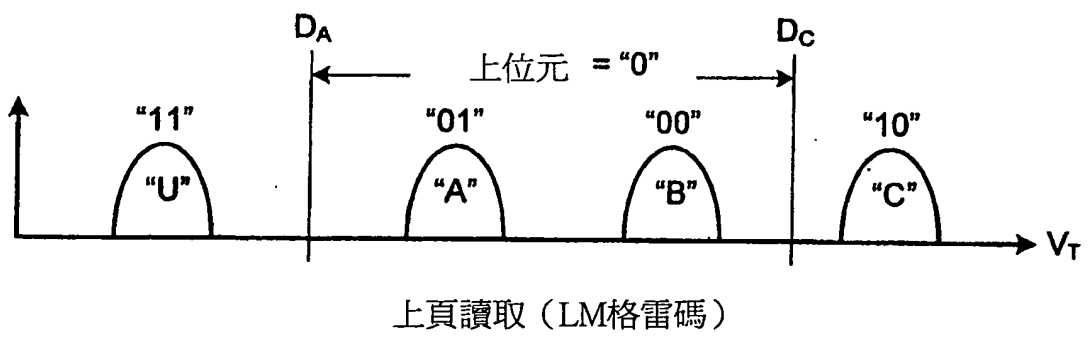


圖8E

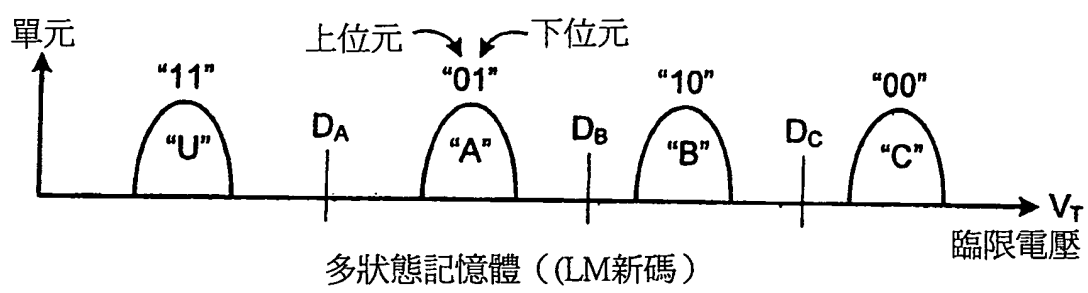


圖9A

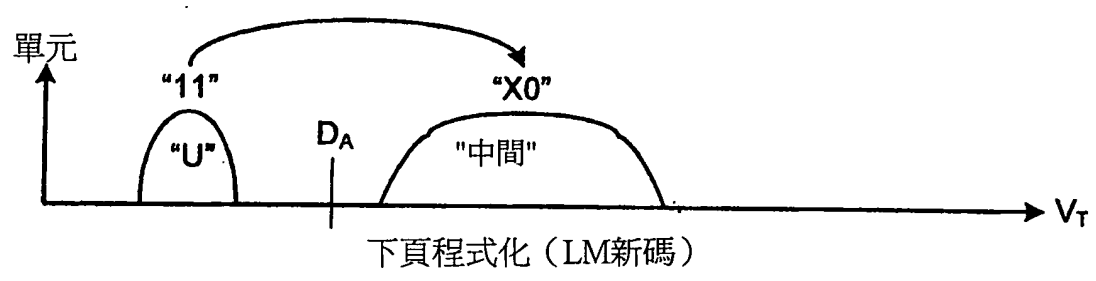


圖9B

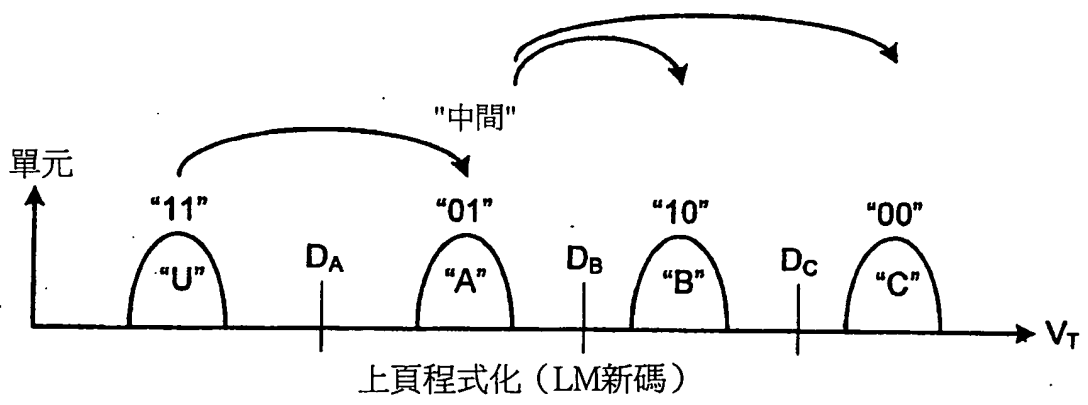


圖9C

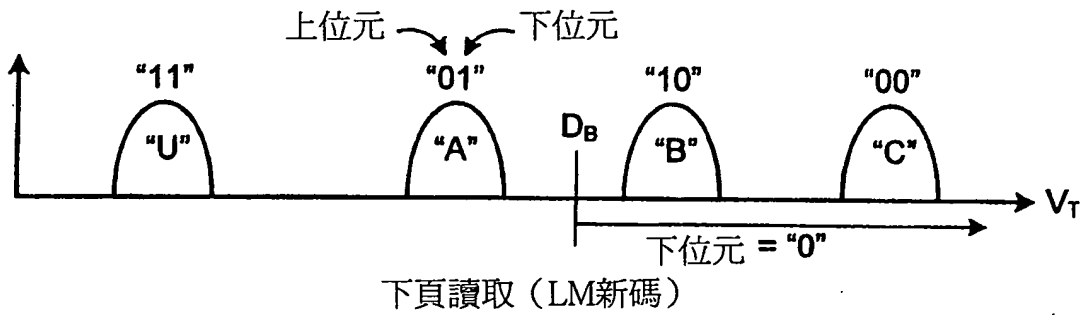


圖9D

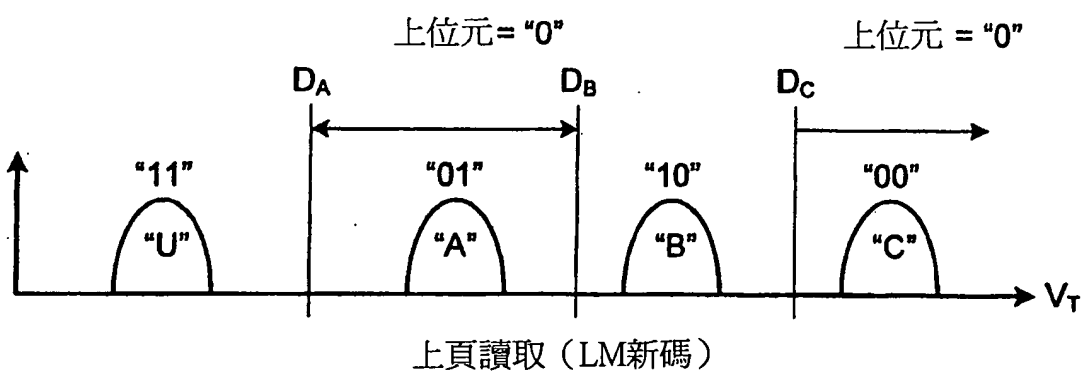


圖9E

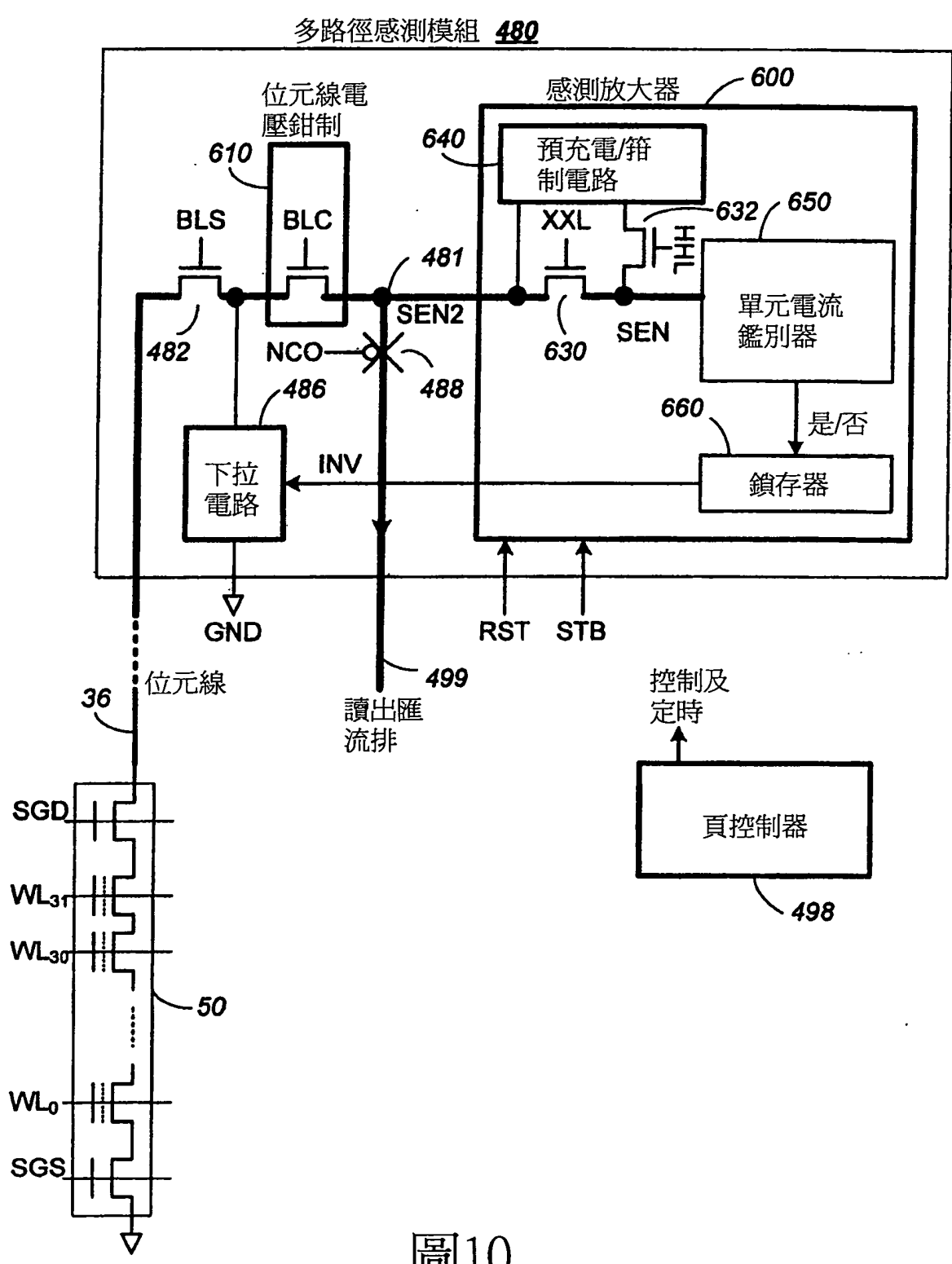


圖10

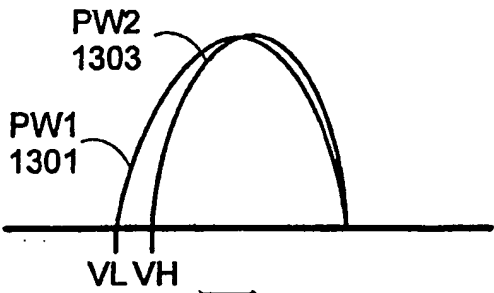
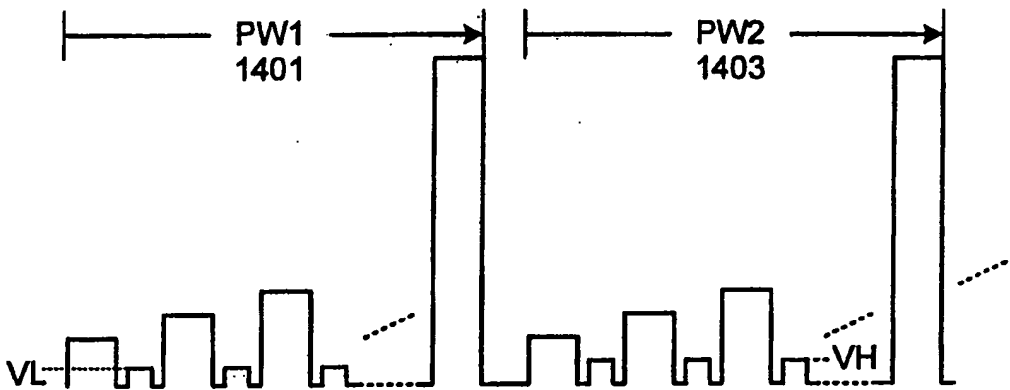
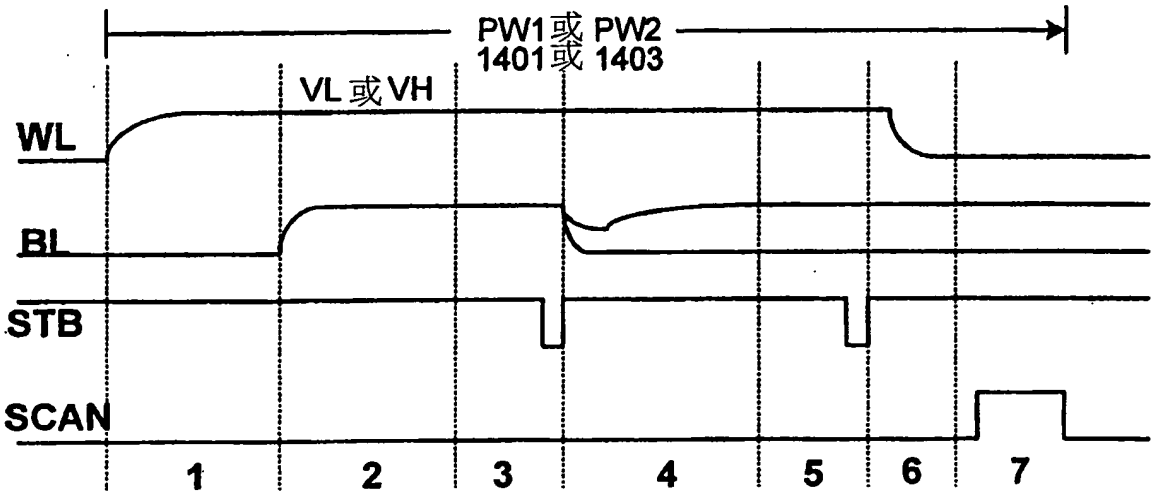


圖11



二路徑程式化

圖12



二路徑程式化

圖13

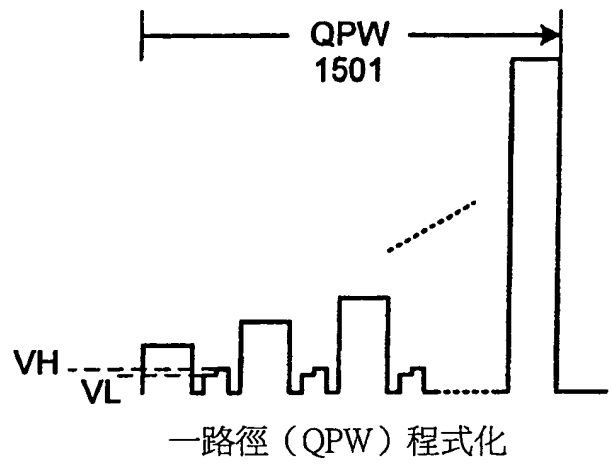
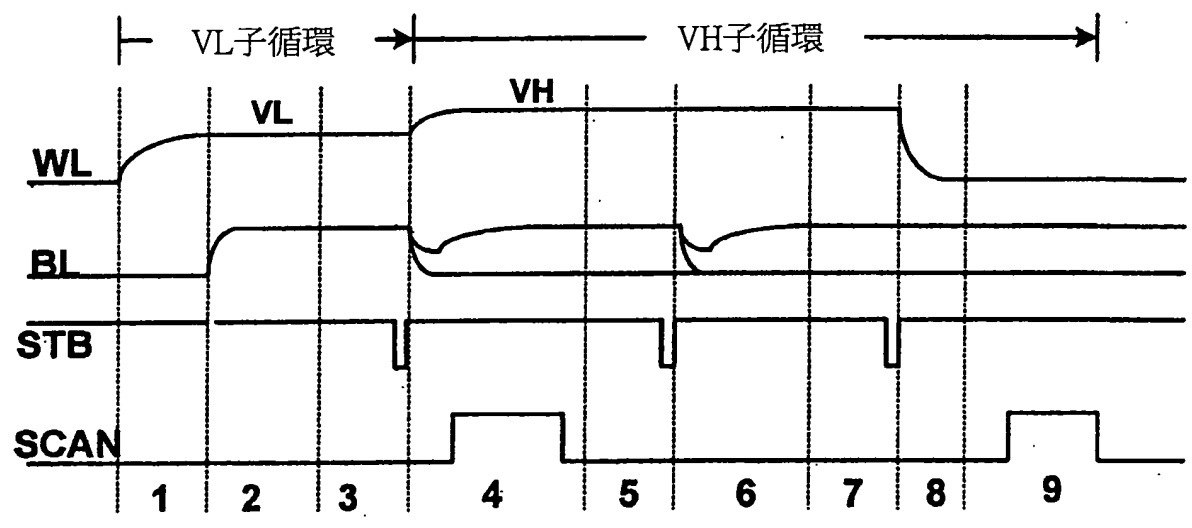


圖14



一路徑 (QPW) 程式化

圖15

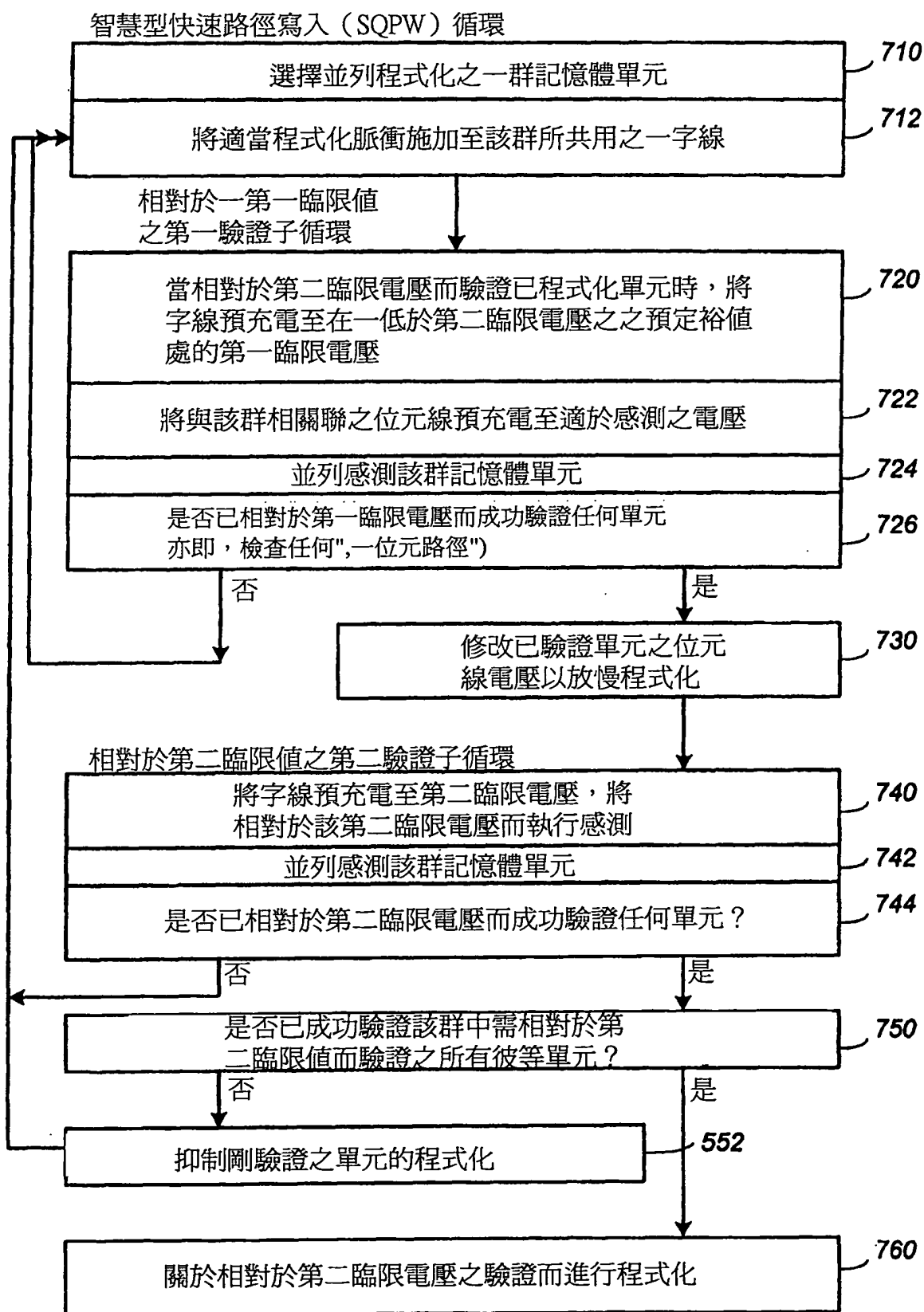
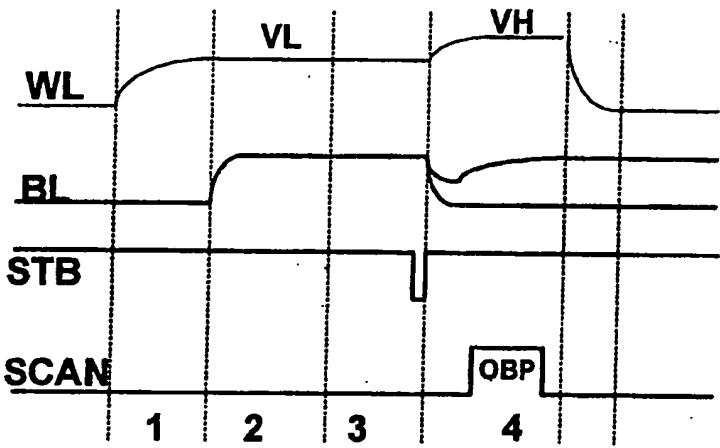
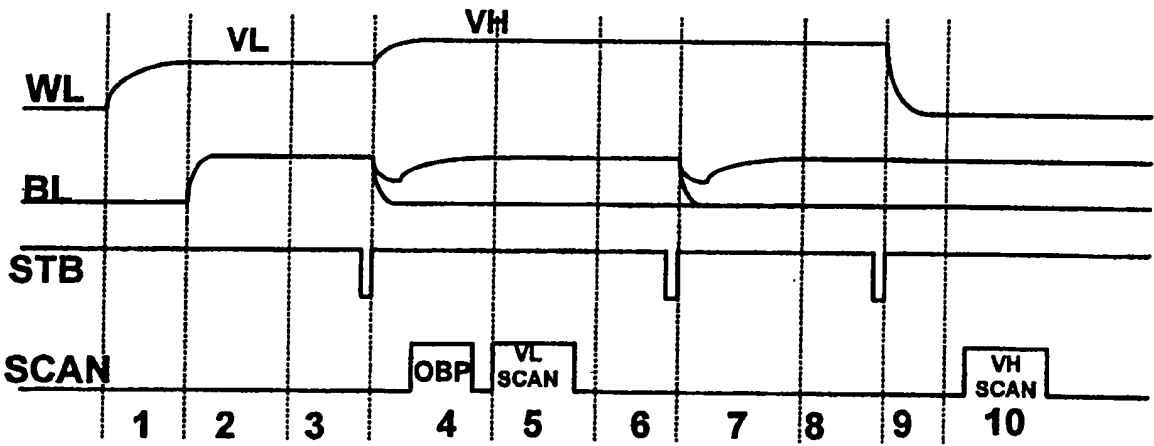


圖16



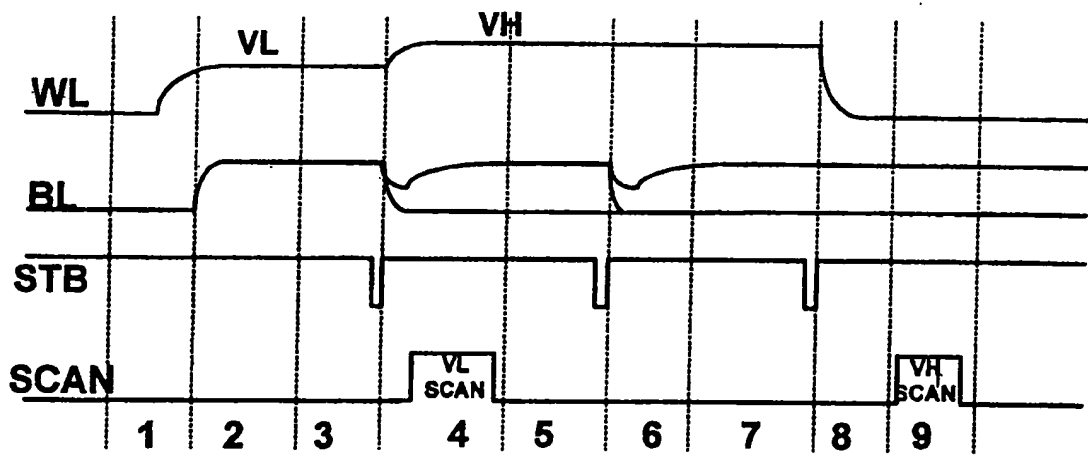
SQPW驗證之縮短之循環

圖17



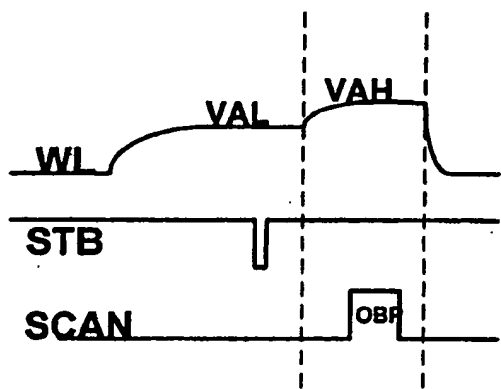
SQPW驗證之擴展之循環

圖18



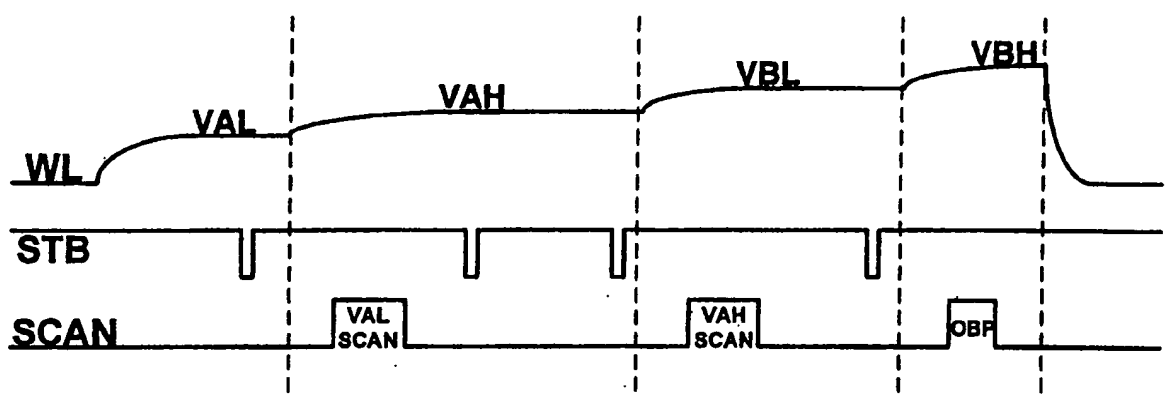
SQPW驗證之正常循環

圖19



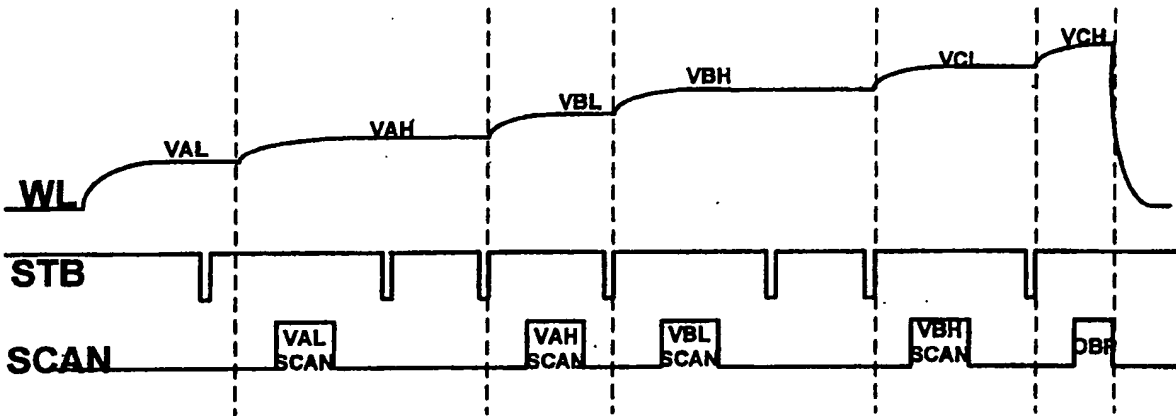
多位準SQPW驗證（僅具有驗證A之初始階段）

圖20A



多位準SQPW驗證（具有驗證A及驗證B之中間階段）

圖20B



多位準SQPW驗證（具有驗證A、驗證B及驗證C之最終階段）

圖20C

七、指定代表圖：

(一)本案指定代表圖為：第(16)圖。

(二)本代表圖之元件符號簡單說明：

(無元件符號說明)

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

得任何鄰近對相連位元線上的電位差獨立於時間。在位元線電壓受箝制的情況下，不可應用感測歸因於位元線電容之放電的習知方法。實情為，感測電路及方法允許藉由注意記憶體單元之傳導電流獨立於位元線對給定電容器放電或充電之速率而判定該記憶體單元的傳導電流。此將允許獨立於記憶體陣列之架構(亦即，獨立於位元線電容)的感測電路。特定言之，其允許在感測期間箝制位元線電壓以避免位元線串擾。

非揮發性記憶體之效能的一重要態樣為程式化速度。程式化操作通常包含施加程式化脈衝接著進行感測以程式化驗證是否已將記憶體單元程式化至預期狀態的交替循環。

因此，普遍需要具有改良之效能的高效能及高容量非揮發性記憶體。詳言之，需要改良程式化效能，其包含改良程式驗證化操作。

【發明內容】

根據本發明，視程式化驗證操作期間所感測之記憶體單元的狀態，將該驗證操作之一部分視為多餘的且跳過該部分以節省時間。在一較佳實施例中，在對經並列程式化之一群記憶體單元且涉及相對於一用於在兩個記憶狀態之間進行分界的給定臨限位準而驗證的程式化驗證操作中，該驗證操作包含一連串兩個驗證子循環：第一子循環，其相對於在低於給定臨限位準之預定邊限處的第一臨限位準而執行驗證；及第二子循環，其相對於與給定臨限位準相同之第二臨限位準而執行驗證。然而，不同於習知狀

智慧型快速路徑寫入("SQPW")

當前快速路徑寫入(QPW)驗證機制將兩個分離之個別VL及VH驗證組合為一驗證序列。在此機制中，WL在同一驗證序列內自VL改變至VH而無需再次放電及充電，藉此與關於圖12及圖13所述之2路徑程式化機制相比節省了時間。然而，如自圖15可看出，每一驗證循環總是包含VL子循環及VH子循環。

根據本發明，視在程式化驗證操作期間所感測之記憶體單元的狀態，將該驗證操作之一部分視為多餘的且跳過該部分以節省時間。在一較佳實施例中，在對並列程式化之一群記憶體單元並涉及相對於一用於在兩個記憶狀態之間進行分界之給定臨限值而驗證的程式化驗證操作中，該驗證操作包含兩個驗證子循環之一序列：第一子循環，其相對於一在低於給定臨限值之預定邊限處的第一臨限值而執行驗證；及第二子循環，其相對於一與該給定臨限值相同之第二臨限值而執行驗證。然而，不同於習知狀況，並不執行第二子循環直至已將該群中任一記憶體單元驗證為超過第一臨限值為止。

在一較佳實施例中，於第一子循環結束時執行一被稱為"一位元超過"("OBP")之操作，從而為該事件檢查是否已將該群中任一記憶體單元程式化得超過第一臨限值。在彼事件中，如在後續驗證循環中可附加第二子循環。而且，在後續驗證循環中，並不執行OBP操作。參看圖6D，服務待並列操作之頁之記憶體單元的讀取/寫入堆疊490中

每一者將使感測放大器212中的已感測資料連續累積於鎖存器520中。當已程式化之狀態具有一低於第一臨限值之臨限值時，其處於邏輯"0"。當已感測狀態中任一者超過第一臨限值時，其處於邏輯"1"。因此OBP操作僅須在轉移結束時進行檢查以查看鎖存器是否具有值"0"。若處於"0"，則驗證循環繼續進行以跳過第二子循環。一旦偵測到非"0"，便附加第二子循環，且在後續驗證循環中，不再執行OBP操作。

圖16為根據本發明之經改良程式化驗證操作的流程圖。

步驟710： 選擇用於並列程式化之一群記憶體單元。

程式化循環

步驟712： 將一適當程式化脈衝施加至該群所共用之一字線。

相對於第一臨限值之第一驗證子循環

步驟720： 當相對於第二臨限電壓驗證已程式化單元時，將字線預充電至在低於第二臨限電壓之預定邊限處的第一臨限電壓。

步驟722： 將與該群相關聯之位元線預充電至適於感測之電壓。

步驟724： 並列感測該群記憶體單元。

步驟726： 若已相對於第一臨限電壓而成功驗證任何單元(亦即，檢查任何"一位元超過")，則進行至步驟730中之第二驗證子循環，否則跳過第二子循環並進行

五、中文發明摘要：

在涉及交替地施加一程式化脈衝及驗證程式化之對一非揮發性記憶體之該程式化中，於程式化驗證部分中，當視記憶體單元之狀態而將該驗證操作之一部分視為多餘的且跳過該部分時，節省了時間。較佳地，在一相對於一用於在兩個記憶狀態之間進行分界之分界臨限值準的程式化驗證操作中，該驗證操作包含兩個驗證子循環之一序列：第一子循環，其相對於一在低於該分界臨限值準之預定邊限處的第一臨限值準而執行一驗證；及第二子循環，其相對於一與該分界臨限值準相同之第二臨限值準而執行一驗證。不同於習知狀況，並不執行第二子循環直至已驗證該群中任一記憶體單元超過第一臨限值為止。

六、英文發明摘要：

十、申請專利範圍：

1. 一種相對於一分界臨限電壓而並列程式化一群記憶體單元之方法，其包括：

(a)將一程式化脈衝施加至該群記憶體單元；

(b)相對於一在一低於一分界臨限電壓之邊限之預定邊限處之第一參考臨限電壓而驗證該群記憶體單元；

(c)重複(a)至(b)直至已相對於該第一參考臨限電壓而驗證該群記憶體單元中之一第一記憶體單元為止；

(d)修改一已關於該第一參考臨限電壓而被驗證之該第一記憶體單元的一程式化設置以減慢該第一記憶體單元之後續程式化的速度；

(e)將一程式化脈衝施加至該群記憶體單元；

(f)相對於該第一參考臨限電壓而驗證該群記憶體單元；

(g)修改已關於該第一參考臨限電壓而被驗證之另一記憶體單元的程式化設置以減慢該另一記憶體單元之後續程式化的速度；

(h)相對於該分界臨限電壓而驗證該群記憶體單元；

(i)抑制一已相對於該分界臨限電壓而被驗證之該群記憶體單元中任一者的進一步程式化；及

(j)重複(e)至(i)直至已相對於該分界臨限電壓而程式化驗證該群記憶體單元中所有記憶體單元為止。

2. 如請求項1之方法，其進一步包括：

藉由相關聯之位元線而存取該群記憶體單元；且其中

該修改一程式化設置之步驟包含升高已關於該第一參考臨限電壓而被驗證之該第一記憶體單元或另一記憶體單元之該位元線上之一電壓以減緩該程式化之速度。

3. 如請求項1之方法，其進一步包括：

藉由相關聯之位元線而存取該群記憶體單元；

提供一電源電壓；且其中

該抑制以相關於該分界臨限電壓而被驗證之該記憶體單元群中任一者的進一步程式化之步驟包含將與該記憶體單元相關聯之該等位元線實質上升高至該電源電壓，同時未受抑制的多個單元使其位元線在實質上為零之電壓。

4. 如請求項1之方法，其中該程式化脈衝以每一脈衝單調地增加。

5. 如請求項1之方法，其中該群記憶體單元為一快閃EEPROM之一部分。

6. 如請求項1之方法，其中該群記憶體單元係體現於一記憶卡中。

7. 一種相對於一分界臨限電壓而並列程式化一群記憶體單元之方法，其包括：

對於並列之該群記憶體單元，交替地施加一程式化脈衝及驗證程式化結果；

該驗證進一步包括：

一第一驗證，其係相對於一在一低於該分界臨限電壓之邊限之一預定邊限處的第一參考臨限電壓；

減緩已相對於該第一參考臨限電壓而驗證之該群記

記憶體單元中一記憶體單元的程式化速度；

一第二驗證，其係相對於該分界臨限電壓；及

抑制已相對於該分界臨限電壓而被驗證之該記憶體單元的進一步程式化；且其中：

不執行該第二驗證直至已相對於該第一參考臨限電壓而驗證該群記憶體單元中的至少一第一者為止。

8. 如請求項7之方法，其進一步包括：

藉由相關聯之位元線而存取該群記憶體單元；且其中

該修改一程式化設置包含升高已關於該第一參考臨限電壓而被驗證之該記憶體單元之該位元線上的一電壓以減緩該程式化之速度。

9. 如請求項7之方法，其進一步包括：

藉由相關聯之位元線而存取該群記憶體單元；

提供一電源電壓；且其中

該抑制該記憶體單元的進一步程式化之步驟包含將與該記憶體單元相關聯之該等位元線實質上升高至該電源電壓，同時將該群記憶體單元中未受抑制的記憶體單元使其位元線在實質上為零之電壓。

10. 如請求項7之方法，其中該程式化脈衝正以每一脈衝單調地增加。

11. 如請求項7之方法，其中該群記憶體單元為一快閃EEPROM之一部分。

12. 如請求項7之方法，其中該群記憶體單元係體現於一記憶卡中。

13. 如請求項1至12中任一項之方法，其中該群記憶體單元中之個別記憶體單元各自可程式化至兩個狀態中之一者且該分界臨限電壓用於對該兩個狀態進行分界。
14. 如請求項1至12中任一項之方法，其中該群記憶體單元中之個別記憶體單元各自可程式化至兩個以上狀態中之一者，且該分界臨限電壓為用於對該兩個以上狀態進行分界之多個分界臨限電壓中的一者。
15. 如請求項14之方法，其進一步包括相對於該多個分界臨限電壓中每一者而重複該等步驟。
16. 一種非揮發性記憶體，其包括：

待相對於一分界臨限電壓而程式化之一群記憶體單元；

一程式化電路，其用於將一程式化脈衝施加至該群記憶體單元；

一具有一第一組態之感測電路，其相對於一在一低於該分界臨限電壓之邊限之一預定邊限處的第一參考臨限電壓而驗證該群記憶體單元；

一記憶體控制器；

該控制器交替地控制該程式化電路及具有該第一組態之該感測電路的操作直至已相對於該第一參考臨限電壓而驗證該群記憶體單元中之一者為止；

一程式化延遲電路，其用於減慢一已相對於該第一參考臨限電壓而被驗證之該群記憶體單元中任一記憶體單元的後續程式化的速度；

一程式化抑制電路，其用於抑制一已相對於該分界臨限電壓而被驗證之該群記憶體單元中任一記憶體單元的進一步程式化；且

該控制器交替地控制該程式化電路之該操作及該感測電路之該操作以相對於該第一參考臨限電壓而驗證該群中的該等單元，接著相對於該分界臨限電壓而進行驗證，直至已相對於該分界臨限電壓而程式化驗證該群記憶體單元中之所有記憶體單元為止。

17. 如請求項16之非揮發性記憶體，其進一步包括：

藉由相關聯之位元線而存取該群記憶體單元；且其中該修改一程式化設置之步驟包含升高已關於該第一參考臨限電壓而被驗證之該任一記憶體單元之該位元線上的一電壓以減緩該程式化之速度。

18. 如請求項16之非揮發性記憶體，其進一步包括：

藉由相關聯之位元線而存取該群記憶體單元；且其中該程式化抑制電路包含升高與受抑制之該記憶體單元相關聯的該位元線，以將其實質上升高至一電源電壓，同時未受抑制的多個單元使其位元線在實質上為零之電壓。

19. 如請求項16之非揮發性記憶體，其中該程式化脈衝正以每一脈衝單調地增加。

20. 如請求項16之非揮發性記憶體，其中該群記憶體單元為一快閃EEPROM之一部分。

21. 如請求項16之非揮發性記憶體，其中該群記憶體單元係

體現於一記憶卡中。

22. 如請求項16至21中任一項之非揮發性記憶體，其中該群記憶體單元中之個別記憶體單元各自可程式化至兩個狀態中之一者且該分界臨限電壓用於對該兩個狀態進行分界。

23. 如請求項16至21中任一項之非揮發性記憶體，其中個別記憶體單元各自可程式化至兩個以上狀態中之一者，且該分界臨限電壓為用於對該兩個以上狀態進行分界之多個分界臨限電壓中的一者。

24. 一種非揮發性記憶體，其包括：

待相對於一分界臨限電壓而程式化之一群記憶體單元；

一程式化電路，其用於將一程式化脈衝施加至該群記憶體單元；

一具有一第一組態之感測電路，其相對於一在一低於該分界臨限電壓之邊限之一預定邊限處的第一參考臨限電壓而驗證該群記憶體單元；

一記憶體控制器，其對於並列之該群記憶體單元交替地施加一程式化脈衝及驗證程式化結果；

該驗證進一步包括：

一第一驗證，其係相對於一在一低於該分界臨限電壓之邊限之一預定邊限處的第一參考臨限電壓；

減緩已相對於該第一參考臨限電壓而被驗證之該群記憶體單元中一記憶體單元的該程式化之速度；



- 一 第二驗證，其係相對於該分界臨限電壓；及
 - 利用一程式化抑制電路抑制已相對於該分界臨限電壓而驗證之任何記憶體單元的進一步程式化；且其中：
 - 不執行該第二驗證直至已相對於該第一參考臨限電壓而驗證該群記憶體單元中的至少一第一者為止。
25. 如請求項24之非揮發性記憶體，其進一步包括：
- 藉由相關聯之位元線而存取該群記憶體單元；且其中
 - 該修改一程式化設置之步驟包含升高已關於該第一參考臨限電壓而被驗證之該記憶體單元之該位元線上的一電壓以減緩該程式化之速度。
26. 如請求項24之非揮發性記憶體，其進一步包括：
- 藉由相關聯之位元線而存取該群記憶體單元；且其中
 - 該程式化抑制電路包含升高與該受抑制之該記憶體單元相關聯之該位元線，以將其實質上升高至一電源電壓，同時將該群記憶體單元中未受抑制的記憶體單元使其位元線在實質上為零之電壓。
27. 如請求項24之非揮發性記憶體，其中該程式化脈衝以每一脈衝單調地增加。
28. 如請求項24之非揮發性記憶體，其中該群記憶體單元為一快閃EEPROM之一部分。
29. 如請求項24之非揮發性記憶體，其中該群記憶體單元係體現於一記憶卡中。
30. 如請求項24至29中任一項之非揮發性記憶體，其中該群記憶體單元中之個別記憶體單元各自可程式化至兩個狀

態中之一者且該分界臨限電壓係用於對該兩個狀態進行分界。

31. 如請求項24至29中任一項之非揮發性記憶體，其中該群記憶體單元中之個別記憶體單元各自可程式化至兩個以上狀態中之一者且該分界臨限電壓為用於對該兩個以上狀態進行分界之多個分界臨限電壓中的一者。

32. 一種非揮發性記憶體，其包括：

待相對於一分界臨限電壓而程式化之一群記憶體單元；

一程式化電路，其用於將一程式化脈衝施加至一群記憶體單元；

一具有一第一組態之感測電路，其相對於一在一低於該分界臨限電壓之邊限之一預定邊限處的第一參考臨限電壓而驗證該群記憶體單元；

一構件，其用於對於並列之該群記憶體單元交替地施加一程式化脈衝及驗證程式化結果；

該驗證進一步包括：

一第一驗證，其係相對於一在一低於該分界臨限電壓之邊限之一預定邊限處的第一參考臨限電壓；

減緩已相對於該第一參考臨限電壓而被驗證之該群記憶體單元中一記憶體單元的該程式化之速度；

一第二驗證，其係相對於該分界臨限電壓；及

抑制已相對於該分界臨限電壓而被驗證之任一記憶體單元的進一步程式化；且其中：

不執行該第二驗證直至已相對於該第一參考臨限電壓而驗證該群記憶體單元中的至少一第一者為止。

33. 如請求項32之非揮發性記憶體，其中該群記憶體單元中之個別記憶體單元各自可程式化至兩個狀態中之一者且該分界臨限電壓係用於對該兩個狀態進行分界。
34. 如請求項32之非揮發性記憶體，其中該群記憶體單元中之個別記憶體單元各自可程式化至兩個以上狀態中之一者，且該分界臨限電壓為用於對該兩個以上狀態進行分界之多個分界臨限電壓中的一者。