

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5787655号
(P5787655)

(45) 発行日 平成27年9月30日 (2015. 9. 30)

(24) 登録日 平成27年8月7日 (2015. 8. 7)

(51) Int. Cl.	F I				
HO 1 L 29/12 (2006. 01)	HO 1 L	29/78	6 5 2 T		
HO 1 L 29/78 (2006. 01)	HO 1 L	29/78	6 5 2 P		
HO 1 L 29/06 (2006. 01)	HO 1 L	29/78	6 5 8 A		
HO 1 L 21/336 (2006. 01)					

請求項の数 17 (全 14 頁)

(21) 出願番号	特願2011-161585 (P2011-161585)	(73) 特許権者	000006013
(22) 出願日	平成23年7月25日 (2011. 7. 25)		三菱電機株式会社
(65) 公開番号	特開2012-129492 (P2012-129492A)		東京都千代田区丸の内二丁目7番3号
(43) 公開日	平成24年7月5日 (2012. 7. 5)	(74) 代理人	100088672
審査請求日	平成25年12月9日 (2013. 12. 9)		弁理士 吉竹 英俊
(31) 優先権主張番号	特願2010-263199 (P2010-263199)	(74) 代理人	100088845
(32) 優先日	平成22年11月26日 (2010. 11. 26)		弁理士 有田 貴弘
(33) 優先権主張国	日本国 (JP)	(72) 発明者	樽井 陽一郎
			東京都千代田区丸の内二丁目7番3号 三 菱電機株式会社内
		(72) 発明者	鹿口 直斗
			東京都千代田区丸の内二丁目7番3号 三 菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 炭化珪素半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

炭化珪素半導体層に形成された半導体素子と、
前記半導体素子の終端部に形成され、JTE (Junction Termination Extension) 領域
およびFLR (Field Limiting Ring) の少なくとも片方を含む不純物注入領域である終
端領域とを備え、

前記終端領域の深さ方向の不純物濃度プロファイルにおいて、最も浅い位置の濃度ピー
クは表面から0.35 μmより深い位置にあり、

前記不純物濃度プロファイルにおいて、表面からの深さが0.2 μmの濃度は前記最も
浅い位置の濃度ピークの10分の1以下であること

を特徴とする炭化珪素半導体装置。

【請求項2】

炭化珪素半導体層に形成された半導体素子と、
前記半導体素子の終端部に形成され、JTE (Junction Termination Extension) 領域
およびFLR (Field Limiting Ring) の少なくとも片方を含む不純物注入領域である終
端領域と、

前記半導体素子の領域上に形成されるゲート絶縁膜と、

前記終端領域上に形成され、前記ゲート絶縁膜より厚いフィールド絶縁膜と、

を備え、

前記終端領域の深さ方向の不純物濃度プロファイルにおいて、最も浅い位置の濃度ピー

クは表面から $0.35 \mu\text{m}$ より深い位置にあり、

前記不純物濃度プロファイルにおいて、表面からの深さが $0.2 \mu\text{m}$ の濃度は前記最も浅い位置の濃度ピークの 10 分の 1 以下であること

を特徴とする炭化珪素半導体装置。

【請求項 3】

前記不純物濃度プロファイルにおいて、濃度ピークは 1 箇所のみである
請求項 1 または請求項 2 記載の炭化珪素半導体装置。

【請求項 4】

前記終端領域は前記 F L R を含み、

前記半導体素子は、深さ方向の不純物濃度プロファイルが前記 F L R と同じであるウエルを有している

請求項 1 から請求項 3 のいずれか一項記載の炭化珪素半導体装置。

【請求項 5】

前記終端領域は前記 J T E 領域および前記 F L R の両方を含み、

前記 J T E 領域と前記 F L R は、深さ方向の不純物濃度プロファイルが互いに同じである

請求項 1 から請求項 3 のいずれか一項記載の炭化珪素半導体装置。

【請求項 6】

前記終端領域を構成する不純物は Al である

請求項 1 から請求項 5 のいずれか一項記載の炭化珪素半導体装置。

【請求項 7】

前記炭化珪素半導体層の表面において、前記終端領域の近傍は平坦である

請求項 1 から請求項 6 のいずれか一項記載の炭化珪素半導体装置。

【請求項 8】

前記半導体素子は M O S F E T (Metal oxide semiconductor field effect transistor) である

請求項 1 から請求項 7 のいずれか一項記載の炭化珪素半導体装置。

【請求項 9】

炭化珪素半導体層に半導体素子を形成する工程と、

前記半導体素子の外周部における前記炭化珪素半導体層の表面部に、不純物のイオン注入

により J T E (Junction Termination Extension) 領域および F L R (Field Limiting Ring) の少なくとも片方を含む終端領域を形成する工程と、

を備え、

前記不純物のイオン注入は、不純物濃度のピークが前記炭化珪素半導体層の表面から $0.35 \mu\text{m}$ より深い位置になる注入エネルギーで行われ、

前記イオン注入において、前記終端領域の表面からの深さが $0.2 \mu\text{m}$ の濃度は、前記最も浅い位置の濃度ピークの 10 分の 1 以下であること

を特徴とする炭化珪素半導体装置の製造方法。

【請求項 10】

炭化珪素半導体層に半導体素子を形成する工程と、

前記半導体素子の外周部における前記炭化珪素半導体層の表面部に、不純物のイオン注入により J T E (Junction Termination Extension) 領域および F L R (Field Limiting Ring) の少なくとも片方を含む終端領域を形成する工程と、

前記半導体素子の領域に形成されるゲート絶縁膜よりも厚膜のフィールド絶縁膜を、前記終端領域上に形成する工程と、

を備え、

前記不純物のイオン注入は、不純物濃度のピークが前記炭化珪素半導体層の表面から $0.35 \mu\text{m}$ より深い位置になる注入エネルギーで行われ、

前記イオン注入において、前記終端領域の表面からの深さが $0.2 \mu\text{m}$ の濃度は、前記

10

20

30

40

50

最も浅い位置の濃度ピークの10分の1以下であること
を特徴とする炭化珪素半導体装置の製造方法。

【請求項11】

前記イオン注入は、前記不純物の種類および注入エネルギーを固定して行われる請求項9または請求項10記載の炭化珪素半導体装置の製造方法。

【請求項12】

前記終端領域は前記FLRを含み、
前記半導体素子を形成する工程は、不純物のイオン注入によりウエルを形成する工程を含み、

前記ウエルを形成する形成工程と前記FLRを形成する工程は、同時に行われる
請求項9から請求項11のいずれか一項記載の炭化珪素半導体装置の製造方法。 10

【請求項13】

前記終端領域は前記JTE領域および前記FLRの両方を含み、
前記終端領域を形成する工程において、前記JTEと前記FLRは同時に形成される
請求項9から請求項11のいずれか一項記載の炭化珪素半導体装置の製造方法。

【請求項14】

前記不純物はAlである
請求項9から請求項13のいずれか一項記載の炭化珪素半導体装置の製造方法。

【請求項15】

前記イオン注入の注入エネルギーは350keV以上である
請求項14記載の炭化珪素半導体装置の製造方法。 20

【請求項16】

前記終端領域の活性化アニールを行う工程と、
前記活性化アニールの後、犠牲酸化処理により前記終端領域の表面を除去する工程とを
さらに備える
請求項9から請求項15のいずれか一項記載の炭化珪素半導体装置の製造方法。

【請求項17】

前記終端領域の表面に対して選択的なドライエッチングは行われない
請求項9から請求項16のいずれか一項記載の炭化珪素半導体装置の製造方法。

【発明の詳細な説明】 30

【技術分野】

【0001】

本発明は、炭化珪素半導体装置に関し、特に、JTE (Junction Termination Extension) またはFLR (Field Limiting Ring) を含む半導体素子の終端構造に関するものである。

【背景技術】

【0002】

高耐圧、低損失および高耐熱性を実現できる次世代のスイッチング素子として、炭化珪素 (SiC) を用いて形成した半導体素子 (MOSFET (Metal oxide semiconductor field effect transistor) やIGBT (Insulated Gate Bipolar Transistor) など) が有望視されており、インバータなどのパワー半導体装置への適用が期待されている。またSiCの特質として、不純物の拡散係数が非常に小さく、熱処理を施してもイオン注入された不純物が殆ど拡散せずに、イオン注入直後の不純物濃度プロファイルがほぼ維持されるということ知られている。 40

【0003】

半導体素子の外周部 (終端部) に設けられる終端構造の一つにJTE (Junction Termination Extension) がある (例えば下記の非特許文献1)。JTEは、半導体素子の終端部における電界強度を緩和し、素子の耐圧を向上させることができる。従来のSiC半導体装置の製造方法では、JTE領域を形成するためのイオン注入を、注入エネルギーを変えながら多段階に分けて行っていた (図2参照)。これは、不純物が拡散し難いSiC内 50

に、Box型の不純物濃度プロファイルのJTE領域を形成するためである。

【0004】

またイオン注入によりJTE領域を形成した後、不純物を活性化させる活性化アニールを施す必要があるが、その活性化アニールの際、JTE領域の表面にダメージ層が生じる。そのため、活性化アニールの後、そのダメージ層を犠牲酸化処理やドライエッチングによって除去する必要がある。従ってJTE領域は、表面のダメージ層が除去された後の状態で、設計通りの耐圧が得られるように形成する必要がある。

【先行技術文献】

【非特許文献】

【0005】

【非特許文献1】B. Jayant Baliga著“Power Semiconductor Devices”PWS Publishing Company, 1995, pp.111-113

【発明の概要】

【発明が解決しようとする課題】

【0006】

上記のように、JTE領域は、活性化アニールによって生じた表面のダメージ層が除去された後の状態で、所望の耐圧が得られるように形成する必要がある。逆に言えば、所望の耐圧が得られるように、JTE領域の表面の除去量を決定しなければならない。従来のSiC半導体装置の製造方法では、このときのJTE領域表面のエッチング量のマージン(所望の耐圧が得られるエッチング量の範囲)が小さく、所望の耐圧を得るために高精度なエッチング量の制御が必要であった。

【0007】

本発明は以上のような課題を解決するためになされたものであり、JTE領域およびFLRの少なくとも片方を含む終端領域を備える炭化珪素半導体装置の製造において、終端領域表面に生じたダメージ層を除去するエッチング量のマージンを大きくすることを目的とする。

【課題を解決するための手段】

【0008】

本発明に係る炭化珪素半導体装置は、炭化珪素半導体層に形成された半導体素子と、半導体素子の終端部に形成され、JTE領域およびFLRの少なくとも片方を含む不純物注入領域である終端領域とを備え、終端領域の深さ方向の不純物濃度プロファイルにおいて、最も浅い位置の濃度ピークは表面から0.35μmより深い位置にあり、不純物濃度プロファイルにおいて、表面からの深さが0.2μmの濃度は最も浅い位置の濃度ピークの10分の1以下であることを特徴とする。

【0009】

本発明に係る炭化珪素半導体装置の製造方法は、炭化珪素半導体層に半導体素子を形成する工程と、半導体素子の外周部における炭化珪素半導体層の表面部に、不純物のイオン注入によりJTE領域およびFLRの少なくとも片方を含む終端領域を形成する工程と、を備え、不純物のイオン注入は、不純物濃度のピークが炭化珪素半導体層の表面から0.35μmより深い位置になる注入エネルギーで行われ、イオン注入において、終端領域の表面からの深さが0.2μmの濃度は、最も浅い位置の濃度ピークの10分の1以下であることを特徴とする。

【発明の効果】

【0010】

本発明によれば、終端領域の表面近傍の不純物濃度が低く抑えられるため、終端領域表面に生じたダメージ層を除去するエッチングによる耐圧の変化が抑えられる。

【図面の簡単な説明】

【0011】

【図1】本発明の実施の形態1に係るSiC半導体装置の構成を示す断面図である。

10

20

30

40

50

【図 2】従来の SiC 半導体装置における JTE 領域の不純物濃度プロファイルを示す図である。

【図 3】本発明の実施の形態 1 に係る SiC 半導体装置における JTE 領域の不純物濃度プロファイルの一例を示す図である。

【図 4】本発明の実施の形態 1 に係る SiC 半導体装置における JTE 領域の不純物濃度プロファイルの他の一例を示す図である。

【図 5】本発明の実施の形態 1 に係る SiC 半導体装置の製造工程図である。

【図 6】本発明の実施の形態 1 に係る SiC 半導体装置の製造工程図である。

【図 7】本発明の実施の形態 1 に係る SiC 半導体装置の製造工程図である。

【図 8】本発明の実施の形態 1 に係る SiC 半導体装置の製造工程図である。

【図 9】本発明の実施の形態 1 に係る SiC 半導体装置の製造工程図である。

【図 10】本発明の実施の形態 1 に係る SiC 半導体装置の製造工程図である。

【図 11】JTE 領域表面のエッチング量と SiC 半導体装置の耐圧値との関係を示す図である。

【図 12】JTE 領域表面のダメージ層をドライエッチングによって除去した場合における、SiC 半導体装置の断面図である。

【図 13】本発明の実施の形態 2 に係る SiC 半導体装置の構成を示す断面図である。

【図 14】本発明の実施の形態 2 に係る SiC 半導体装置の製造方法を説明するための図である。

【図 15】本発明の実施の形態 2 に係る SiC 半導体装置の製造方法を説明するための図である。

【図 16】本発明の実施の形態 2 に係る SiC 半導体装置の構成を示す断面図である。

【図 17】本発明の実施の形態 2 に係る SiC 半導体装置の製造方法を説明するための図である。

【発明を実施するための形態】

【0012】

<実施の形態 1>

図 1 は、本発明の実施の形態 1 に係る SiC 半導体装置である MOSFET の構成を示す断面図である。図 1 (a) は MOSFET のセル部であり、図 1 (a) は MOSFET の終端部を示している。つまり MOSFET のチップには図 1 (b) に示す構造のセルが複数個並列に配設され、最外周のセルの外側が図 1 (b) の構造となっている。

【0013】

図 1 (a) の如く、MOSFET セルは、 n^+ 型 SiC 基板 1 およびその上に成長させた n^- 型エピタキシャル層 2 から成るエピタキシャル基板を用いて形成されている。 n^+ 型 SiC 基板 1 および n^- 型エピタキシャル層 2 は、それぞれ MOSFET のパッファ層およびドリフト層として機能する。

【0014】

MOSFET セルにおいて、 n^- 型エピタキシャル層 2 の上部にはベース領域としての p 型ウエル 3 が形成され、その表面部分に n 型ソース領域 4 が形成されている。 n^- 型エピタキシャル層 2 の上面には、一対の n 型ソース領域 4 および p 型ウエル 3 に跨るように熱酸化膜のゲート絶縁膜 6 が形成され、その上に例えばポリシリコンのゲート電極 7 が配設される。

【0015】

ゲート電極 7 上には層間絶縁膜 8 が形成される。 n 型ソース領域 4 および p 型ウエル 3 の一部 (ゲート電極 7 が形成されていない部分) の上の層間絶縁膜 8 は除去されており、その部分に n 型ソース領域 4 および p 型ウエル 3 に接続するソース電極 9 が形成される。p 型ウエル 3 のソース電極 9 との接続部分には、他の部分よりも不純物濃度の高い p 型コンタクト領域 5 が形成されている。またドレイン電極 10 は、 n^+ 型 SiC 基板 1 の裏面に配設される。

【0016】

10

20

30

40

50

一方、終端部では、図1(b)のように、最外周のMOSFETセルのp型ウエル3の外側に隣接するように、p型ウエル3よりも不純物濃度の低いp型の不純物注入領域(終端領域)であるJTE領域11が形成される。またJTE領域11上を含むn⁻型エピタキシャル層2の上面上にはフィールド酸化膜12が形成されている。

【0017】

本発明との比較例として、従来のSiC半導体装置におけるJTE領域の不純物濃度プロファイルを図2に示す。上記したように、従来のJTE領域の形成方法では、JTE領域の不純物濃度プロファイルをBox型(図2の破線)にするために、不純物のイオン注入を注入エネルギー(注入深さ)を変えながら多段階に分けて行っていた。図2では、不純物の濃度分布を各段階ごとに個別のグラフとして示している(不純物はAl)。

10

【0018】

一方、図3および図4に、本実施の形態に係るSiC半導体装置におけるJTE領域の不純物濃度プロファイルを示す。本実施の形態では、JTE領域を、1段階のイオン注入(不純物の種類および注入エネルギーを固定したイオン注入)により形成する。図3は、不純物をAl、注入エネルギーを350keVとした1段階のイオン注入で形成したJTE領域の不純物濃度プロファイルであり、図4は、不純物をAl、注入エネルギー500keVとした1段階のイオン注入で形成したJTE領域の不純物濃度プロファイルである。図3および図4からも分かるように、1段階のイオン注入では、不純物濃度ピークは1箇所のみとなる。

【0019】

20

ここで、本実施の形態に係るMOSFETの製造方法を説明する。図5~図10はその工程図であり、各図(a)はMOSFETのセル部、各図(b)はMOSFETの終端部を示している。

【0020】

まず、n⁺型SiC基板1上にn⁻型エピタキシャル層を成長させて形成したエピタキシャル基板を用意する。n⁻型エピタキシャル層2の上部に選択的なイオン注入を行うことによって、p型ウエル3、n型ソース領域4、p型コンタクト領域5をそれぞれ形成する(図5)。

【0021】

そして、n⁻型エピタキシャル層2上に、最外周のMOSFETセルのp型ウエル3の外側を開口したレジスト21を形成し、それをマスクにしたイオン注入によりJTE領域11を形成する(図6)。上記のとおり、本実施の形態ではJTE領域11の形成を1段階のイオン注入により行う。ここではJTE領域11の形成を、p型ウエル3、n型ソース領域4およびp型コンタクト領域5の形成より後に行っているが、これらの形成順は任意でよい。

30

【0022】

次に、注入した各不純物を活性化させるための熱処理(活性化アニール)を行う。そして、JTE領域11を含む領域が開口されたレジスト22を形成し、それをマスクにした犠牲酸化処理(あらかじめ形成しておいた犠牲酸化膜のウェットエッチング)やドライエッチングによって、活性化アニールの際にJTE領域11の表面に生じたダメージ層を除去する(図7)。このダメージ層除去は、JTE領域11部分のみならず、MOSFETの特性に影響を与えない限りで、それ以外の領域にも行ってよい。例えば図7では、JTE領域11から外側の領域全体をエッチングしている。特に、犠牲酸化処理は、エッチング量が非常に小さくMOSFETの特性に殆ど影響しないので、n⁻型エピタキシャル層2の全面に行ってもよい。

40

【0023】

続いて、n⁻型エピタキシャル層2の上面上に、フィールド酸化膜12およびゲート絶縁膜6を形成する(図8)。そしてフォトリソグラフィ技術を用いて、ゲート絶縁膜6上にゲート電極7を形成し、その上に層間絶縁膜8を形成する(図9)。

【0024】

50

その後、n型ソース領域4およびp型コンタクト領域5上の層間絶縁膜8に、コンタクトホールを形成する(図10)。そして当該コンタクトホール内にソース電極9を形成し、さらにn⁺型SiC基板1の下面にドレイン電極10を形成すれば、図1に示したMOSFETの構成が得られる。図示は省略するが、さらにソース電極9に接続するパッドや、ゲート電極7に接続するパッド、保護膜などを形成することによって、MOSFETの半導体装置が完成される。

【0025】

図11は、JTE領域表面のエッチング量とMOSFETの耐圧値との関係を示す表である。図11の表は、Alのイオン注入により形成したJTE領域11を有するMOSFETにおいて、JTE領域11表面のダメージ層除去する際にドライエッチングを行わない場合、ドライエッチング量を0.1μm~0.3μmとした場合の耐圧値の変化を示している。当該MOSFETの耐圧の設計値は1500Vである。

10

【0026】

なお、JTE領域11表面のドライエッチングを行わないケース(ドライエッチング量0μm)では、犠牲酸化処理のみを行っている。犠牲酸化処理のエッチング量は、ドライエッチングに比べて非常に小さい(10~20nm程度)ため、犠牲酸化処理によるエッチング量は無視している。

【0027】

図11の表では、JTE領域11の形成を、図2に示した従来の多段階のイオン注入(Box注入)で行った場合と、図3のように注入エネルギーを350keVに固定した場合と、図4のように注入エネルギーを500keVに固定した場合とを、比較している。

20

【0028】

JTE領域11をBox注入で形成した場合、1500V以上の耐圧を得るためには、ドライエッチング量を0.1μm~0.2μmの範囲にする必要があった。つまりエッチング量のマージンは0.1μmであった。

【0029】

一方、注入エネルギーを350keVに固定したイオン注入でJTE領域11を形成した場合、ドライエッチング量が0μm~0.1μmの場合に1500V以上の耐圧が得られた。つまりエッチング量のマージンはBox注入と同様に0.1μmである。また注入エネルギーを500keVに固定したイオン注入でJTE領域11を形成した場合、ドライエッチング量が0μm~0.2μmの場合に1500V以上の耐圧が得られた。つまりエッチング量のマージンは0.2μmに広がった。

30

【0030】

この結果について考察する。従来のBox注入で形成したJTE領域11の不純物濃度プロファイルは、表面からほぼ一定な濃度であるため、表面をエッチングした後のJTE領域11のシート不純物濃度(単位面積当たりの不純物量、単位はcm⁻²)は、そのエッチング量に伴い大きく変化する。所望の耐圧値を得ることができるエッチング量の範囲(マージン)が小さかったのはこのためと考えられる。

【0031】

これに対し、1段階のイオン注入で形成したJTE領域11の不純物濃度プロファイルは、表面部分が低濃度になるため、表面をエッチングしてもJTE領域11のシート不純物濃度の変化は小さい。注入エネルギーを350keVまたは500keVに固定したとき、エッチング量が0μm~0.1μmの範囲でMOSFETの耐圧値の変化が小さいのはこのためと考えられる。

40

【0032】

また1段階のイオン注入で注入エネルギーを大きくすると、不純物の濃度ピークが深い位置になり表面部分がより低濃度になるため、エッチング量に対するJTE領域11のシート不純物濃度の変化はさらに小さくなる。注入エネルギー350keVで形成したJTE領域11では、図3のように不純物濃度が深さが約0.2μmの位置でピーク濃度の10分の1を超えるが、注入エネルギー500keVの場合は、図4のように深さが約0.

50

2 ~ 0.3 μm の位置でもピーク濃度の10分の1以下の不純物濃度になっている。注入エネルギーを350 keVとした場合よりも、500 keVとした場合の方が、エッチング量のマージンが広がったのはこれが理由と考えられる。

【0033】

さらに注目すべきは、Box注入の場合はドライエッチングを行わなければ所望の耐圧を得ることができなかったが、1段階のイオン注入の場合はドライエッチングを行わない(犠牲酸化処理のみ)場合でも、所望の耐圧が得られていることである。これは、1段階のイオン注入の場合はJTE領域11の表面部分に導入される不純物が少ないので、表面部分のダメージ(イオン注入による形成される結晶欠陥)が少なく、少ないエッチング量でも十分にダメージ層が除去されるからと考えられる。

10

【0034】

このように、JTE領域11の深さ方向の不純物濃度プロファイルにおいて、表面部分の濃度を小さくすることにより、JTE領域11表面にドライエッチングを行わない(犠牲酸化処理のみ行う)場合でも、所望の耐圧を得ることができる。この効果は特に、表面部分の不純物濃度をピーク濃度の10分の1以下としたときに得られた。

【0035】

またJTE領域11を形成するイオン注入の注入エネルギーを大きくして、不純物濃度のピークの位置を深くすれば、JTE領域11のエッチング量に伴うシート不純物濃度の変化が小さくなり、エッチング量のマージンを従来のBox注入の場合よりも広くすることができる。この効果は特に、不純物濃度のピークの位置を0.35 μm よりも深くしたときに得られた。

20

【0036】

なお、SiCに不純物としてAlをイオン注入することでJTE領域を形成する場合、その不純物濃度のピークの位置の深さを0.35 μm より深くするには、注入エネルギーを350 keV以上にすればよい。またその場合は、図3に示されるように表面の不純物濃度がピーク濃度の10分の1以下となるため、ドライエッチングが不要になるという効果も得られる。

【0037】

なお、JTE領域11の不純物濃度のピーク位置を深くするほど上記の効果を顕著にできるが、その反面、高い注入エネルギーのイオン注入ではビーム電流が小さくなり生産性の低下を伴う。またMOSFET等では、オーミックコンタクトをとるために浅いp型領域を形成する必要があり、従来のMOSFETの形成に用いられていたイオン注入装置では、不純物濃度ピークの位置の深さは0.60 μm (Alの注入エネルギーで500 keV)程度が限界である。もちろん、不純物濃度のピークの位置が深いJTE領域11を形成するために別のイオン注入装置を導入してもよいが、設備投資額が多くなるのみならず、装置の稼働率が下がるため好ましくない。よってコストおよび生産性の観点も考慮すると、JTE領域11の不純物濃度ピークの位置の深さは0.35 μm ~ 0.60 μm の範囲であることが好ましい。

30

【0038】

本実施の形態では、JTE領域11を1段階のイオン注入で形成したが、JTE領域11の深さ方向の不純物濃度プロファイルにおいて、最も浅い位置にあるピークの深さが0.35 μm よりも深く、またJTE領域11の表面部分における濃度が最も浅い位置にあるピークの10分の1以下となれば、多段階のイオン注入によりJTE領域11を形成してもよい(不純物濃度のピークが複数個所あってもよい)。この場合も、上記と同様の効果が得られる。

40

【0039】

p型のJTE領域11を形成するための不純物は、上の例のようにAlを使用することが好ましい。p型の不純物としてはBもあるが、BはAlに比べて拡散しやすく、活性化アニールの際にJTE領域11の表面部分へ拡散するので、表面部分の濃度を適切に小さく(濃度ピークの10分の1以下)制御することが困難である。

50

【 0 0 4 0 】

上記したように本発明では、JTE領域11表面のエッチング量のマージンが大きくなるという効果があり、これは比較的エッチング量が大きくなるドライエッチングを行う場合に特に有効である。しかしJTE領域11を選択的にドライエッチングすると、JTE領域11の近傍に段差が生じる。例えば図7のようにレジスト22を形成し、それをマスクにするドライエッチングを行うと、図12のようにJTE領域11の近傍の表面に段差が生じる(図12(a)はMOSFETのセル部、図12(b)はその終端部を示している)。JTE領域11の近傍に段差があると、半導体装置(MOSFET)に電圧が印加されたときに段差部付近で電界集中が生じ、耐圧が低下する場合がある。またスイッチング動作時にも段差部で過渡的に高電界が生じる可能性もある。

10

【 0 0 4 1 】

従って本発明においては、JTE領域11表面のダメージ層の除去には、選択的なドライエッチングを実施せずに、犠牲酸化処理のみを行うことが好ましい。これによりJTE領域11近傍に段差が生じることを防止できる。つまりJTE領域11近傍の表面が平坦になる。それにより電界集中の発生を抑制でき、より確実に所望の耐圧を得ることができる。

【 0 0 4 2 】

< 実施の形態 2 >

JTE以外の終端構造としては、FLR(Field Limiting Ring)構造が知られている。FLRは、JTE領域と同様のイオン注入工程により形成可能な不純物注入領域であり、本発明を適用することができる。実施の形態2では、本発明をFLRに適用した構成を示す。

20

【 0 0 4 3 】

図13は、本発明の実施の形態2に係るSiC半導体装置であるMOSFETの終端部の構成を示す断面図である。MOSFETのセル部は、実施の形態1(図1(a))と同様であるので、図示は省略する。

【 0 0 4 4 】

図13のように、本実施の形態に係るMOSFETの終端部では、最外周のMOSFETセルのp型ウエル3の外側に、p型の不純物注入領域(終端領域)であるFLR13を複数個設けている。FLR13のそれぞれにおける深さ方向の不純物濃度プロファイルは、実施の形態1のJTE領域11のそれと同様である。すなわち、FLR13の深さ方向の不純物濃度プロファイルにおいては、最も浅い位置にあるピークの深さが0.35 μ mよりも深く、また表面部分における濃度が最も浅い位置にあるピークの10分の1以下となっている。

30

【 0 0 4 5 】

FLR13は、実施の形態1のJTE領域11と同様の手法により形成可能である。具体的には、実施の形態1で図6を用いて説明したイオン注入工程において、マスクとして使用するレジスト21の形状を、図14のようにFLR13の形成領域上が開口したパターンにすればよい。その他の工程は実施の形態1と同じでよい。

40

【 0 0 4 6 】

本実施の形態のFLR13によれば、実施の形態1のJTE領域11と同様の効果が得られる。つまりFLR13の活性化アニールで生じたダメージ層を除去する際の、FLR13表面のエッチング量のマージンが大きくなる。なお、本実施の形態においても、FLR13表面のダメージ層の除去には、FLR13近傍に段差が生じないように、犠牲酸化処理のみを行うことが好ましい。

【 0 0 4 7 】

ここで、JTE領域11はp型ウエル3よりも不純物濃度を低くする必要があるが、FLR13はp型ウエル3と同じ不純物濃度でもその機能を果たす。FLR13をp型ウエル3と同じ不純物濃度にする場合、p型ウエル3とFLR13の両者を同じ工程で形成できる。つまり、p型ウエル3を形成するイオン注入工程において、マスクとして使用する

50

レジスト23の形状を、図15のようにp型ウエル3およびFLR13の両方の形成領域上が開口したパターンにすればよい。それにより、終端領域の形成工程（実施の形態1の図6の工程）を独立して行う必要がなくなるため、実施の形態1よりも製造工程数を少なくでき、コスト削減に寄与できる。この場合、p型ウエル3およびFLR13における深さ方向の不純物濃度プロファイルは互いに同じになる。つまり、FLR13およびp型ウエル3の両方で、その深さ方向の不純物濃度プロファイルにおいて、最も浅い位置にあるピークの深さが0.35 μ mよりも深く、また表面部分における濃度が最も浅い位置にあるピークの10分の1以下となる。

【0048】

また、JTE領域11とFLR13を併用してもよい。その場合、図16のように、p型ウエル3の外端部にJTE領域11を配設し、さらにJTE領域11の外側にFLR13を配設する。JTE領域11とFLR13を併用する場合、それらの不純物濃度は互いに同じでよい。そうすれば、JTE領域11とFLR13を同じ工程で形成できる。つまり、JTE領域11を形成するイオン注入工程（図6）において、マスクとして使用するレジスト21の形状を、図17のようにJTE領域11およびFLR13の両方の形成領域上が開口したパターンにすればよい。この場合、JTE領域11およびFLR13における深さ方向の不純物濃度プロファイルは互いに同じになる。

【0049】

以上の説明では、半導体素子としてMOSFETを例示したが、本発明は終端構造としてJTE領域およびFLRの少なくとも片方を備えるSiC半導体素子に広く適用可能である。

【符号の説明】

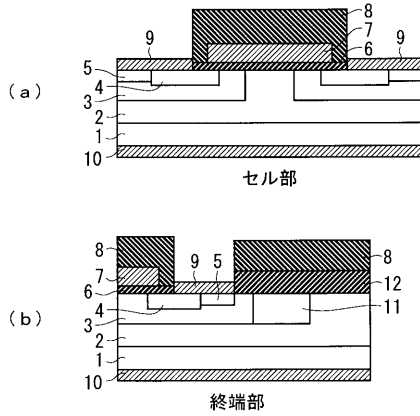
【0050】

1 n⁺型SiC基板、2 n⁻型エピタキシャル層、3 p型ウエル、4 n型ソース領域、5 p型コンタクト領域、6 ゲート絶縁膜、7 ゲート電極、8 層間絶縁膜、9 ソース電極、10 ドレイン電極、11 JTE領域、12 フィールド酸化膜、13 FLR、21, 22, 23 レジスト。

10

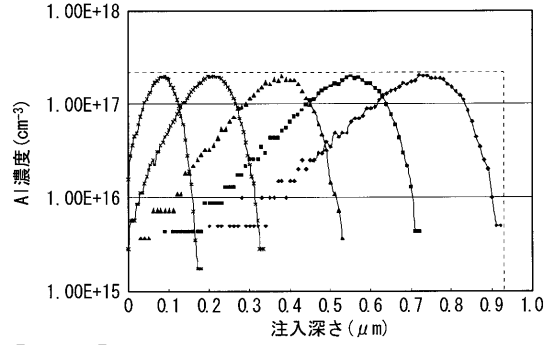
20

【図1】

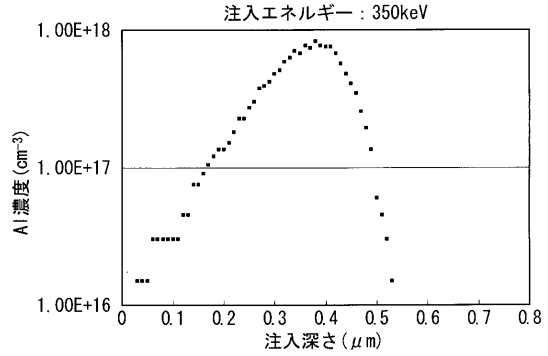


- 1: n+型SiC基板
- 2: n-型エピタキシャル層
- 3: p型ウエル
- 4: n型ソース領域
- 5: p型コンタクト領域
- 6: ゲート絶縁膜
- 7: ゲート電極
- 8: 層間絶縁膜
- 9: ソース電極
- 10: ドレイン電極
- 11: JTE領域
- 12: フィールド酸化膜

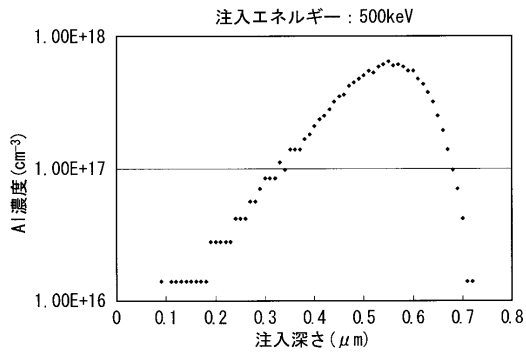
【図2】



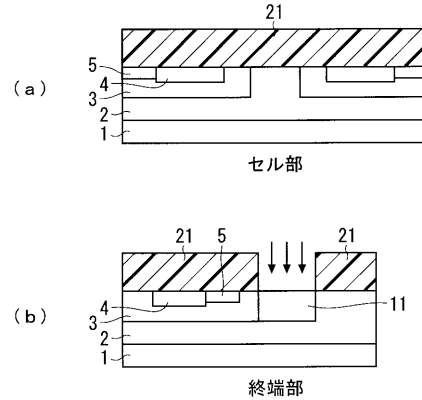
【図3】



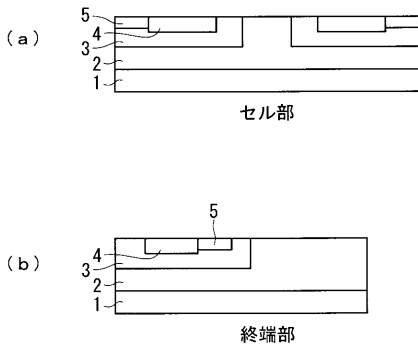
【図4】



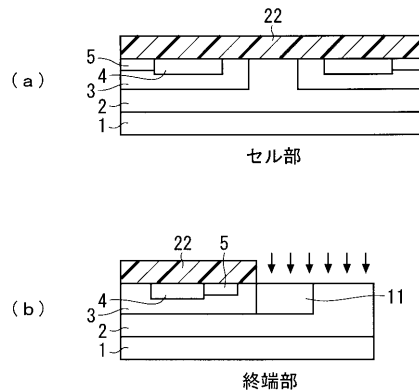
【図6】



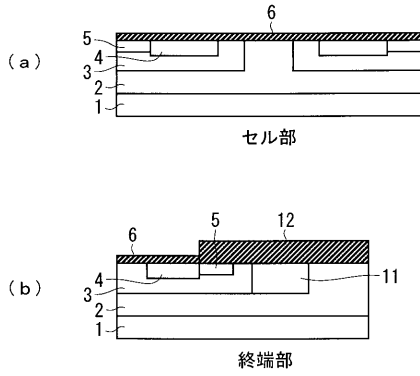
【図5】



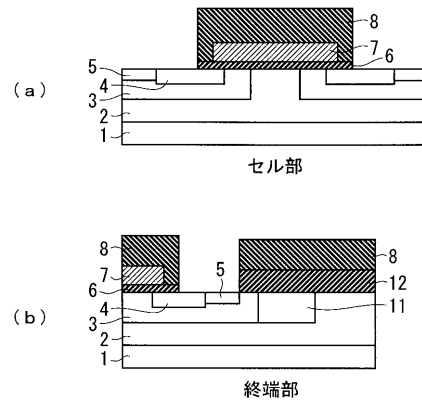
【図7】



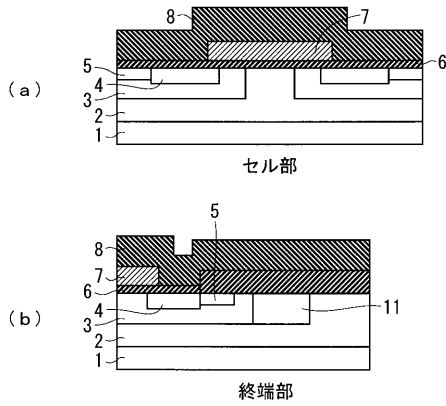
【図 8】



【図 10】



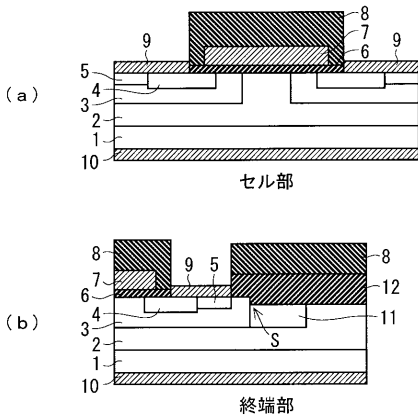
【図 9】



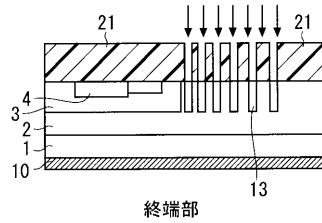
【図 11】

	JTE領域表面のエッチング量			
	なし	0.1 μm	0.2 μm	0.3 μm
Box注入	1000V以上	1600V以上	1500V以上	1200V以上
350keV	1600V以上	1500V以上	1100V以上	600V以上
500keV	1600V以上	1600V以上	1500V以上	1200V以上

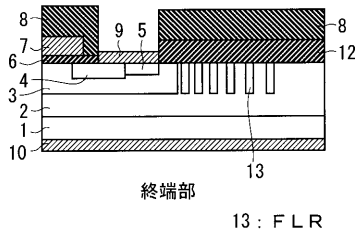
【図 12】



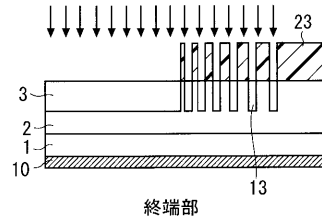
【図 14】



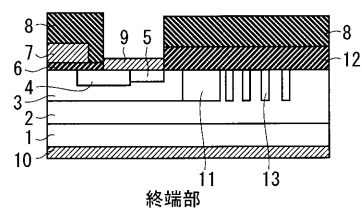
【図 13】



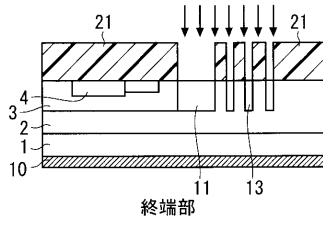
【図 15】



【図 16】



【図 17】



フロントページの続き

(72)発明者 中村 卓誉
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 平野 崇

(56)参考文献 国際公開第2009/099182(WO, A1)
特開2005-136092(JP, A)
特開2005-142288(JP, A)
特開2001-332508(JP, A)
特開2005-303010(JP, A)
国際公開第2010/134344(WO, A1)
国際公開第2010/125661(WO, A1)
国際公開第2010/098294(WO, A1)
国際公開第2010/073759(WO, A1)
特開2009-038356(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/12
H01L 21/336
H01L 29/06
H01L 29/78