

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-199843

(P2012-199843A)

(43) 公開日 平成24年10月18日(2012.10.18)

(51) Int.Cl.	F I	テーマコード (参考)
HO3M 13/19 (2006.01)	HO3M 13/19	5J065
HO4L 1/00 (2006.01)	HO4L 1/00	5K014

審査請求 未請求 請求項の数 10 O L (全 18 頁)

(21) 出願番号 特願2011-63538 (P2011-63538)
 (22) 出願日 平成23年3月23日 (2011. 3. 23)

(出願人による申告)平成22年度、独立行政法人情報通信研究機構「量子暗号の実用化のための研究開発(課題イ 量子暗号ネットワーク技術の研究開発)」、産業技術力強化法第19条の適用を受ける特許出願

(71) 出願人 00004237
 日本電気株式会社
 東京都港区芝五丁目7番1号
 (74) 代理人 100097157
 弁理士 桂木 雄二
 (72) 発明者 田中 聡寛
 東京都港区芝五丁目7番1号 日本電気株式会社内
 (72) 発明者 田島 章雄
 東京都港区芝五丁目7番1号 日本電気株式会社内
 Fターム(参考) 5J065 AD01 AD07 AG05 AH01
 5K014 BA05 FA11 GA02

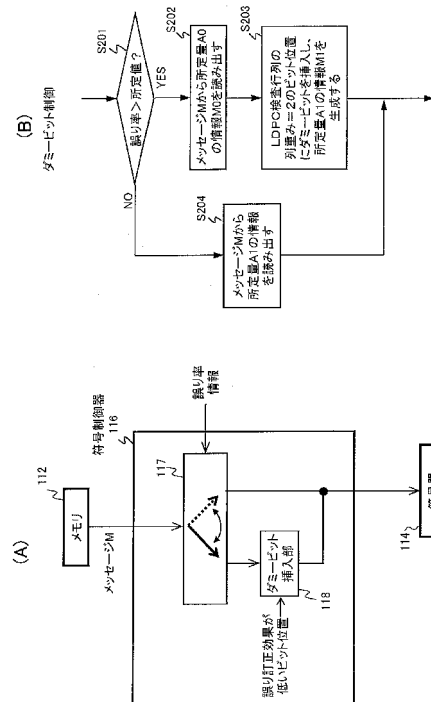
(54) 【発明の名称】 データ通信システムにおける誤り訂正符号制御方法および装置

(57) 【要約】

【課題】一つの誤り訂正回路で誤り率のばらつきあるいは変動が大きい通信系にも対応可能にする誤り訂正符号制御方法および装置を提供する。

【解決手段】所定の誤り訂正符号を実装した符号器(114)を備えた通信機(11)における誤り訂正制御装置は、通信機の送信データが受信側通信機(13)に到達するまでに発生する誤り率の推定値が所定値を超えたか否かを判断する切替判断部(117)と、誤り率の推定値が所定値を超えると送信データにおける誤り訂正符号の誤り訂正特性に応じた所定ビット位置にダミービットを挿入し符号器(114)へ出力するダミービット挿入部(118)と、を有する。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

所定の誤り訂正符号を実装した符号器を備えた通信機における誤り訂正制御装置であって、

前記通信機の送信データが受信側通信機に到達するまでに発生する誤り率の推定値が所定値を超えたか否かを判断する判断手段と、

前記誤り率の推定値が前記所定値を超えると、送信データにおける前記誤り訂正符号の誤り訂正特性に応じた所定ビット位置にダミービットを挿入し前記符号器へ出力するダミービット挿入手段と、

を有することを特徴とする誤り訂正制御装置。

10

【請求項 2】

前記ダミービットは前記誤り訂正符号の誤り訂正効果が低いビット位置に挿入されることを特徴とする請求項 1 に記載の誤り訂正制御装置。

【請求項 3】

前記誤り訂正符号は L D P C (Low Density Parity Check) 符号であり、前記ダミービットは前記 L D P C の検査行列の列重みが 2 の列に対応するビット位置に挿入されることを特徴とする請求項 1 または 2 に記載の誤り訂正制御装置。

【請求項 4】

前記ダミービットの受信後の誤り率を計算することによって、前記誤り率の推定値とすることを特徴とする請求項 1 - 3 のいずれか 1 項に記載の誤り訂正制御装置。

20

【請求項 5】

所定の誤り訂正符号を実装した符号器を備えた通信機における誤り訂正制御方法であって、

判断手段が、前記通信機の送信データが受信側通信機に到達するまでに発生する誤り率の推定値が所定値を超えたか否かを判断し、

ダミービット挿入手段が、前記誤り率の推定値が前記所定値を超えると、送信データにおける前記誤り訂正符号の誤り訂正特性に応じた所定ビット位置にダミービットを挿入し前記符号器へ出力する、

ことを特徴とする誤り訂正制御方法。

【請求項 6】

前記ダミービットは前記誤り訂正符号の誤り訂正効果が低いビット位置に挿入されることを特徴とする請求項 4 に記載の誤り訂正制御方法。

30

【請求項 7】

前記誤り訂正符号は L D P C (Low Density Parity Check) 符号であり、前記ダミービットは前記 L D P C の検査行列の列重みが 2 の列に対応するビット位置に挿入されることを特徴とする請求項 1 または 2 に記載の誤り訂正制御方法。

【請求項 8】

前記ダミービットの受信後の誤り率を計算することによって、前記誤り率の推定値とすることを特徴とする請求項 5 - 7 のいずれか 1 項に記載の誤り訂正制御方法。

【請求項 9】

所定の誤り訂正符号を実装した符号器を備えた送信装置であって、

前記送信データが受信装置に到達するまでに発生する誤り率の推定値が所定値を超えたか否かを判断する判断手段と、

送信データにおける前記誤り訂正符号の誤り訂正特性に応じた所定ビット位置にダミービットを挿入するダミービット挿入手段と、

前記誤り率の推定値が前記所定値を超えると前記ダミービット挿入手段によりダミービットが挿入されたデータを前記符号器へ出力する制御手段と、

を有することを特徴とする送信装置。

40

【請求項 10】

所定の誤り訂正符号を実装した復号器を備えた受信装置であって、

50

送信装置から受信した受信データの誤り率の推定値が所定値を超えたか否かを判断する判断手段と、

受信データにおける前記誤り訂正符号の誤り訂正特性に応じた所定ビット位置にダミービットを挿入するダミービット挿入手段と、

前記誤り率の推定値が前記所定値を超えると前記ダミービット挿入手段によりダミービットが挿入されたデータを前記復号器へ出力する制御手段と、

を有することを特徴とする受信装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はデータ通信システムに係り、特に誤り訂正符号制御方法および装置に関する。

【背景技術】

【0002】

インターネット等のネットワークを介したデータ通信やCD-ROM等の記憶媒体からのデータ読み込みでは、ノイズが転送中のデータに影響してデータ誤りを引き起こす可能性が常に存在する。このために、データ誤りが発生しても、それを訂正することができる誤り訂正符号が広く使用されている。頻繁に使用される誤り訂正符号には、ハミング符号の様な最も単純な単一誤り訂正符号、BCH (Bose-Chaudhuri-Hocquenghem) 符号やRS (Reed-Solomon) 符号の様な実装に適した巡回符号、ターボ符号やLDPC (Low Density Parity Check) の様な高効率ではあるものの信号処理負荷の大きい符号などがある。なかでもLDPCはシャノンの理論限界に迫る特性を持つ符号であり近年注目を集めている。

【0003】

誤り訂正符号の使用形態としては、メッセージに冗長データを付加して符号語全体を送信する前方誤り訂正 (FEC: Forward Error Correction) と、送信したメッセージを元に送受信者間で冗長データを再度共有してメッセージ中の誤りを訂正する方式 (以下、共有方式という。) が挙げられる。FECでは、メッセージの送信前に符号器で冗長データを計算してメッセージと共に受信器に送信し、受信器で復号器を通して受信データ中の誤りを検出/訂正する。このようにFECではデータの再送が不要であることから高いスループットを得ることができ、無線通信や光通信で広く使用されている。一方、共有方式では、送受信器間で誤りを含むデータを共有する手段と、共有したデータからパリティ情報を計算して送受信器間で相互に照らし合わせ誤りの検出/訂正を行う手段と、に分かれており、量子暗号鍵配付技術やDistributed Source Coding等に使用されている。

【0004】

一般的な誤り訂正符号では、 k ビットのメッセージに M ビットの冗長データを付加して n ($n = k + M$) ビットの符号語とする。一定の k ビットのメッセージ中に存在する誤りの数によって、必要となる M ビットの冗長データは大きくなる。実際には n ビットの符号語の符号長を一定として、誤り訂正を行う前の符号語の誤り率に応じて、メッセージ k ビットと冗長データ M ビットの割合が決定される。冗長データの割合を大きくするとより多くのビット誤りを訂正可能となる反面、データの転送効率が悪化する。2元対称通信路でビット誤り率 p の符号語を訂正するためには、シャノンのバイナリエントロピ ($H(p) = -p \log_2 p - (1-p) \log_2 (1-p)$) 以上の割合の冗長データを確保する必要があり、ビット誤り率が高いほど多くの冗長データが必要となる。従って、ターゲットとするビット誤り率から、使用する誤り訂正符号の符号化率が決定される。

【0005】

このように誤り訂正符号には訂正可能なビット誤り率の上限が決まっており、この上限は符号の種類や符号化率によって決定される。一例として、誤り率に対するLDPC符号の誤り訂正性能の変化を図10に示す。

【0006】

図10の横軸は誤り訂正を施す符号語の誤り率を示し、縦軸は次式により与えられる誤り訂正効率 $f(p)$ を示す。

10

20

30

40

50

【 0 0 0 7 】

$$f(p) = \{(1 - \text{符号化率}) / \text{誤り訂正成功確率}\} / H(p)$$

誤り訂正効率 $f(p)$ は 1.0 に近いほどシャノン限界に近い誤り訂正効率を得られていることを示しており、たとえば非特許文献 1 には符号長 1 M ビットの符号によって誤り訂正効率 $f(p) < 1.1$ という特性が報告されている。

【 0 0 0 8 】

図 10 において、符号化率 0.70、0.75 の場合、8 k ビット、16 k ビットおよび 130 k ビットの 3 通りの符号長の誤り訂正性能をシミュレーションした結果が示される。符号化率 0.75、符号長 16 k ビットの場合を例示すると、誤り率が 3.3% 以下の領域では誤り率が高くなるほど誤り訂正効率 $f(p)$ は 1.0 に近づいていく。これは $f(p)$ の分子の値が一定であるのに対して、分母の値が大きくなっていく領域に相当するためである。一方、誤り率が 3.5% まで大きくなると、誤り訂正効率は急激に劣化している。これは、この符号で訂正可能な誤りを超える数の誤りが符号語中に存在する為に誤り訂正成功確率が低くなり、 $f(p)$ の分子が大きくなってしまふからである。

10

【 0 0 0 9 】

他方、同じ符号化率 0.75 でも符号長を 130 k ビットにすると、誤り訂正効率 $f(p)$ は誤り率 3.5% まで順調に低くなり続ける。これは、符号長を長く取ることによって符号語の誤り率変動が小さくなり、誤り訂正可能な誤り数を超える確率が小さくなるためである。誤り率 3.6% 以上の領域における符号化率 0.70 の特性も同様の傾向を示している。従って、特性の良い誤り訂正符号を得るためには、符号長を長くすると共に、訂正可能な誤り率の上限周辺で使用することが必要である。

20

【 先行技術文献 】

【 非特許文献 】

【 0 0 1 0 】

【 非特許文献 1 】 D. Elkouss, A. Leverrier, R. Alleau Me and J. J. Boutros, "Efficient reconciliation protocol for discrete-variable quantum key distribution," (available at http://arxiv.org/PS_cache/arxiv/pdf/0901/0901.2140v1.pdf), Jan.2009.

【 発明の概要 】

【 発明が解決しようとする課題 】

30

【 0 0 1 1 】

しかしながら、特定の誤り訂正符号の訂正効率が訂正可能な誤り率の上限周辺で向上するという事は、効率良く使用できる誤り率の範囲が狭いことを意味する。したがって、誤り率のばらつきや変動の幅が大きいと、効率の良い誤り訂正を行うことができなくなる。誤り率の変動が大きい通信系としては、たとえば通信路状態の変化の大きい無線通信、電力線に接続される電気機器のインピーダンス変動の影響を受ける PLC (Power Line Communication) 等が挙げられる。また、誤り率のばらつきが大きい通信系としては、ユーザ毎の伝送路条件が異なる Passive Optical Network (PON) や複数チャネルの通信データを 1 つの誤り訂正回路で処理する通信系が挙げられる。

40

【 0 0 1 2 】

このような誤り率のばらつきや変動の幅が大きい通信系に対応するためには、最も悪い誤り率に対応した誤り訂正符号を実装すればよいが、これでは誤り率が低い場合に効率が劣化するという問題がある。他の方法としては、複数の誤り訂正回路を実装することによって幅広い誤り率に対応した誤り訂正を行うことも可能である。しかしながら、複数の回路を実装することによって回路サイズおよび消費電力の増大を引き起こす。

【 0 0 1 3 】

そこで、本発明の目的は、一つの誤り訂正回路で誤り率のばらつきあるいは変動が大きい通信系にも対応可能にする誤り訂正符号制御方法および装置を提供することにある。

【 課題を解決するための手段 】

【 0 0 1 4 】

50

本発明による誤り訂正制御装置は、所定の誤り訂正符号を実装した符号器を備えた通信機における誤り訂正制御装置であって、前記通信機の送信データが受信側通信機に到達するまでに発生する誤り率の推定値が所定値を超えたか否かを判断する判断手段と、前記誤り率の推定値が前記所定値を超えると、送信データにおける前記誤り訂正符号の誤り訂正特性に応じた所定ビット位置にダミービットを挿入し前記符号器へ出力するダミービット挿入手段と、を有することを特徴とする。

【0015】

本発明による誤り訂正制御方法は、所定の誤り訂正符号を実装した符号器を備えた通信機における誤り訂正制御方法であって、判断手段が、前記通信機の送信データが受信側通信機に到達するまでに発生する誤り率の推定値が所定値を超えたか否かを判断し、ダミービット挿入手段が、前記誤り率の推定値が前記所定値を超えると、送信データにおける前記誤り訂正符号の誤り訂正特性に応じた所定ビット位置にダミービットを挿入し前記符号器へ出力する、ことを特徴とする。

10

【発明の効果】

【0016】

本発明によれば、一つの誤り訂正回路で誤り訂正可能な誤り率の範囲が拡張され誤り率のばらつきあるいは変動が大きい通信系に対応可能となる。

【図面の簡単な説明】

【0017】

【図1】図1は本発明の第1実施形態による通信システムを示すブロック図である。

20

【図2】図2(A)は第1実施形態による誤り訂正符号制御装置を説明するための機能的ブロック図であり、図2(B)はその一例であるダミービット制御動作を示すフローチャートである。

【図3】図3は第1実施形態におけるダミービットの挿入方法を示す説明図である。

【図4】図4は第1実施形態で使用している誤り訂正符号の特性を示すグラフである。

【図5】図5は第1実施形態による通信システムにおける誤り訂正および復号動作を示すシーケンス図である。

【図6】図6は本発明の第2実施形態による通信システムを示すブロック図である。

【図7】図7は本発明の第3実施形態による通信システムを示すブロック図である。

【図8】図8は本発明の第4実施形態による通信システムを示すブロック図である。

30

【図9】図9は本発明の第5実施形態による通信システムを示すブロック図である。

【図10】LDPC誤り訂正符号の特性例を表すグラフである。

【発明を実施するための形態】

【0018】

1. 第1実施形態

以下、図1～図5を参照しながら本発明の第1実施形態について詳細に説明する。本実施形態を適用する通信システムは、送受信器間で一旦データを共有し、共有データに対して別途パリティ情報を計算して送受信器間で共有することで誤り訂正を行う。誤り訂正符号としてLDPCを使用し、後述するように、誤り率に応じて使用するLDPC検査行列Hの一部を無効にすることで効率良く使用できる誤り率の範囲を拡張する。

40

【0019】

1.1) システム構成

図1に示すように、本実施形態による通信システムにおいて、送信器11は伝送路12を通して受信器13と接続され、メッセージや冗長データを受信器13へ送信すると共に、受信器13との間で誤り率推定のためのデータやその他制御信号などを送受信する。伝送路12は有線/無線を問わない。

【0020】

送信器11は、メッセージを対向装置に送信するメッセージ送信器111と、送信したメッセージを一時的に保存しておくメモリ112と、送信したメッセージが受信された後にメッセージ中の誤り率を計算する誤り率推定器113と、誤り率推定器113で推定し

50

た誤り率を参照して符号器 1 1 4 の計算回路の制御とメモリ 1 1 2 から読み込んだメッセージ M に対するダミービット挿入制御を行う符号制御器 1 1 6 と、特定の誤り訂正符号が実装され、送信メッセージあるいはダミービットが挿入されたメッセージからパリティ値を計算する符号器 1 1 4 と、符号器 1 1 4 で計算したパリティ値を対向装置に送信するパリティ送信器 1 1 5 と、を有する。

【 0 0 2 1 】

受信器 1 3 は、対向装置からメッセージを受信するメッセージ受信器 1 3 1 と、受信したメッセージを一時的に保存しておくメモリ 1 3 2 と、受信したメッセージ中の誤り率を計算する誤り率推定器 1 3 3 と、誤り率推定器 1 3 3 で推定した誤り率を参照して復号器 1 3 4 の計算回路の制御とメモリ 1 3 2 から読み込んだメッセージ M' に対するダミービット挿入制御を行う復号制御器 1 3 6 と、符号器 1 1 4 と同じ誤り訂正符号が実行され、対向装置のパリティ送信器 1 1 5 から受信したパリティ情報と受信メッセージあるいはダミービットを挿入されたメッセージとを参照して誤り訂正を行う復号器 1 3 4 と、を有する。

10

【 0 0 2 2 】

1 . 2) 誤り訂正可能範囲の拡張

送信器 1 1 の符号制御器 1 1 6 と受信器 1 3 の復号制御器 1 3 6 とは、読み込んだメッセージに対するダミービット挿入制御に関しては基本的に同じ機能構成を有するので、以下、図 2 および図 3 を参照して符号制御器 1 1 6 について説明する。なお、符号器 1 1 4 および復号器 1 3 4 に実装された誤り訂正符号は、符号化されるメッセージのビット位置により誤り訂正効果が異なる特性を有するものとする。

20

【 0 0 2 3 】

図 2 (A) に示すように、符号制御器 1 1 6 は、所定ビット位置のダミービット挿入制御に関しては切替判断部 1 1 7 とダミービット挿入部 1 1 8 とを有する。切替判断部 1 1 7 は、誤り率推定器 1 1 3 により推定された誤り率が所定値より高くなると、メモリ 1 1 2 から読み込んだメッセージ M をダミービット挿入部 1 1 8 へ出力する。ダミービット挿入部 1 1 8 は、符号器 1 1 4 の符号特性で誤り訂正効果がより低いビット位置にダミービットを挿入することでメッセージ M 1 を生成し符号器 1 1 4 へ出力する。誤り率が所定値以下であれば、切替判断部 1 1 7 はメッセージ M をそのまま符号器 1 1 4 へ出力する。後で詳述するように、誤り率が上昇したときに誤り訂正効果が低いビット位置にダミービットを挿入することで誤り数を訂正可能範囲内に収めることが可能となり、結果として、誤り訂正可能な誤り率の範囲が拡張される。

30

【 0 0 2 4 】

符号器 1 1 4 および復号器 1 3 4 に LDPC 符号が実装されている場合、ダミービット挿入部 1 1 8 では、LDPC 検査行列 H における列重みの値が所定値より小さいビット位置に対してダミービットを挿入する。符号制御器 1 1 6 のダミービット挿入制御動作は次の通りである。

【 0 0 2 5 】

図 2 (B) において、切替判断部 1 1 7 は、誤り率推定器 1 1 3 により推定された誤り率が所定値より高くなったか否かを判定する (ステップ S 2 0 1) 。ダミービットを挿入するか否かの判定基準である所定値は、誤り訂正符号の訂正可能な誤り率の上限に設定することができる。推定された誤り率が所定値より高い場合には (ステップ S 2 0 1 の YES) 、符号制御器 1 1 6 はメモリ 1 1 2 に格納された送信メッセージ M から所定量 A 0 の情報 M 0 を読み出し、切替判断部 1 1 7 はこの情報 M 0 をダミービット挿入部 1 1 8 へ与える (ステップ S 2 0 2) 。ダミービット挿入部 1 1 8 は、LDPC 検査行列 H における列重み = 2 のビット位置にダミービットを挿入することで所定量 A 1 の情報 M 1 を生成し、符号器 1 1 4 へ出力する (ステップ S 2 0 3) 。また、推定された誤り率が所定値以下であれば (ステップ S 2 0 1 の NO) 、符号制御器 1 1 6 はメモリ 1 1 2 に格納された送信メッセージ M から所定量 A 1 の情報を読み出し、切替判断部 1 1 7 はこの情報をそのまま符号器 1 1 4 へ出力する (ステップ S 2 0 4) 。

40

50

【 0 0 2 6 】

次に、図 3 を参照しながらダミービット挿入制御について更に詳細に説明する。

【 0 0 2 7 】

図 3 (A) に本実施形態で実装している L D P C の検査行列の一部を示す。1 列目の重みが 5、2 列目の重みが 4、3 列目の重みが 6、4 列目の重みが 2、5 列目の重みが 3 となっている。パリティチェックを行う際、重みが 2 である列に対応するメッセージビットの誤り訂正効果が低くなる為、図 3 (B) に示す様に、メッセージ M 0 からメッセージ M 1 を生成する際に、列重みが 2 である 4 ビット目に固定値 " 0 " を挿入し、それ以降は順次ビット番号をシフトさせていく。これ以降も同様に、列重みが 2 である列に対応するメッセージビット位置に固定値 " 0 " を挿入し以下順次ビット番号をシフトさせる。

10

【 0 0 2 8 】

このように誤り率が高くなったときに、誤り訂正効果が低いビット位置に固定値のダミービットを割り当てたメッセージ M 1 を用いてパリティ計算することで符号語中の誤り数を L D P C 符号の誤り訂正可能範囲内に収めることが可能となり、1 つの符号器 1 1 4 で誤り訂正可能範囲を広げることができる。

【 0 0 2 9 】

なお、送信器 1 1 の誤り率推定器 1 1 3、符号器 1 1 4 および符号制御器 1 1 6 は、送信器 1 1 の C P U (Central Processing Unit) 等のプログラム制御プロセッサ上でプログラムを実行することにより同等の機能を実現することができる。同様に、受信器 1 3 の誤り率推定器 1 3 3、復号器 1 3 4 および復号制御器 1 3 6 も受信器 1 3 の C P U (Central Processing Unit) 等のプログラム制御プロセッサ上でプログラムを実行することにより同等の機能を実現することができる。また、送信器 1 1 の機能と受信器 1 3 の機能とが 1 つの通信装置に装備されてもよい。

20

【 0 0 3 0 】

1 . 3) システム動作

以下、図 1、図 4 および図 5 を参照しながら、本実施形態による通信システムの動作を説明する。

【 0 0 3 1 】

まず、本実施形態における符号器 1 1 4 および復号器 1 3 4 には、符号長 1 M ビット、符号化率 0 . 7 5 の L D P C が実装されており、この L D P C の検査行列の次数分布は非特許文献 1 に示されている様な分布に従っており、図 4 に示す誤り訂正性能を有するものとする。すなわち、図 4 に示すように、誤り率が 3 . 6 % よりも低い領域では誤り率が高くなるにつれて誤り訂正効率 $f (p)$ は 1 . 0 に近づき、誤り率が 3 . 6 % を超えると誤り訂正しきれなくなるケースが増加し訂正効率 $f (p)$ は劣化する。したがって、この場合、ダミービットを挿入するか否かの判定基準である所定値を 3 . 6 (%) に設定するものとする (図 2 (B) のステップ S 2 0 1)。

30

【 0 0 3 2 】

図 1 および図 5 を参照して、送信器 1 1 はメッセージ送信器 1 1 1 を使用してメッセージ M を受信器 1 3 に送信し (ステップ S 3 0 1)、送信したメッセージ M を一旦メモリ 1 1 2 に保存する。受信器 1 3 ではメッセージ受信器 1 3 1 で受信したメッセージ M ' を一旦メモリ 1 3 2 に保存する。誤り率推定器 1 1 3 および 1 3 3 は、それぞれのメモリ 1 1 2 および 1 3 2 に保存されたメッセージ M および M ' の一部の情報を照合してメッセージ中の誤り数を推定する (ステップ S 3 0 2)。誤り率推定器 1 1 3 および 1 3 3 は、推定された誤り率情報を符号制御器 1 1 6 および復号制御器 1 3 6 へそれぞれ出力する。符号制御器 1 1 6 および復号制御器 1 3 6 では、図 2 (B) で説明したダミービット制御がそれぞれ実行される (ステップ S 3 0 3 T、S 3 0 3 R)。

40

【 0 0 3 3 】

まず、推定されたメッセージの誤り率が 3 . 6 % 以下であった場合、符号制御器 1 1 6 および復号制御器 1 3 6 はメッセージ M および M ' に何の変更も施さない (ステップ S 3 0 3 T、S 3 0 3 R)。送信器 1 1 中の符号器 1 1 4 はメッセージ M の先頭から 7 5 0 k

50

ビット分（所定量 A 1）の情報を読み込み、250kビット分のパリティ情報 P を計算し（ステップ S 3 0 4）、パリティ送信機 1 1 5 はこのパリティ情報 P を受信器 1 3 に送信する（ステップ S 3 0 5）。

【0034】

パリティ情報 P も送信器 1 1 から受信器 1 3 に送信する過程でメッセージ M と同じ確率で誤りが生じ、受信器 1 3 のパリティ受信器 1 3 5 でパリティ情報 P ' として受信される。受信器 1 3 では、復号器 1 3 4 がメモリ 1 3 2 に格納された受信メッセージ M ' の先頭 750kビット分（所定量 A 1）の情報と受信した 250kビットのパリティ情報 P ' とを用いて誤り訂正を行う（ステップ S 3 0 6）。こうして誤り訂正された情報は、この場合ダミービットが挿入されていないので、そのまま出力される（ステップ S 3 0 7）。以上の動作を繰り返すことで全ての誤り訂正が行われた送信元のメッセージ M が得られる。

10

【0035】

一方、メッセージの誤り率が 3.6%より大きく 4%であった場合、符号制御器 1 1 6 および復号制御器 1 3 6 はメッセージ M および M ' にダミービットを挿入する（ステップ S 3 0 3 T、S 3 0 3 R）。符号制御器 1 1 6 はメッセージ M より 650kビット分（所定量 A 0）の情報 M 0 を読み込み、ダミービットを加えて 750kビットの情報 M 1 とする。この際、LDPC の検査行列の列重みが 2 である列に対応するビット位置にダミービットとして " 0 " を挿入する。受信器 1 3 の復号制御器 1 3 6 でも同様に、メッセージ M ' より 650kビット分（所定量 A 0）の情報 M 0 ' を読み込み、ダミービットを加えて 750kビットの情報 M 1 ' に変換するが、この際、送信器 1 1 で固定値 " 0 " を挿入したビット位置と同じ位置に固定値を挿入する。

20

【0036】

送信器 1 1 中の符号器 1 1 4 は 750kビットの情報 M 1 から、250kビット分のパリティ情報 P を計算し（ステップ S 3 0 4）、このパリティ情報 P を受信器 1 3 へ送信する（ステップ S 3 0 5）。上述したようにパリティ情報 P も送信器 1 1 から受信器 1 3 に送信する過程でメッセージ M と同じ確率で誤りが生じ、受信器 1 3 によりパリティ情報 P ' として受信される。受信器 1 3 の復号器 1 3 4 は、復号制御器 1 3 6 により生成された 750kビットの情報 M 1 ' と、パリティ受信器 1 3 5 で受信した 250kビットのパリティ情報 P ' とを用いて誤り訂正を行い誤り訂正された情報を得る（ステップ S 3 0 6）。誤り訂正後、挿入したダミービットを削除することで送信された情報 M 0 が得られる（ステップ S 3 0 7）。以上の動作を繰り返すことで全ての誤り訂正が行われた送信元のメッセージ M が得られる。

30

【0037】

1. 4) 効果

上述した本発明の第 1 実施形態によれば以下の様な効果が得られる。

【0038】

第一の効果は、複数の誤り訂正回路を実装することなく効率の良い誤り訂正が行えることである。その理由は、低い誤り率に対応した符号化率の大きい誤り訂正符号を実装し、誤り率が高くなった時にダミービットを挿入して符号語中の誤り数を誤り訂正可能な範囲に収めているので、1つの誤り訂正回路で広い範囲の誤り率に対応することができるからである。もし本実施形態のようなダミービット制御を用いなければ、1つの誤り訂正回路で広い範囲の誤り率に対応する為には最も高い誤り率に対応した符号を実装する必要があり、低い誤り率のデータに対しては過剰性能となってしまう伝送効率が低下してしまう。

40

【0039】

第二の効果は、挿入するダミービットの数を少なく抑えることができる為、伝送効率が高くなることである。その理由は、誤り訂正効果が低くなるビットにダミービットを割り当てることによって、誤り率が高くなった時に誤り易くなるビット位置を優先的に排除することができるからである。

【0040】

2. 第 2 実施形態

50

上述した第1実施形態では、メッセージを送信器および受信器で共有した後に誤り率を推定し、パリティ情報を送信することで誤り訂正を行ったが、本発明はこれに限定されるものではない。以下、本発明の第2実施形態として前方誤り訂正(FEC)方式に適用したシステムについて説明する。

【0041】

図6に示すように、本実施形態による通信システムにおいて、送信器41は伝送路42を通して受信器43と接続されている。伝送路12は有線/無線を問わない。

【0042】

送信器41は、メッセージを生成するPCS(Physical Coding Sublayer)ブロック411、第1実施形態で説明したダミービット挿入制御を行うダミービット制御器412、符号器413および送信インターフェイス414を有する。本実施形態における送信器41は、送信インターフェイス414がメッセージに冗長データ(パリティ情報)を付加した符号語全体を送信する。

10

【0043】

受信器43は、メッセージを受信するPCSブロック431、ダミービット削除制御を行うダミービット制御器432、受信メッセージの誤り訂正を行う復号器433、送信器41から符号語を受信する受信インターフェイス434、および、復号器433から受信メッセージ中の誤り訂正数情報を入力し誤り率を計算する誤り率推定器435を有する。

【0044】

誤り率推定器435は、受信した過去の符号語の誤り訂正数から誤り率を推定し、推定した誤り率情報を送信器41のダミービット制御器412へ返信すると共に、自局のダミービット制御器432にも出力する。送信器41のダミービット制御器412は、図2で示す機能構成を有し図3で示すように動作するので、詳細な説明は省略する。受信器43のダミービット制御器432は、誤り率情報に従ってダミービットが挿入されていない場合には復号器433からのメッセージをそのままPCSブロック431へ出力し、ダミービットが挿入されている場合には復号器433からのメッセージからダミービットを削除してからPCSブロック431へ出力する。

20

【0045】

本実施形態によれば、過去の誤り訂正数から誤り率を推定することで前方誤り訂正(FEC)に適用することができる。前方誤り訂正に適用した場合は、急激な誤り率変動には対応できないものの、誤り率変動が緩やかである通信系では、第1実施形態と同様に誤り率が上昇したときに誤り訂正可能範囲を拡張して効率良く誤り訂正を行うことができる。本実施形態による前方誤り訂正(FEC)システムでは、冗長データを付加した符号語全体を送信器41から受信器43へ送信し、誤り率情報を受信器43から送信器41へ戻すだけであるから、少ない通信回数で高いスループットが得られる。

30

【0046】

3. 第3実施形態

上述した第2実施形態では、伝送路を介して対抗する1つの送信器から1つの受信器へデータを送信するFECシステムを例示したが、本発明はこれに限定されるものではない。以下、本発明の第3実施形態として、局側装置に複数の加入者装置が接続された通信システムに適用した場合を説明する。このようなシステムとしては、1つのOLT(optical line terminal)に複数のONU(optical network unit)が接続したPONシステムなどがある。

40

【0047】

PONシステムでは局側装置と各加入者装置との間の伝送路特性が大きく異なる場合があり、このような場合であっても、本実施形態によれば、1つの符号器を用いて誤り率の広範囲で良好な誤り訂正特性を維持することができる。

【0048】

図7に示すように、本実施形態による通信システムにおいて、局側装置51は分岐部を有する伝送路52を通して複数の加入者装置53,54と接続している。

50

【 0 0 4 9 】

局側装置 5 1 は、第 1 実施形態で説明した送信メッセージに対してダミービット挿入制御を行うダミービット制御器 5 1 1、符号器 / 復号器 5 1 2、送信インターフェイス 5 1 3 および誤り率推定器 5 1 4 を有する。本実施形態においても、上述した第 2 実施形態と同様に、局側装置 5 1 は、メッセージに冗長データ（パリティ情報）を付加した符号語全体を送信インターフェイス 5 1 3 から送信する。

【 0 0 5 0 】

また、誤り率推定器 5 1 4 は、既に述べたような誤り率推定機能の他に、符号化率設定テーブルが事前に準備されており、推定された誤り率に対応して各加入者装置との通信に必要な符号化率情報が事前に格納されている。符号化率設定情報テーブルは、サービスを開始する際に設置業者が伝送損失を測定して更新しても良いし、過去の通信で発生した誤り率情報を元に局舎装置が符号化率設定情報を更新しても良い。符号化率設定テーブルを参照することで、過去に通信した際の誤り率を用いて符号化率を設定することができる。加入者装置 5 3、5 4 は、ダミービット削除制御を行うダミービット制御器 5 3 1、5 4 1、送信データの符号化や受信メッセージの誤り訂正を行う符号器 / 復号器 5 3 2、5 4 2、局側装置 5 1 から符号語を受信する通信インターフェイス 5 3 3、5 4 3 を有する。

【 0 0 5 1 】

ダミービット制御器 5 1 1 およびダミービット制御器 5 3 1、5 4 1 の動作は第 2 実施形態で説明したとおりである。ただし、加入者装置 5 3、5 4 におけるダミービット制御器 5 3 1、5 4 1 は、局側装置 5 1 からの符号化率情報に従ってダミービットが挿入されていない場合には符号器 / 復号器 5 3 2、5 4 2 からのメッセージをそのまま出力し、ダミービットが挿入されている場合には符号器 / 復号器 5 3 2、5 4 2 からのメッセージからダミービットを削除して出力する。

【 0 0 5 2 】

本実施形態によれば、伝送路特性が安定しており、偶に瞬間的に誤り率が悪化するようなシステムに最も効果的である。

【 0 0 5 3 】

4 . 第 4 実施形態

本発明の第 4 実施形態によれば、送信器と受信器との間が伝送路特性の異なる複数の伝送路で接続されたシステムにおいて、これらの伝送路を通して送受信間で共有した情報の誤り訂正を 1 つの誤り訂正回路で行うことができる。

【 0 0 5 4 】

4 . 1) システム構成

図 8 に示すように、本実施形態による通信システムにおいて、送信器 6 1 は伝送路 6 2 を介して受信器 6 3 と接続され、送信データや冗長データを受信器 6 3 へ送信すると共に、受信器 6 3 との間で誤り率推定のためのデータやその他制御信号などを送受信する。伝送路 6 2 は有線 / 無線を問わない。

【 0 0 5 5 】

送信器 6 1 は、複数系統（ここでは 8 系統）の乱数 $k_1 - k_8$ を受信器 6 3 へそれぞれ送信するための乱数送信インターフェイス（IF）6 1 0 1 ~ 6 1 0 8 と、乱数送信インターフェイス 6 1 0 1 ~ 6 1 0 8 で送信した乱数 $k_1 - k_8$ を記憶しておくメモリ 6 1 0 9 と、乱数送信インターフェイス 6 1 0 1 ~ 6 1 0 8 で送信した乱数が対向装置に到達するまでに発生した誤り率を推定する誤り率推定器 6 1 1 0 と、誤り率推定器 6 1 1 0 で推定した誤り率を元にメモリ 6 1 0 9 から読みだした乱数に所定のダミービットを挿入するダミービット制御器 6 1 1 1 と、乱数送信インターフェイス（IF）6 1 0 1 ~ 6 1 0 8 へ乱数情報を出力する乱数生成部 6 1 1 2 と、乱数生成部 6 1 1 2 から新たに乱数 K を読み出して符号化を行う符号器 6 1 1 3 と、ダミービット挿入後の乱数と符号化後の乱数の排他的論理和を計算する計算器 6 1 1 4 と、計算器 6 1 1 4 の計算結果を対向装置に送信する通信インターフェイス 6 1 1 5 とを有する。

【 0 0 5 6 】

受信器 6 3 は、送信器 6 1 の乱数送信インターフェイス 6 1 0 1 ~ 6 1 0 8 から乱数をそれぞれ受信する乱数受信インターフェイス 6 3 0 1 ~ 6 3 0 8 と、乱数受信インターフェイス 6 3 0 1 ~ 6 3 0 8 で受信した乱数情報 $k'_1 - k'_8$ を記憶しておくメモリ 6 3 0 9 と、乱数受信インターフェイス 6 3 0 1 ~ 6 3 0 8 で受信した乱数情報 $k'_1 - k'_8$ の誤り率を推定する誤り率推定器 6 3 1 0 と、誤り率推定器 6 3 1 0 で推定した誤り率を元にメモリ 6 3 0 9 から読みだした乱数に所定のダミービットを挿入するダミービット制御器 6 3 1 1 と、通信インターフェイス 6 1 1 5 から送られてきた情報を受信する通信インターフェイス 6 3 1 2 と、送信器 6 1 中の計算器 6 1 1 4 の計算結果とダミービット挿入後の乱数の排他的論理和を計算する計算器 6 3 1 3 と、計算器 6 3 1 3 の計算結果の誤り訂正を行う復号器 6 3 1 4 とを有する。

10

【 0 0 5 7 】

4 . 2) 動作

送信器 6 1 は、乱数生成部 6 1 1 2 によって常時乱数を生成し続けており、その一部の乱数 $k_1 - k_8$ を乱数送信インターフェイス 6 1 0 1 ~ 6 1 0 8 を使用して受信器 6 3 に送信し、これら乱数 $k_1 - k_8$ をメモリ 6 1 0 9 に格納する。受信器 6 3 は乱数受信インターフェイス 6 3 0 1 ~ 6 3 0 8 によって送信されてきた乱数情報 $k'_1 - k'_8$ を受信し、受信情報をメモリ 6 3 0 9 に格納する。送信器 6 1 の誤り率推定器 6 1 1 0 および受信器 6 3 の誤り率推定器 6 3 1 0 は、8 系統の乱数各々の一部ビットを照合することによって、誤り率 e_1, e_2, \dots, e_8 を計算する。

20

【 0 0 5 8 】

次に、送信器 6 1 は、乱数生成部 6 1 1 2 から新たに乱数 K を取り出し、符号器 6 1 1 3 で符号化を行う。ここで、符号器 6 1 1 3 および復号器 6 3 1 4 には符号長 $1M$ ビット、符号化率 0.75 の LDPC が実装されているものとする。符号器 6 1 1 3 は $750k$ ビットの乱数 K から $250k$ ビットのパリティを計算し、 $1M$ ビットの符号語 C として計算器 6 1 1 4 に送る。ダミービット制御器 6 1 1 1 は、誤り率 e_n ($n=1, 2, \dots, 8$) を参照してメモリ 6 1 0 9 から読み出した乱数 k_n から所定ビット数の乱数を読み込み、図 2 (B) で説明したように誤り率 e_n に応じてダミービットを加え $1M$ ビットの乱数 R として計算器 6 1 1 4 に送る。計算器 6 1 1 4 では C と R の排他的論理和を計算し、計算結果 M を通信インターフェイス 6 1 1 5 を用いて受信器 6 3 に送信する。

30

【 0 0 5 9 】

受信器 6 3 では、ダミービット制御器 6 3 1 1 が誤り率 e_n' を参照して乱数 k'_n から所定ビット数の乱数を読み込み、図 2 (B) で説明したように誤り率 e_n' に応じてダミービットを加えて $1M$ ビットの乱数 R' として計算器 6 3 1 3 に送る。計算器 6 3 1 3 では、受信した計算結果 M' と乱数 R' の排他的論理和を計算して計算結果 C' を得、復号器 6 3 1 4 に送る。復号器 6 3 1 4 は C' の誤り訂正を行い、誤り訂正後に乱数 K を得る。

【 0 0 6 0 】

以上の様な誤り訂正方法は、乱数 k_n および k'_n が誤りを多く含む暗号鍵であり、これらの暗号鍵を使用して誤りを含まない暗号鍵 K を送受信器間で共有する場合等に使用される。

40

【 0 0 6 1 】

本実施形態では、LDPC の検査行列として非特許文献 (Standard for Information Technology, IEEE Standard 802.16e, 2006) に開示され W I M A X 等で使用されている行列を採用している。このような検査行列では、行列右側に列重み 2 の領域が配置されており、符号化時に生成行列を必要とせず、密度の低い検査行列のみから必要なパリティ情報を計算出来るので計算の高速化が可能となる。

【 0 0 6 2 】

本実施形態でも第 1 実施形態と同様に、誤り率 e_n が 3.6% 以下の場合には、ダミービット制御器 6 1 1 1 および 6 3 1 1 はメモリ 6 1 0 9 および 6 3 0 9 から $1M$ ビットの乱数をそれぞれ読み出し、ダミービットを挿入せずに計算器 6 1 1 4 および 6 3 1 3 に送り、誤り率 e_n が 3.6% より大きい場合に必要な数のダミービットを挿入する。たとえ

50

ば誤り率 e_n が 4% であった場合、ダミービット制御器 6111 および 6311 はメモリ 6109 および 6309 から 900k ビットの乱数 k_n 、 k'_n をそれぞれ読み出し、100k ビットの固定パターンを後ろにそれぞれ付けて 1M ビットの乱数 R 、 R' とする。ここで固定パターンは送受信器双方が事前に知っているものとする。

【0063】

4.3) 効果

本発明の第4実施形態によれば、既に述べた第1実施形態と同様の効果が得られる。非特許文献2に開示されている様なLDPC検査行列は、行列右側に誤り訂正効果の低くなる列重み2の領域が配置されており、誤り率上昇時には該当箇所に対応するビットが優先的に誤ることとなる。そこで、該当箇所に対応するビット位置にダミービットを配置することで、誤り数を訂正可能範囲内に収めることが可能となり、結果として、誤り訂正可能な誤り率の範囲が拡張され、効率のよい誤り訂正が可能となる。

10

【0064】

なお、本実施形態では、送信器61が符号化を行い受信器63が復号を行う例を示したが、これは逆でも良い。受信器63が乱数Kの符号化を行い、送信器61が復号を行っても同様の効果が得られる。なお、初期乱数共有の為の複数チャネルの内、1チャネルのみの誤り率が高く、残りのチャネルの誤り率が同等である場合に、本実施例の効果が最も高くなる。

【0065】

5. 第5実施形態

本発明の第5実施形態によれば、誤り率に応じて誤り訂正符号に挿入するダミービットを元に伝送路の誤り率を測定することによって、誤り訂正符号の誤訂正等による誤り率推定誤差を回避することが出来る。

20

【0066】

図9に示すように、本実施形態による通信システムにおいて、送信器101は伝送路102を通して受信器103と接続されている。伝送路102は有線/無線を問わない。

【0067】

送信器101は、メッセージを生成するPCS(Physical Coding Sublayer)ブロック1011、第1実施形態で説明したダミービット挿入制御を行うダミービット制御器1012、符号器1013および送信インターフェイス1014を有する。本実施形態における送信器101は、送信インターフェイス1014がメッセージに冗長データ(パリティ情報)を付加した符号語全体を送信する。

30

【0068】

受信器103は、メッセージを受信するPCSブロック1031、ダミービット削除制御を行うダミービット制御器1032、受信メッセージの誤り訂正を行う復号器1033、送信器101から符号語を受信する受信インターフェイス1034、受信インターフェイス1034より受信信号を受け取ってダミービットのみを抽出して誤り率を計算するダミービット誤り率計算器1036、および、ダミービット誤り率計算器1036から誤り率情報を受け取りダミービット制御器1012及び1032に伝送路の誤り率を通達する誤り率送信器1035を有する。

40

【0069】

ダミービット誤り率計算器1036は、受信インターフェイス1034で受信した信号を受け取り、予め送信器101との間で決めていた位置のダミービットを抜き出す。ここで、送受信器が制御するダミービットはPRBS(Pseudo Random Binary Sequence)等の既知パターンとし、ダミービット誤り率計算器1036は、自らが保有する既知パターンと、受信信号から抜き出した既知パターンを照合することによって伝送路の誤り率を推定する。受信器103のダミービット制御器1032は、誤り率情報に従ってダミービットが挿入されていない場合には復号器1033からのメッセージをそのままPCSブロック1031へ出力し、ダミービットが挿入されている場合には復号器1033からのメッセージからダミービットを削除してからPCSブロック1031へ出

50

力する。

【0070】

本実施形態によれば、伝送路の誤り率に応じて挿入するダミービットを有効活用することが出来る。また、誤り訂正符号には、訂正可能な誤り率範囲を超えると正常な誤り訂正や誤り率推定が行えなくなる欠点を有するが、本実施例の方法を用いることによってその欠点を回避することが出来る。

【0071】

5. 付記

上述した実施形態の一部あるいは全部は、以下の付記のようにも記載されうるが、これらに限定されるものではない。

【0072】

(付記1)

所定の誤り訂正符号を実装した符号器を備えた通信機における誤り訂正制御装置であって、

前記通信機の送信データが受信側通信機に到達するまでに発生する誤り率の推定値が所定値を超えたか否かを判断する判断手段と、

前記誤り率の推定値が前記所定値を超えると、送信データにおける前記誤り訂正符号の誤り訂正特性に応じた所定ビット位置にダミービットを挿入し前記符号器へ出力するダミービット挿入手段と、

を有することを特徴とする誤り訂正制御装置。

【0073】

(付記2)

前記ダミービットは前記誤り訂正符号の誤り訂正効果が低いビット位置に挿入されることを特徴とする付記1に記載の誤り訂正制御装置。

【0074】

(付記3)

前記誤り訂正符号はLDPC (Low Density Parity Check) 符号であり、前記ダミービットは前記LDPCの検査行列の列重みが2の列に対応するビット位置に挿入されることを特徴とする付記1または2に記載の誤り訂正制御装置。

【0075】

(付記4)

前記ダミービットの受信後の誤り率を計算することによって、前記誤り率の推定値とすることを特徴とする付記1 - 3のいずれか1項に記載の誤り訂正制御装置。

【0076】

(付記5)

所定の誤り訂正符号を実装した符号器を備えた通信機における誤り訂正制御方法であって、

判断手段が、前記通信機の送信データが受信側通信機に到達するまでに発生する誤り率の推定値が所定値を超えたか否かを判断し、

ダミービット挿入手段が、前記誤り率の推定値が前記所定値を超えると、送信データにおける前記誤り訂正符号の誤り訂正特性に応じた所定ビット位置にダミービットを挿入し前記符号器へ出力する、

ことを特徴とする誤り訂正制御方法。

【0077】

(付記6)

前記ダミービットは前記誤り訂正符号の誤り訂正効果が低いビット位置に挿入されることを特徴とする付記4に記載の誤り訂正制御方法。

【0078】

(付記7)

前記誤り訂正符号はLDPC (Low Density Parity Check) 符号であり、前記ダミービッ

10

20

30

40

50

トは前記 L D P C の検査行列の列重みが 2 の列に対応するビット位置に挿入されることを特徴とする付記 1 または 2 に記載の誤り訂正制御方法。

【 0 0 7 9 】

(付記 8)

前記ダミービットの受信後の誤り率を計算することによって、前記誤り率の推定値とすることを特徴とする付記 5 - 7 のいずれか 1 項に記載の誤り訂正制御方法。

【 0 0 8 0 】

(付記 9)

所定の誤り訂正符号を実装した符号器を備えた通信機における誤り訂正制御機能をプログラム制御プロセッサに実現するためのプログラムであって、

判断手段が、前記通信機の送信データが受信側通信機に到達するまでに発生する誤り率の推定値が所定値を超えたか否かを判断する機能と、

ダミービット挿入手段が、前記誤り率の推定値が前記所定値を超えると、送信データにおける前記誤り訂正符号の誤り訂正特性に応じた所定ビット位置にダミービットを挿入し前記符号器へ出力する機能と、

を前記プログラム制御プロセッサに実現することを特徴とするプログラム。

【 0 0 8 1 】

(付記 1 0)

所定の誤り訂正符号を実装した符号器を備えた送信装置であって、

前記送信データが受信装置に到達するまでに発生する誤り率の推定値が所定値を超えたか否かを判断する判断手段と、

送信データにおける前記誤り訂正符号の誤り訂正特性に応じた所定ビット位置にダミービットを挿入するダミービット挿入手段と、

前記誤り率の推定値が前記所定値を超えると前記ダミービット挿入手段によりダミービットが挿入されたデータを前記符号器へ出力する制御手段と、

を有することを特徴とする送信装置。

【 0 0 8 2 】

(付記 1 1)

所定の誤り訂正符号を実装した復号器を備えた受信装置であって、

送信装置から受信した受信データの誤り率の推定値が所定値を超えたか否かを判断する判断手段と、

受信データにおける前記誤り訂正符号の誤り訂正特性に応じた所定ビット位置にダミービットを挿入するダミービット挿入手段と、

前記誤り率の推定値が前記所定値を超えると前記ダミービット挿入手段によりダミービットが挿入されたデータを前記復号器へ出力する制御手段と、

を有することを特徴とする受信装置。

【 0 0 8 3 】

(付記 1 2)

送信装置と受信装置とが伝送路で接続された通信システムであって、

前記送信装置は、

所定の誤り訂正符号を実装した符号化手段と、

送信データが前記受信装置に到達するまでに発生する誤り率の推定値が所定値を超えたか否かを判断する第 1 判断手段と、

送信データにおける前記誤り訂正符号の誤り訂正特性に応じた所定ビット位置にダミービットを挿入する第 1 ダミービット挿入手段と、

前記誤り率の推定値が前記所定値を超えると前記第 1 ダミービット挿入手段によりダミービットが挿入されたデータを前記符号化手段へ出力する第 1 制御手段と、

を有し、前記送信データと前記符号化手段により得られる冗長データとを別々に前記受信装置へ送信し、

前記受信装置は、

前記受信装置は、

10

20

30

40

50

前記所定の誤り訂正符号を実装した復号手段と、
 前記送信装置から受信した受信データの誤り率の推定値が所定値を超えたか否かを判断する第2判断手段と、
 受信データにおける前記第1ダミービット挿入手段と同じ所定ビット位置にダミービットを挿入する第2ダミービット挿入手段と、
 前記誤り率の推定値が前記所定値を超えると前記第2ダミービット挿入手段によりダミービットが挿入されたデータを前記復号手段へ出力する第2制御手段と、
 を有する、
 ことを特徴とする通信システム。

【0084】

10

(付記13)

前記送信装置は、伝送路特性が異なる複数の伝送路を通して複数の送信データを前記受信装置へ送信し、各送信データに対して前記符号化手段により得られる冗長データを前記送信データとは別に送信する、ことを特徴とする付記10に記載の通信システム。

【0085】

(付記14)

前記受信装置の前記復号手段は、前記送信装置から受信した冗長データを用いて前記ダミービットが挿入されたデータの誤り訂正を実行することを特徴とする付記10または11に記載の通信システム。

【0086】

20

(付記15)

送信装置と受信装置とが伝送路で接続された通信システムであって、
 前記送信装置は、

所定の誤り訂正符号を実装した符号化手段と、

送信データが前記受信装置に到達するまでに発生する誤り率の推定値が所定値を超えたか否かを判断する第1判断手段と、

送信データにおける前記誤り訂正符号の誤り訂正特性に応じた所定ビット位置にダミービットを挿入する第1ダミービット挿入手段と、

前記誤り率の推定値が前記所定値を超えると前記第1ダミービット挿入手段によりダミービットが挿入されたデータを前記符号化手段へ出力する第1制御手段と、

30

を有し、前記符号化手段が前記ダミービットが挿入されたデータとそれから得られた冗長データとを共に前記受信装置へ送信し、

前記受信装置は、

前記送信装置から受信した受信データの誤り率の推定値が所定値を超えたか否かを判断する第2判断手段と、

前記所定の誤り訂正符号を実装し、前記受信データを復号する復号手段と、

復号されたデータから前記第1ダミービット挿入手段と同じ所定ビット位置のダミービットを削除する第2ダミービット挿入手段と、

を有する、

ことを特徴とする通信システム。

40

【産業上の利用可能性】

【0087】

本発明は、伝送路特性の変動や差が大きく、広い誤り率範囲に対応した誤り率訂正符号が必要となる通信システムに利用可能である。

【符号の説明】

【0088】

11、41、61、101 送信器

12、42、62、102 伝送路

13、43、63、103 受信器

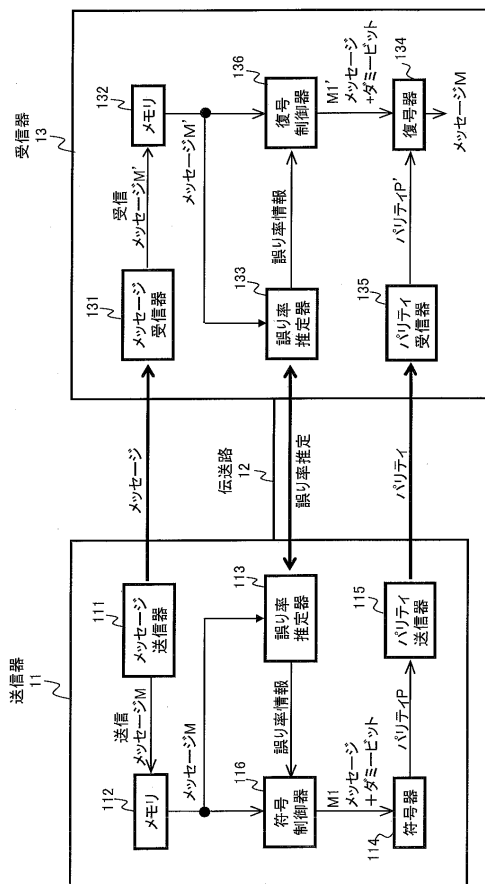
51 局側装置

50

- 5 3 , 5 4 加入者装置
- 1 1 1 メッセージ送信機
- 1 1 2、1 3 2、6 1 0 9、6 3 0 9 メモリ
- 1 1 3、1 3 3、4 3 5、5 1 4、6 1 1 0、6 3 1 0 誤り率推定器
- 1 1 4、4 1 3、6 1 1 3、1 0 1 3 符号器
- 1 1 5 パリティ送信器
- 1 1 6 符号制御器
- 1 1 7 切替判断部
- 1 1 8 ダミービット挿入部
- 1 3 6、4 1 2、4 3 2、5 1 1、6 1 1 1、1 0 1 2、1 0 3 2 ダミービット制御器 10
- 1 3 1 メッセージ受信器
- 1 3 4、4 3 3、6 3 1 4、1 0 3 3 復号器
- 1 3 5 パリティ受信器
- 4 1 1、4 3 1、1 0 1 1、1 0 3 1 PCSブロック
- 4 1 4、6 1 1 5、1 0 1 4 送信インターフェイス
- 4 3 4、6 3 1 2、1 0 3 4 受信インターフェイス
- 5 1 2、5 3 2、5 4 2 符号器/復号器
- 5 1 3、5 3 3、5 4 3 通信インターフェイス
- 6 1 1 2 乱数生成部
- 6 1 0 1 ~ 6 1 0 8 乱数送信インターフェイス
- 6 3 0 1 ~ 6 3 0 8 乱数受信インターフェイス
- 6 1 1 4、6 3 1 3 計算器
- 1 0 3 6 ダミービット誤り率計算器

20

【図1】



【図2】

