



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I489137 B

(45)公告日：中華民國 104 (2015) 年 06 月 21 日

(21)申請案號：101125452 (22)申請日：中華民國 101 (2012) 年 07 月 13 日

(51)Int. Cl. : **G02B26/04 (2006.01)** **G09G3/34 (2006.01)**

(30)優先權：2011/07/15 美國 61/508,192
2012/07/12 美國 13/548,007

(71)申請人：皮克斯特隆尼斯有限公司 (美國) PIXTRONIX, INC. (US)
美國

(72)發明人：路易斯 史蒂芬 R LEWIS, STEPHEN R. (US)；英格利區 史蒂芬 ENGLISH, STEPHEN (US)；姚江國 YAO, JIANGUO (US)；德路 約翰 DEROO, JOHN (US)；巴頓 羅傑 W BARTON, ROGER W. (US)

(74)代理人：陳長文

(56)參考文獻：
US 2007/0086078A1

審查人員：劉人維

申請專利範圍項數：23 項 圖式數：12 共 99 頁

(54)名稱

用於控制顯示裝置之電路

CIRCUITS FOR CONTROLLING DISPLAY APPARATUS

(57)摘要

本發明揭示一種包含一光調變器陣列之顯示裝置。每一光調變器具有經組態以將該光調變器驅動至一第一狀態中之一第一致動器及經組態以將該光調變器驅動至一第二狀態中之一第二致動器。該顯示裝置亦包含一控制矩陣，該控制矩陣針對該陣列中之每一光調變器包含一單個致動電壓互連線。該致動電壓互連線經組態以施加一第一驅動電壓至該光調變器之該第一致動器並施加一第二驅動電壓至該光調變器之該第二致動器。另外，該致動電壓互連線經組態以控制一資料電壓至一鎖存器電路之施加以控制該等第一及第二驅動電壓至該等第一及第二致動器之該施加。

A display apparatus includes an array of light modulators. Each light modulator has a first actuator configured to drive the light modulator into a first state and a second actuator configured to drive the light modulator into a second state. The display apparatus also includes a control matrix including, for each light modulator in the array, a single actuation voltage interconnect. The actuation voltage interconnect is configured to apply a first drive voltage to the first actuator of the light modulator and apply a second drive voltage to the second actuator of the light modulator. In addition, the actuation voltage interconnect is configured to control application of a data voltage to a latch circuit to control the application of the first and second drive voltages to the first and second actuators.

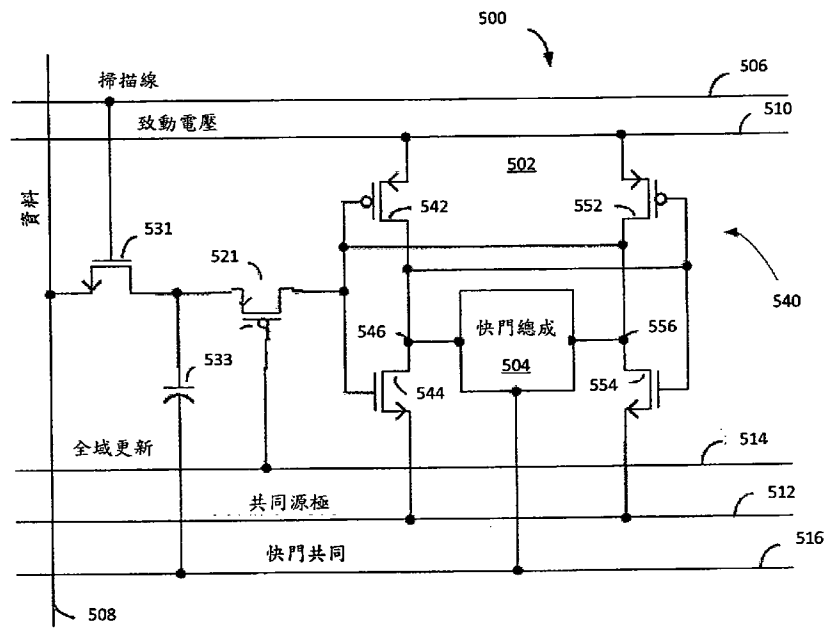


圖5

- 500 . . . 控制矩陣
- 502 . . . 像素陣列
- 504 . . . 雙重致動器
- 快門總成
- 506 . . . 掃描線互連線
- 508 . . . 資料互連線
- 510 . . . 致動電壓互連線/共同互連線
- 512 . . . 共同源極互連線/共同互連線
- 514 . . . 全域更新互連線/共同互連線
- 516 . . . 快門共同互連線/第一快門狀態節點
- 521 . . . 更新電晶體
- 531 . . . 寫入啟用電晶體
- 533 . . . 資料儲存電容器
- 540 . . . 鎖存器電路
- 542 . . . 第一充電電晶體
- 544 . . . 第一放電電晶體
- 546 . . . 第一快門狀態節點
- 552 . . . 第二充電電晶體
- 554 . . . 第二放電電晶體
- 556 . . . 第二快門狀態節點

發明專利說明書



(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：101125452

※ 申請日：101.1.13

※IPC 分類：G02B26/04 (2006.01)

G09G3/34 (2006.01)

一、發明名稱：(中文/英文)

用於控制顯示裝置之電路

CIRCUITS FOR CONTROLLING DISPLAY APPARATUS

二、中文發明摘要：

本發明揭示一種包含一光調變器陣列之顯示裝置。每一光調變器具有經組態以將該光調變器驅動至一第一狀態中之一第一致動器及經組態以將該光調變器驅動至一第二狀態中之一第二致動器。該顯示裝置亦包含一控制矩陣，該控制矩陣針對該陣列中之每一光調變器包含一單個致動電壓互連線。該致動電壓互連線經組態以施加一第一驅動電壓至該光調變器之該第一致動器並施加一第二驅動電壓至該光調變器之該第二致動器。另外，該致動電壓互連線經組態以控制一資料電壓至一鎖存器電路之施加以控制該等第一及第二驅動電壓至該等第一及第二致動器之該施加。

三、英文發明摘要：

A display apparatus includes an array of light modulators. Each light modulator has a first actuator configured to drive the light modulator into a first state and a second actuator configured to drive the light modulator into a second state. The display apparatus also includes a control matrix including, for each light modulator in the array, a single actuation voltage interconnect. The actuation voltage interconnect is configured to apply a first drive voltage to the first actuator of the light modulator and apply a second drive voltage to the second actuator of the light modulator. In addition, the actuation voltage interconnect is configured to control application of a data voltage to a latch circuit to control the application of the first and second drive voltages to the first and second actuators.

四、指定代表圖：

(一)本案指定代表圖為：第(5)圖。

(二)本代表圖之元件符號簡單說明：

500	控制矩陣
502	像素陣列
504	雙重致動器快門總成
506	掃描線互連線
508	資料互連線
510	致動電壓互連線/共同互連線
512	共同源極互連線/共同互連線
514	全域更新互連線/共同互連線
516	快門共同互連線/第一快門狀態節點
521	更新電晶體
531	寫入啟用電晶體
533	資料儲存電容器
540	鎖存器電路
542	第一充電電晶體
544	第一放電電晶體
546	第一快門狀態節點
552	第二充電電晶體
554	第二放電電晶體
556	第二快門狀態節點

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明係關於微機電系統領域。特定而言，本發明係關於用於控制一顯示裝置之一光調變器陣列之電路。

本專利申請案主張基於2011年7月15日提出申請且標題為「Circuits for Controlling Display Apparatus」之第61/508,192號美國臨時專利申請案之優先權。該先前申請案之揭示內容視為本專利申請案之部分且以引用方式併入本專利申請案中。

【先前技術】

各種顯示裝置包含具有透射光以形成影像之對應光調變器之一顯示像素陣列。該等光調變器包含用於在一第一狀態與一第二狀態之間驅動該等光調變器之致動器。某些顯示裝置利用可由一第一致動器驅動至該第一狀態中並由一第二致動器驅動至該第二狀態中之雙重致動光調變器。該等光調變器由一電路或控制矩陣控制。

【發明內容】

本發明之系統、方法及器件各自具有若干個創新性態樣，該等態樣中之任何單個態樣皆不單獨地決定本文中所揭示之合意屬性。

本發明中所闡述之標的物之一個創新性態樣可實施於包含一光調變器陣列之一顯示裝置中。每一光調變器具有經組態以將該光調變器驅動至一第一狀態中之一第一致動器及經組態以將該光調變器驅動至一第二狀態中之一第二致

動器。該顯示裝置亦包含一控制矩陣，該控制矩陣針對該陣列中之每一光調變器包含一單個致動電壓互連線。該致動電壓互連線經組態以施加一第一驅動電壓至該光調變器之該第一致動器並施加一第二驅動電壓至該光調變器之該第二致動器。另外，該致動電壓互連線經組態以控制一資料電壓至一鎖存器電路之施加以控制該等第一及第二驅動電壓至該等第一及第二致動器之該施加。

在某些實施方案中，該控制矩陣包含一鎖存器電路，該鎖存器電路包含經組態以致動該光調變器以移動至該第一狀態之一第一快門狀態反相器及經組態以致動該光調變器以移動至該第二狀態之一第二快門狀態反相器。在此等實施方案中，該第一快門狀態反相器交叉耦合至該第二快門狀態反相器。在某些此類實施方案中，該第一快門狀態反相器包含第一充電電晶體及第一放電電晶體且該第二快門狀態反相器包含第二充電電晶體及第二放電電晶體。

在某些實施方案中，該等第一及第二充電電晶體具有一第一極性且該等第一及第二充電電晶體之各別源極端子連接至一共同致動電壓互連線。在某些實施方案中，該等第一及第二放電電晶體具有一第二極性且該等第一及第二放電電晶體之各別源極端子電連接至該共同源極互連線。在某些實施方案中，該等第一及第二充電電晶體係p型電晶體且該等第一及第二放電電晶體係n型電晶體。在某些實施方案中，該控制矩陣包含一更新電晶體，該更新電晶體電連接至該致動電壓互連線以便該致動電壓互連線控制該

資料電壓至該等第一及第二放電電晶體之該施加。

本發明中所闡述之標的物之另一創新性態樣可以包含一光調變器陣列之一顯示裝置來實施。每一光調變器包含經組態以將該光調變器朝向一第一狀態驅動之一第一致動器及經組態以將該光調變器移動至一第二狀態中之一第二致動器。該顯示裝置包含一控制矩陣，該控制矩陣針對每一光調變器包含用於控制該光調變器之一電路。該電路包含經組態以控制該光調變器之該第一致動器之一第一快門狀態反相器及經組態以控制該光調變器之該第二致動器之一第二快門狀態反相器。該第一快門狀態反相器之一輸出電連接至該第二快門狀態反相器之僅一個輸入。此外，該控制矩陣經組態以預加偏壓於儲存於該電路上之一電壓。

在某些實施方案中，該第一快門狀態反相器包含一第一充電電晶體及一第一放電電晶體且該第二快門狀態反相器包含一第二充電電晶體及一第二放電電晶體。在某些實施方案中，該等第一及第二充電電晶體係p型電晶體且該等第一及第二充電電晶體之源極連接至一全域更新互連線。在某些實施方案中，該等第一及第二放電電晶體係n型電晶體且該等第一及第二放電電晶體之源極連接至該全域更新互連線。

在某些實施方案中，該控制矩陣經組態以藉由將一資料電壓源電耦合至該第一放電電晶體來控制一資料電壓至該電路之施加。在某些實施方案中，該電路經組態以在致動該光調變器之前藉由將該第一快門狀態反相器及該第二快

門狀態反相器之一輸入電連接至一偏壓電壓源來預加偏壓於儲存於該電路上之一電壓。

在某些實施方案中，該第一充電電晶體之一汲極以及該第二充電電晶體及該第二放電電晶體之各別閘極電連接至該偏壓電壓源。在某些實施方案中，該偏壓電壓源經由一電容器電連接至該第一快門狀態反相器及該第二快門狀態反相器之閘極。在某些實施方案中，該偏壓電壓源經由一電晶體電連接至該第一快門狀態反相器及該第二快門狀態反相器之閘極。

在某些實施方案中，一資料儲存電容器耦合至該第一快門狀態反相器且經由一資料反相器耦合至一第二快門狀態反相器。在某些實施方案中，該控制矩陣包含耦合至該第一快門狀態反相器之一第一疊接電晶體及耦合至該第二快門狀態反相器之一第二疊接電晶體。

附圖及下文之說明中陳述本說明書中所闡述之標的物之一或多個實施方案之細節。儘管主要就基於MEMS之顯示器闡述本發明內容中所提供之實例，但本文中所提供之概念可適用於其他類型之顯示器(諸如LCD、OLED、電泳顯示器及場發射顯示器)以及其他非顯示MEMS器件(諸如MEMS麥克風、感測器及光開關)。根據說明、圖式及申請專利範圍，將明瞭其他特徵、態樣及優點。應注意，以下圖之相對尺寸可能並非按比例繪製。

【實施方式】

本發明係關於用於控制一顯示裝置之一光調變器陣列以

產生顯示影像之電路。在某些實施方案中，每一光調變器對應於一顯示像素。某些顯示裝置包含光調變器，該等光調變器包含單獨致動器，該等單獨致動器用於將該等光調變器驅動至其中光調變器透射光之一第一狀態(諸如一接通狀態)及其中光調變器不輸出任何光之一第二狀態(諸如一關斷狀態)中。用於驅動上文所闡述之致動器之電路被配置成一控制矩陣。該控制矩陣針對任一既定影像圖框將該陣列之每一像素定址處於對應於一對應光調變器之一接通狀態之一接通狀態或對應於該對應光調變器之該關斷狀態之一關斷狀態。

在顯示一既定影像圖框之前，在其中該等像素中之每一者儲存對應於第一狀態或第二狀態之一資料電壓之一資料載入階段期間定址該等像素。在完成此資料載入階段之後，回應於一全域致動事件，該控制矩陣藉由施加所儲存資料電壓至耦合至該光調變器之形成一鎖存器電路之一或多個電晶體來設定該等光調變器中之影像。該等電晶體控制驅動電壓至該等致動器之施加及/或放電，該等致動器反過來控制該等像素之狀態。此導致該等光調變器獲得所期望狀態。然後啟動一光源以照明用於顯示該既定影像圖框之光調變器。

在某些實施方案中，該等光調變器之第一及第二致動器經組態以由藉由一單個致動電壓互連線施加之各別第一及第二驅動電壓驅動。此單個致動電壓互連線亦經組態以控制該資料電壓至一鎖存器電路之施加，該鎖存器電路控制

該等驅動電壓至第一及第二致動器之施加。此排除對一單獨更新互連線之需要且因此使得該控制矩陣能夠節約寶貴的基板面積。在某些實施方案中，該致動器電壓藉由控制定位於一資料儲存電容器與該鎖存器電路之間的一p型金屬氧化物半導體(pMOS)電晶體來實行此控制。

在某些實施方案中，藉由包含一pMOS電晶體作為一更新開關來減少電流洩漏。由於pMOS電晶體相對更有彈性且能夠處理與n型金屬氧化物半導體(nMOS)相比較高的閘極電壓，因而使用pMOS改良該控制矩陣之可靠性。在某些其他實施方案中，用其中一半鎖存器電路來替換一全鎖存器電路，其中該鎖存器電路中之至少一個電晶體閘極與反相器回饋中斷連接。可因一鎖存器電路中之非對稱性而引起之一個問題係彼鎖存器電路可具有一不確定狀態。考慮到這一點，可添加一電容器或電晶體以預加偏壓於儲存於該鎖存器電路上之一電壓。

可實施本發明中所闡述之標的物之特定實施方案以實現以下潛在優點中之一或多者。藉由利用一pMOS電晶體作為一更新開關，增加該控制矩陣之可靠性且可減少電流洩漏。此外，在某些實施方案中，共同互連線之數目相對於先前控制矩陣減少，藉此節約寶貴的基板面積。此外，與一半鎖存器電路一起使用一預偏壓電容器或電晶體排除對一更新開關之需要。另外，藉由預加偏壓於儲存於該鎖存器電路上之一電壓，防止該鎖存器電路具有一不確定狀態。

圖1A展示一直觀式基於MEMS之顯示裝置100之一示意圖。顯示裝置100包含配置成列及行之複數個光調變器102a至102d(統稱「光調變器102」)。在顯示裝置100中，光調變器102a及102d處於打開狀態，從而允許光通過。光調變器102b及102c處於關閉狀態，從而阻礙光通過。藉由選擇性地設定光調變器102a至102d之狀態，顯示裝置100可用於形成一背光照明顯示器(若由一或多個燈105照明)之一影像104。在另一實施方案中，裝置100可藉由反射源自該裝置前面之周圍光來形成一影像。在另一實施方案中，裝置100可藉由反射來自定位於該顯示器前面之一或多個燈之光(亦即，藉由使用一正面光)來形成一影像。

在某些實施方案中，每一光調變器102對應於影像104中之一像素106。在某些其他實施方案中，顯示裝置100可利用複數個光調變器來形成影像104中之一像素106。舉例而言，顯示裝置100可包含三個色彩特定光調變器102。藉由選擇性地打開對應於一特定像素106之色彩特定光調變器102中之一或多者，顯示裝置100可在影像104中產生一色彩像素106。在另一實例中，顯示裝置100包含每像素106兩個或兩個以上光調變器102以在一影像104中提供照度位階。關於一影像，一「像素」對應於由影像之解析度定義之最小圖像元素。關於顯示裝置100之結構組件，術語「像素」係指用於調變形成該影像之一單個像素之光之組合機械與電子組件。

顯示裝置100係一直觀式顯示器，此乃因其可不包含通

常在投影應用中發現之成像光學件。在一投影顯示器中，將形成於該顯示裝置之表面上之影像投影至一螢幕上或至一牆壁上。該顯示裝置實質上小於所投影影像。在一直觀式顯示器中，使用者藉由直接注視該顯示裝置來察看該影像，該顯示裝置含有該等光調變器及視情況用於增強在該顯示器上所察看到之亮度及/或反差。

直觀式顯示器可以一透射模式或反射模式操作。在一透射顯示器中，光調變器過濾或選擇性地阻擋源自定位於該顯示器後面之一或多個燈之光。來自該等燈之光視情況注入一光導或「背光」以使得可均勻地照明每一像素。透射直觀式顯示器通常構建於透明或玻璃基板上以促進其中含有光調變器之一個基板直接定位於背光頂部上之一夾層總成配置。

每一光調變器 102 可包含一快門 108 及一光圈 109。為照明影像 104 中之一像素 106，快門 108 經定位以使得其允許光通過光圈 109 朝向一觀看者。為保持一像素 106 未被照亮，快門 108 經定位以使得其阻礙光通過光圈 109。光圈 109 係由穿過每一光調變器 102 中之一反射或吸光材料圖案化之一開口界定。

該顯示裝置亦包含連接至該基板且連接至該等光調變器以用於控制快門之移動之一控制矩陣。該控制矩陣包含一系列電互連線(例如，互連線 110、112 及 114)，該一系列電互連線包含每列像素至少一個寫入啟用互連線 110(亦稱作一「掃描線互連線」)、每一行像素行之一個資料互連線

112及提供一共同電壓至所有像素或至少至來自顯示裝置100中之多個行及多個列兩者之像素的一個共同互連線114。回應於施加一適當電壓(「寫入啟用電壓， V_{WE} 」)，一給定列像素之寫入啟用互連線110使該列中之像素準備好接受新快門移動指令。資料互連線112以資料電壓脈衝之形式傳遞新移動指令。在某些實施方案中，施加至資料互連線112之資料電壓脈衝直接促成快門之一靜電移動。在某些其他實施方案中，資料電壓脈衝控制開關，例如，電晶體或其他非線性電路元件，該等開關控制單獨致動電壓(其量值通常高於資料電壓)至光調變器102之施加。此等致動電壓之施加然後導致快門108之靜電驅動移動。

圖1B展示一主機器件(亦即，手機、智慧手機、PDA、MP3播放器、平板電腦、電子閱讀器等)之一方塊圖120之一實例。該主機器件包含一顯示裝置128、一主機處理器122、環境感測器124、一使用者輸入模組126及一電源。

顯示裝置128包含複數個掃描驅動器130(亦稱作「寫入啟用電壓源」)、複數個資料驅動器132(亦稱作「資料電壓源」)、一控制器134、共同驅動器138、燈140至146、燈驅動器148及光調變器150。掃描驅動器130施加寫入啟用電壓至掃描線互連線110。資料驅動器132施加資料電壓至資料互連線112。

在該顯示裝置之某些實施方案中，資料驅動器132經組態以提供類比資料電壓至該等光調變器，尤其在影像104之照度位階欲以類比方式獲取之情形中。在類比操作中，

光調變器 102 經設計以使得當經由資料互連線 112 施加一範圍之中間電壓時，在快門 108 中產生範圍之中間打開狀態且因此在影像 104 中產生一範圍之中間照明狀態或照度位階。在其他情形中，資料驅動器 132 經組態以僅施加一組減少之 2、3 或 4 個數位電壓位準至資料互連線 112。此等電壓位準經設計而以數位方式為快門 108 中之每一者設定一打開狀態、一關閉狀態或其他離散狀態。

掃描驅動器 130 及資料驅動器 132 連接至一數位控制器電路 134 (亦稱作「控制器 134」)。該控制器以一主要串列方式發送資料至資料驅動器 132，該資料組織成按列且按影像圖框分組之預定序列。資料驅動器 132 可包含串列轉並行資料轉換器、位準移位及在某些應用情形中數位轉類比電壓轉換器。

該顯示裝置視情況包含一組共同驅動器 138 (亦稱作共同電壓源)。在某些實施方案中，共同驅動器 138 例如藉由將電壓供應至一系列共同互連線 114 而提供一 DC 共同電位至該光調變器陣列內之所有光調變器。在某些其他實施方案中，共同驅動器 138 遵循來自控制器 134 之命令而發佈電壓脈衝或信號至該光調變器陣列，例如能夠驅動及/或起始該陣列之多個列及行中之所有光調變器之同時致動之全域致動脈衝。

用於不同顯示功能之所有驅動器 (例如，掃描驅動器 130、資料驅動器 132 及共同驅動器 138) 由控制器 134 時間同步。來自該控制器之時序命令協調經由燈驅動器 148 之

紅色、綠色及藍色以及白色燈(分別為140、142、144及146)之照明、該像素陣列內的特定列之寫入啟用及定序、來自資料驅動器132之電壓之輸出及提供光調變器致動之電壓之輸出。

控制器134確定可藉以將快門108中之每一者重設為適於一新影像104之照明位階之定序或定址方案。可以週期性間隔設定新影像104。例如，對於視訊顯示，以在介於自10赫茲至300赫茲(Hz)之範圍的頻率再新彩色影像104或視訊圖框。在某些實施方案中，一影像圖框至該陣列之設定與燈140、142、144及146之照明同步以使得用一系列交替色彩(例如，紅色、綠色及藍色)照明交替影像圖框。每一各別色彩之影像圖框稱作一色彩子圖框。在稱作場順序著色方法之此方法中，若色彩子圖框以超過20 Hz之頻率交替，則人類大腦將把交替圖框影像平均化為感知到具有一廣泛及連續範圍之色彩之一影像。在替代實施方案中，在顯示裝置100中可採用具有原色之四個或四個以上燈，從而採用除紅色、綠色及藍色以外之原色。

在某些實施方案中，在顯示裝置100經設計用於快門108在打開與關閉狀態之間的數位切換之情形下，控制器134藉由分時灰階之方法形成一影像，如先前所闡述。在某些其他實施方案中，顯示裝置100可經由使用每像素多個快門108來提供灰階。

在某些實施方案中，一影像狀態104之資料由控制器134藉由對個別列(亦稱作掃描線)之一順序定址載入至該調變

器陣列。對於該序列中之每一列或掃描線，掃描驅動器 130 將一寫入啟用電壓施加至該陣列之彼列之寫入啟用互連線 110，且然後資料驅動器 132 為該選定列中之每一行供應對應於所期望快門狀態之資料電壓。重複此程序直至已針對該陣列中之所有列載入資料為止。在某些實施方案中，用於資料載入之選定列之順序係線性的，在該陣列中自頂部進行至底部。在某些其他實施方案中，將選定列之順序偽隨機化，以最小化視覺假影。且在某些其他實施方案中，按區塊組織定序，其中針對一區塊，將影像狀態 104 之僅某一分率之資料載入至該陣列，例如藉由僅依次定址該陣列中之每隔 4 列之列。

在某些實施方案中，使影像資料載入至該陣列之程序與致動快門 108 之程序在時間上分離。在此等實施方案中，該調變器陣列可包含用於該陣列中之每一像素之資料記憶體元件，且該控制矩陣可包含一全域致動互連線以用於自共同驅動器 138 載送觸發信號以根據記憶體元件中所儲存之資料起始快門 108 之同時致動。

在替代實施方案中，該像素陣列及控制該等像素之控制矩陣可係配置成除矩形列及行以外之組態。舉例而言，該等像素可配置成六邊形陣列或曲線列及行。通常，如本文中所使用，術語“掃描線”應指代共用一寫入啟用互連線之任一複數個像素。

主機處理器 122 通常控制主機之操作。舉例而言，主機處理器可係用於控制一可攜式電子裝置之一通用或專用處

理器。關於包含在主機裝置120內之顯示裝置128，主機處理器輸出影像資料以及關於主機之額外資料。此種資訊可包含來自環境感測器之資料，例如周圍光或溫度；關於主機之資訊，包含(舉例而言)主機之一操作模式或主機之電源中所剩餘之電力之量；關於影像資料之內容之資訊；關於影像資料類型之資訊；及/或用於顯示裝置在選擇一成像模式中使用之指令。

使用者輸入模組126直接或經由主機處理器122將使用者之個人偏好傳送至控制器134。在某些實施方案中，該使用者輸入模組由使用者藉以程式化個人偏好(諸如「較深色彩」、「較佳反差」、「較低功率」、「增強之亮度」、「運動」、「現場動作」或「動畫」)之軟體控制。在某些其他實施方案中，使用硬體將此等偏好輸入至主機，諸如一開關或撥號盤。至控制器134之複數個資料輸入指揮該控制器將對應於最佳成像特性之資料提供至各種驅動器130、132、138及148。

一環境感測器模組124亦可作為該主機器件之部分而包含。該環境感測器模組接收關於周圍環境之資料，諸如溫度及/或周圍採光狀態。感測器模組124可經程式化以相對於在明亮白天之一室外環境及在夜間之一室外環境區分該裝置是正在一室內環境中操作還是正在一辦公環境中操作。該感測器模組將此資訊傳遞至顯示器控制器134，以使得該控制器可回應於周圍環境而最佳化觀看狀態。

圖2A展示一說明性基於快門之光調變器200之一透射

圖。該基於快門之光調變器適於併入至圖1A之直觀式基於MEMS之顯示裝置100中。光調變器200包含耦合至一致動器204之一快門202。致動器204可由兩個單獨的順應性電極橫樑致動器205(「致動器205」)形成。快門202在一側上耦合至致動器205。致動器205沿實質上平行於一表面203之一運動平面在表面203上方橫向移動快門202。快門202之相對側耦合至提供與由致動器204所施加之力相反之一恢復力之一彈簧207。

每一致動器205包含將快門202連接至一負載錨208之一順應性負載橫樑206。負載錨208連同順應性負載橫樑206一起充當機械支撐件，從而保持快門202接近於表面203懸吊。該表面包含用於容許光通過之一或多個光圈孔211。負載錨208將順應性負載橫樑206及快門202實體連接至表面203，且將負載橫樑206電連接至一偏壓電壓(在某些例項中，接地)。

若該基板係不透明的(諸如矽)，則藉由穿過基板204蝕刻一孔陣列來在該基板中形成光圈孔211。若基板204係透明的(諸如玻璃或塑膠)，則光圈孔211形成於沈積於基板203上之一擋光材料層中。光圈孔211可呈大體圓形、橢圓形、多邊形、蛇形或不規則形狀。

每一致動器205亦包含毗鄰每一負載橫樑206定位之一順應性驅動橫樑216。驅動橫樑216在一端處耦合至在驅動橫樑216之間共用之一驅動橫樑錨218。每一驅動橫樑216之另一端自由地移動。每一驅動橫樑216呈弧形以使得其在

驅動橫樑216之自由端及負載橫樑206之經錨定端附近最靠近負載橫樑206。

在操作中，併入光調變器200之一顯示裝置經由驅動橫樑錨218施加一電位至驅動橫樑216。可施加一第二電位至負載橫樑206。驅動橫樑216與負載橫樑206之間的所得電位差朝向負載橫樑206之經錨定端牽拉驅動橫樑216之自由端，且朝向驅動橫樑216之經錨定端牽拉負載橫樑206之快門端，藉此朝向驅動錨218橫向驅動快門202。順應性構件206充當彈簧，以便當跨橫樑206及216電位之電壓移除時，負載橫樑206將快門202推回至其初始位置中，從而釋放儲存在負載橫樑206中之應力。

一光調變器(諸如光調變器200)併入用於在電壓移除之後使一快門回位至其靜止位置之一被動恢復力，諸如一彈簧。其他快門總成可併入用於將快門移動至一打開或一關閉狀態中之一組雙重「打開」及「關閉」致動器及一組單獨「打開」及「關閉」電極。

存在可藉以經由一控制矩陣來控制一快門及光圈陣列以產生具有適當照度位階之影像(在諸多情形中，移動影像)的各種方法。在某些情形中，控制係藉助連接至該顯示器之周邊上之驅動器電路之一被動矩陣列及行互連線陣列來實現。在其他情形中，適當地將切換及/或資料儲存元件包含在該陣列之每一像素內(所謂主動矩陣)以改良顯示器之速度、照度位階及/或功耗效能。

在替代實施方案中，顯示裝置100包含不同於橫向基於

快門之光調變器(諸如上文所闡述之快門總成200)之光調變器。舉例而言，圖2B展示一基於捲動致動器快門之光調變器220之一剖面圖。基於捲動致動器快門之光調變器220適於併入至圖1A之基於MEMS之顯示裝置100之一替代實施方案中。一基於捲動致動器之光調變器包含安置於一固定電極對面且經加偏壓以沿一特定方向移動以在施加一電場時充當一快門之一可移動電極。在某些實施方案中，光調變器220包含安置於一基板228與一絕緣層224之間的一平面電極226及具有附接至絕緣層224之一固定端230之一可移動電極222。在沒有任何所施加電壓之情況下，可移動電極222之一可移動端232自由地朝向固定端230捲動以產生一捲起狀態。在電極222與226之間施加一電壓致使可移動電極222展開且平放在絕緣層224上，藉此其用作阻止光透過基板228之一快門。可移動電極222在該電壓移除之後藉助一彈性恢復力返回至該捲起狀態。朝向一捲起狀態之偏壓可藉由製造可移動電極222以包含一各向異性應力狀態來達成。

圖2C展示一說明性非基於快門之MEMS光調變器250之一剖面圖。光分接頭調變器250適於併入至圖1A之基於MEMS之顯示裝置100之一替代實施方案中。一光分接頭根據內全反射(TIR)之一原理工作。即，將光252引入至一光導254中，在該光導中，在沒有干涉之情況下，光252因TIR而基本上不能經由其前表面或後表面逸出光導254。光分接頭250包含一分接頭元件256，該分接頭元件具有一足

夠高的折射率以致回應於分接頭元件256接觸光導254，照射到毗鄰分接頭元件256之光導254之表面上之光252經由分接頭元件256朝向一觀看者逸出光導254，藉此促成一影像之形成。

在某些實施方案中，分接頭元件256形成為撓性透明材料之一橫樑258之部分。電極260塗覆橫樑258之一側之部分。相反電極262安置於光導254上。藉由跨電極260及262施加一電壓，可控制分接頭元件256相對於光導254之位置以選擇性地自光導254提取光252。

圖2D展示一基於電潤濕之光調變陣列270之一實例性剖面圖。基於電潤濕之光調變陣列270適於併入至圖1A之基於MEMS之顯示裝置100之一替代實施方案中。光調變陣列270包含形成於一光學腔274上之複數個基於電潤濕之光調變單元272a至d(統稱為「單元272」)。光調變陣列270亦包含一組對應於單元272之彩色濾光器276。

每一單元272包含一水(或其他透明導電或極性流體)層278、一吸光油層280、一透明電極282(舉例而言，由氧化銦錫(ITO)製成)及定位於吸光油層280與透明電極282之間的一絕緣層284。在本文中所闡述之實施方案中，該電極佔據一單元272之後表面之一部分。

一單元272之後表面之其餘部分係由形成光學腔274之前表面之一反射光圈層286形成。反射光圈層286係由一反射材料(諸如一反射金屬或形成一介電鏡之一薄膜堆疊)形成。對於每一單元272，在反射光圈層286中形成一光圈以

允許光通過。用於該單元之電極282沈積在該光圈中且在形成反射光圈層286之材料上方，藉由另一介電層與其分離。

光學腔274之其餘部分包含接近反射光圈層286定位之一光導288及在光導288之與反射光圈層286相對之一側上之一第二反射層290。一系列光重定向器291形成於該光導之接近第二反射層後表面上。光重定向器291可係漫反射體或鏡面反射體。一或多個光源292(諸如LED)將光294注入光導288。

在一替代實施方案中，一額外透明基板定位於光導288與光調變陣列270之間。在此實施方案中，反射光圈層286形成於該額外透明基板上而非光導288之表面上。

在操作中，施加一電壓至一單元(舉例而言，單元272b或272c)之電極282致使該單元中之吸光油280聚集於單元272之一個部分中。因此，吸光油280不再阻礙光通過形成於反射光圈層286中之光圈(舉例而言，參見單元272b及272c)。在光圈處逸出背光之光然後能夠經由該單元且經由該組彩色濾光器276中之一對應彩色濾光器(舉例而言，紅色、綠色或藍色)逸出以在一影像中形成一色彩像素。當電極282接地時，吸光油280覆蓋反射光圈層286中之光圈，從而吸收試圖通過其之任何光294。

在施加一電壓至單元272時油280聚集於其下方之區域構成與形成一影像有關的浪費空間。無論施加一電壓與否，該區域皆係非透射的。因此，在不包含反射光圈層286之

反射部分之情況下，此區域吸收原本可用於促成一影像之形成之光。然而，在包含反射光圈層286之情形下，原本已被吸收之此光被反射回至光導290中以便進一步經由一不同光圈逸出。基於電潤濕之光調變陣列270並非係適於包含於本文中所闡述之顯示裝置中之一非基於快門之MEMS調變器之唯一實例。其他形式之非基於快門之MEMS調變器可同樣由本文中所闡述之控制器功能中之各種功能控制，此並不背離本發明之範疇。

圖3A展示一控制矩陣300之一實例性示意圖。控制矩陣300適於控制併入至圖1A之基於MEMS之顯示裝置100中之光調變器。圖3B展示連接至圖3A之控制矩陣300之基於快門之光調變器之一陣列320之一透視圖。控制矩陣300可定址一像素陣列(320)(「陣列320」)。每一像素301可包含由一致動器303控制之諸如圖2A之快門總成200之一彈性快門總成302。每一像素亦可包含一光圈層322，該光圈層包含光圈324。

控制矩陣300製作為快門總成302形成於其上之一基板304之表面上之一擴散或薄膜沈積電路。控制矩陣300針對控制矩陣300中之每一列像素301包含一掃描線互連線306且針對控制矩陣300之每一行像素301包含一資料互連線308。每一掃描線互連線306將一寫入啟用電壓源307電連接至一系列對應像素301中之像素301。每一資料互連線308將一資料電壓源309(「 V_d 源」)電連接至一行對應像素中之像素301。在控制矩陣300中， V_d 源309提供欲用於致動

器快門總成302之能量之大部分。因此，資料電壓源(V_d 源309)亦作為一致動電壓源。

參見圖3A及圖3B，針對每一像素301或針對像素陣列320中之每一快門總成302，控制矩陣300包含一電晶體310及一電容器312。每一電晶體310之閘極電連接至像素301位於其中之陣列320中之列之掃描線互連線306。每一電晶體310之源極電連接至其對應資料互連線308。每一快門總成302之致動器303包含兩個電極。每一電晶體310之汲極並聯電連接至對應電容器312之一個電極及對應致動器303之電極中之一者。電容器312之另一電極及快門總成302中之致動器303之另一電極連接至一共同或接地電位。在替代實施方案中，可用半導體二極體或金屬絕緣體金屬夾層型開關元件來替換電晶體310。

在操作中，為形成一影像，控制矩陣300藉由輪流施加 V_{we} 至每一掃描線互連線306來依次寫入啟用陣列320中之每一列。對於一經寫入啟用列，施加 V_{we} 至該列中之像素301之電晶體310之閘極使得電流能夠經由電晶體310流動穿過資料互連線308以施加一電位至快門總成302之致動器303。雖然寫入啟用該列，但選擇性地施加資料電壓 V_d 至資料互連線308。在提供類比灰階之實施方案中，施加至每一資料互連線308之資料電壓相對於位於經寫入啟用掃描線互連線306與資料互連線308之相交處之像素301之所期望亮度而改變。在提供數位控制方案中之實施方案中，將資料電壓選擇為一相對較低量值電壓(亦即，接近於接

地之一電壓)或者滿足或超過 V_{at} (致動臨限電壓)。回應於 V_{at} 施加至一資料互連線308，對應快門總成中之致動器303致動，從而打開彼快門總成302中之快門。施加至資料互連線308之電壓甚至在控制矩陣300停止施加 V_{we} 至一列之後仍保持儲存於像素301之電容器312中。因此，電壓 V_{we} 不必在一列上等待並保持足夠長以便快門總成302致動之時間；此致動可在已自該列移除該寫入啟用電壓之後進行。電容器312亦充當陣列320內之記憶體元件，從而儲存用於照明一影像圖框之致動指令。

像素301以及陣列320之控制矩陣300形成於一基板304上。該陣列包含安置於基板304上之一光圈層322，該光圈層包含一組用於陣列320中之各別像素301之光圈324。光圈324與每一像素中之快門總成302對準。在某些實施方案中，基板304係由諸如玻璃或塑膠之一透明材料製成。在某些其他實施方案中，基板304係由一不透明材料製成，但在該不透明材料中蝕刻孔以形成光圈324。

快門總成302連同致動器303可製成為雙穩態的。即，該等快門存在於至少兩個平衡位置(例如，打開或關閉)中而幾乎不需要功率來使其保持處於這兩個位置中的任一位置中。更特定而言，快門總成302可係機械雙穩態的。一旦將快門總成302之快門設定處於適當位置，則不需要電能或保持電壓來保持彼位置。快門總成302之實體元件上之機械應力可使該快門保持就位。

快門總成302連同致動器303亦可製成為電雙穩態的。在

一電雙穩態快門總成中，存在一範圍之低於該快門總成之致動電壓之電壓，該範圍之電壓若施加至一關閉之致動器(同時該快門打開或關閉)則使該致動器保持關閉並使該快門保持處於適當位置，即使對該快門施加一相反力。該相反力可由一彈簧(諸如圖2A中所繪示之基於快門之光調變器200中之彈簧207)施加，或者該相反力可由諸如一「打開」或「關閉」之致動器之一相反致動器施加。

光調變器陣列320繪示為具有每像素一單個MEMS光調變器。亦可具有其中在每一像素中提供多個MEMS光調變器，藉此在每一像素中提供不只是二元式「接通」或「關斷」光學狀態之可能性之其他實施方案。亦可具有其中提供像素中之多個MEMS光調變且其中與該等光調變器中之每一者相關聯之光圈324具有不等區域之某些形式之編碼區域劃分灰階。

在某些其他實施方案中，可用光調變器陣列320內之快門總成302代替基於輥之光調變器220、光分接頭250或基於電潤濕之光調變器陣列270以及其他基於MEMS之光調變器。

圖4A及圖4B展示一雙重致動器快門總成400之實例性視圖。如圖4A中所繪示，該雙重致動器快門總成處於一打開狀態。圖4B展示處於一關閉狀態之雙重致動器快門總成400。與快門總成200對比，快門總成400包含一快門406之兩側上之致動器402及404。獨立控制每一致動器402及404。一第一致動器(一快門打開致動器402)用來打開快門

406。一第二相反致動器(快門關閉致動器404)用來關閉快門406。致動器402及404兩者皆係順應性橫樑電極致動器。致動器402及404藉由實質上沿平行於快門406懸掛於其上方之一光圈層407之一平面驅動快門406來打開並關閉該快門。快門406藉由附接至致動器402及404之錨408懸掛於光圈層407上方之一短距離處。包含沿著其移動軸線附接至快門406之兩端之支撐件減少快門406之脫離平面運動且限制實質上至平行於該基板之一平面之運動。如下文將闡述，可與快門總成400一起使用各種不同控制矩陣。

快門406包含光可通過其之兩個快門光圈412。光圈層407包含一組三個光圈409。在圖4A中，快門總成400處於打開狀態且，就此方面，快門打開致動器402已致動，快門關閉致動器404處於其鬆弛位置中，且快門光圈412之中心線與光圈層光圈409中之兩者之中心線重合。在圖4B中，快門總成400已移動至關閉狀態，且，就此方面，快門打開致動器402處於其鬆弛位置中，快門關閉致動器404已致動，且快門406之擋光部分此刻處於適當位置中以阻止光透射過光圈409(繪示為虛線)。

每一光圈具有環繞其周邊之至少一個邊緣。舉例而言，矩形光圈409具有四個邊緣。在其中於光圈層407中形成圓形、橢圓形、卵形或其他弧形光圈之替代實施方案中，每一光圈可具有僅一單個邊緣。在某些其他實施方案中，無需在機械意義上分離或分開該等光圈，而是可連接該等光圈。更確切地說，雖然該光圈之部分或塑形區段可保持與

每一快門之一對應，但可連接此等區段以使得該光圈之一單個連續周界由多個快門共用。

為了使得光能夠以各種退出角度通過處於打開狀態之光圈412及409，為快門光圈412提供大於光圈層407中之光圈409之一對應寬度或大小之一寬度或大小係有利的。為了在關閉狀態下有效地阻止光逸出，快門406之擋光部分重疊光圈409係可取的。圖4B展示快門406中之擋光部分之邊緣與形成於光圈層407中之光圈409之一個邊緣之間的一預定義重疊416。

靜電致動器402及404經設計以使得其電壓位移行為向快門總成400提供一雙穩態特性。針對快門打開致動器及快門關閉致動器中之每一者，存在一範圍之低於該致動電壓之電壓，該範圍之電壓若在該致動器處於關閉狀態(同時該快門打開或關閉)時施加則將使該致動器保持關閉且使該快門保持處於適當位置，即使施加一致動電壓至該相反致動器。克服此一相反力來保持一快門之位置所需之最小電壓稱作一保持電壓 V_m 。

通常，諸如致動器402及404之靜電致動器中之電雙穩定性起因於跨一致動器之靜電力係一強位置以及電壓函數之事實。光調變器400及450中之致動器之橫樑用作電容器極板。電容器極板之間的力與 $1/d^2$ 成正比，其中 d 係電容器極板之間的局部分離距離。當致動器處於一關閉狀態時，致動器橫樑之間的局部間隔很小。因此，施加一小電壓可導致處於關閉狀態之致動器之致動器橫樑之間的一相對強的

力。因此，一相對小的電壓(諸如 V_m)可使致動器保持處於關閉狀態，即使其他元件對致動器施加一相反的力。

在雙重致動器光調變器(例如 400 及 450)中，光調變器之平衡部分將由跨該等致動器中之每一者之電壓差之組合效應確定。換言之，考量該三個端子(亦即，快門打開驅動橫樑、快門關閉驅動橫樑及負載橫樑)之電位以及調變器位置以確定調變器上之平衡力。

對於一電雙穩態系統，一組邏輯規則可描述穩定狀態且可用於開發一既定光調變器之可靠定址或數位控制方案。將基於快門之光調變器 400 作為一實例，此等邏輯規則如下：

設 V_s 為快門或負載橫樑上之電位。設 V_o 為快門打開驅動橫樑上之電位。設 V_c 為快門關閉驅動橫樑上之電位。設表示式 $|V_o - V_s|$ 指代快門與快門打開驅動橫樑之間的電壓差之絕對值。設 V_m 為保持電壓。設 V_{at} 為致動臨限電壓，亦即，在不施加 V_m 至一相對驅動橫樑的情況下致動一致動器之電壓。設 V_{max} 為 V_o 及 V_c 之最大容許電位。設 $V_m < V_{at} < V_{max}$ 。然後，假定 V_o 及 V_c 保持低於 V_{max} 。

若 $|V_o - V_s| < V_m$ 且 $|V_c - V_s| < V_m$ (規則 1)

則快門將鬆馳至其機械彈簧之平衡位置。

若 $|V_o - V_s| > V_m$ 且 $|V_c - V_s| > V_m$ (規則 2)

則快門將不移動，亦即，無論哪個位置係由最後致動事件建立，快門皆將保持處於打開或關閉狀態。

若 $|V_o - V_s| > V_{at}$ 且 $|V_c - V_s| < V_m$ (規則 3)

則快門將移動至打開位置中。

若 $|V_o - V_s| < V_m$ 且 $|V_c - V_s| > V_{at}$ (規則 4)

則快門將移動至關閉位置中。

遵循其中每一致動器上之電壓差接近於零之規則 1，快門將鬆馳。在諸多快門總成中，機械鬆馳位置僅部分地打開或關閉，因此通常在一定址方案中避免此電壓狀態。

規則 2 之狀態使得能夠將一全域致動功能包含至一定址方案中。藉由保持提供至少係保持電壓 V_m 之橫樑電壓差之一快門電壓，可在寬電壓範圍內於一定址序列之中改變或切換快門打開電位及快門關閉電位之絕對值(甚至當電壓差超過 V_{at} 時)而沒有意外快門運動之危險。

規則 3 及 4 之狀態係通常在定址序列期間作為目標以確保快門之雙穩態致動之狀態。

保持電壓差 V_m 可設計或表示為致動臨限電壓 V_{at} 之某一分率。對於設計針對一適用雙穩定度之系統，保持電壓可處於介於 V_{at} 之約 20% 與約 80% 之間的範圍內。此有助於確保系統中之電荷洩漏或寄生電壓起伏不導致一設定保持電壓超出其保持範圍之一偏差—可導致一快門之意外致動之一偏差。在某些系統中，可提供一例外雙穩定度或滯後度，其中 V_m 處於 V_{at} 之約 2% 至約 98% 之一範圍內。然而，在此等系統中，務必確保可在可用之定址及致動時間內可靠地獲得 $V < V_m$ 之一電極電壓狀態。

在某些實施方案中，每一光調變器之第一及第二致動器耦合至一鎖存器電路以確保該光調變器之第一及第二狀態

係該光調變器可具有之唯一兩個穩定狀態。為確保每一光調變器之電雙穩定之完整性，採用一pMOS電晶體作為一更新開關以控制資料電壓至鎖存器電路之施加從而控制對施加至第一及第二致動器之驅動電壓之施加。

圖5展示一控制矩陣500之一部分。控制矩陣500可經實施以用於圖1中所繪示之顯示裝置100。下文立即闡述控制矩陣500之結構。此後將關於圖6來闡述控制矩陣500之操作。

控制矩陣500控制包含具有雙重致動器快門總成504之光調變器之一像素陣列502。快門總成504中之致動器可製成為電雙穩態的或機械雙穩態的。

控制矩陣500包含顯示裝置100中之每一列像素502之掃描線互連線506及每一行像素502之一資料互連線508。掃描線互連線506經組態以使得資料能夠載入至像素502上。資料互連線508經組態以提供對應於載入至像素502上之資料之一資料電壓。此外，控制矩陣500包含一致動電壓互連線510、一共同源極互連線512、一全域更新互連線514及一快門共同互連線522(統稱為「共同互連線」)。此等共同互連線510、512、514及516在該陣列中之多個列及多個行中之像素502之間共用。在某些實施方案中，共同互連線510、512、514及516在顯示裝置100中之所有像素502之間共用。此等互連線經組態以將像素502鎖存至一第一狀態及一第二相反狀態中之一者而且致動像素502之快門總成504。

控制矩陣500中之每一像素502亦包含一寫入啟用電晶體531及一資料儲存電容器533。寫入啟用電晶體531之閘極耦合至掃描線互連線506以便掃描線互連線506控制寫入啟用電晶體531。寫入啟用電晶體531之源極耦合至資料互連線508且寫入啟用電晶體531之汲極耦合至資料儲存電容器533之一第一端子及下文所闡述之一更新電晶體521。資料儲存電容器533之一第二端子耦合至快門共同互連線516。以此方式，當寫入啟用電晶體531經由由掃描線互連線506提供之一寫入啟用電壓接通時，由資料互連線508提供之一資料電壓通過寫入啟用電晶體531且儲存於資料儲存電容器533處。所儲存資料電壓然後用於將像素502鎖存至一第一像素狀態或一第二像素狀態中之一者。

像素502包含一鎖存器電路540，該鎖存器電路包含一第一快門狀態反相器及一第二快門狀態反相器。第一快門狀態反相器包含一第一充電電晶體542及一第一放電電晶體544。第二快門狀態反相器包含一第二充電電晶體552及一第二放電電晶體554。第一快門狀態反相器與第二快門狀態反相器交叉耦合以使得第一快門狀態反相器之輸入耦合至第二快門狀態反相器之輸出且反之亦然。以此方式，第一快門狀態反相器與第二快門狀態反相器共同作為一鎖存器電路或一正反器電路操作。

第一充電電晶體542及第一放電電晶體544之閘極耦合至第二充電電晶體552及第二放電電晶體554之汲極，而第二充電電晶體552及第二放電電晶體554之閘極耦合至第一充

電電晶體542及第一放電電晶體544之汲極。第一充電電晶體542之源極於一第一快門狀態節點546處連接至第一放電電晶體544之汲極。第二充電電晶體552之汲極於一第二快門狀態節點556處連接至第二放電電晶體554之汲極。就此方面，第一快門狀態節點546控制第二快門狀態反相器之第一充電電晶體552及第二放電電晶體554兩者之閘極電壓且第二快門狀態節點556控制第一快門狀態反相器之第一充電電晶體542及第一放電電晶體544兩者之閘極電壓。第一充電電晶體542及第二充電電晶體552之源極端子耦合至致動電壓互連線510。第一放電電晶體544及第二放電電晶體554之源極端子耦合至共同源極互連線512。

像素502之雙重致動器快門總成504包含耦合至第一快門狀態節點546之一第一快門狀態致動器及耦合至第二快門狀態節點556之一第二快門狀態致動器。快門總成504之一參考電極耦合至快門共同互連線516。在某些實施方案中，當第一快門狀態節點546處之電壓實質上高於該參考電極處之電壓時，快門總成504及像素502處於第一狀態。相反，當第二快門狀態節點556處之電壓實質上高於該參考電極處之電壓時，快門總成504及像素502處於第二狀態。

像素502進一步包含將資料儲存電容器533耦合至鎖存器電路540之更新電晶體521。更新電晶體521係一pMOS電晶體。更新電晶體521經組態以將資料儲存電容器533上之電壓與鎖存器電路540上之電壓電隔離。特定而言，更新電

晶體 521 之源極耦合至資料儲存電容器 533 之第一端子及寫入啟用電晶體 531 之汲極。更新電晶體 521 之閘極耦合至全域更新互連線 514 且更新電晶體 521 之汲極耦合至鎖存器電路 540 之第一充電電晶體 542 及第一放電電晶體 544。

控制矩陣 500 利用兩種互補類型之電晶體 (pMOS 電晶體及 nMOS 電晶體兩者)。控制矩陣 500 因此稱作一互補金屬氧化物半導體 (CMOS) 控制矩陣。舉例而言，更新電晶體 521 及充電電晶體 542 及 552 係 pMOS 電晶體，而放電電晶體 544 及 554 等等係 nMOS 電晶體。在其他實施方案中，可反轉控制矩陣 500 中所採用之類型之電晶體。舉例而言，可針對充電電晶體使用 nMOS 電晶體且針對放電電晶體使用 pMOS 電晶體。同樣地，可在其他實施方案中藉助一 nMOS 電晶體來實施更新電晶體 521。特定而言，該 nMOS 電晶體可經由一反相器耦合至致動電壓互連線 510 或耦合至另一互連線。

圖 6 展示一實例性圖框定址及像素致動方法 600 之一流程圖。方法 600 可 (舉例而言) 用於操作圖 5 之控制矩陣 500。圖框定址及像素致動方法 600 分三個常規階段進行。首先，在一資料載入階段 (區塊 652) 中一次一列針對每一像素載入一顯示器中之像素之資料電壓。接下來，在一更新鎖存器階段中，至少部分地基於所儲存資料電壓將每一像素之一鎖存器設定至適當狀態 (區塊 654)。在設定每一像素之鎖存器之後，在一快門致動階段 (區塊 656) 中致動該等像素。儘管關於圖 5 詳細闡述圖框定址及像素致動方法 600，但採用

方法600之操作中之某些操作或所有操作來操作其他控制矩陣實施方案，例如圖7、8、10、11及12中所繪示之控制矩陣700、800、1000、1100及1200。此外，在某些控制矩陣實施方案中，可與此處關於圖5中所繪示之控制矩陣500所述不同地執行更新鎖存器階段(區塊654)。下文將關於對控制矩陣700、800、1000、1100及1200中之每一者之說明來闡述此等差異。

現在參見圖5及圖6兩者，用於定址該陣列之一特定列之像素中之每一者之資料載入階段(區塊652)繼續施加一寫入啟用電壓 V_{we} 至該像素陣列之列中之每一者(區塊658)。控制矩陣500施加寫入啟用電壓 V_{we} 至對應於該列之掃描線互連線506(區塊658)以便寫入啟用掃描線互連線506。施加一寫入啟用電壓 V_{we} 至經寫入啟用列之掃描線互連線506接通該列中之所有像素之寫入啟用電晶體，諸如寫入啟用電晶體531。

基於由該控制矩陣接收之像素狀態係接通還是關斷，該控制矩陣繼續載入一接通電壓至像素502(區塊662及664)或載入一關斷電壓至像素502(區塊666及668)。若像素502欲具有一接通狀態，則控制矩陣500載入一接通狀態電壓至像素502(區塊662)。在某些實施方案中，控制矩陣500藉由施加(舉例而言)5 V之一資料電壓(V_d)至對應於彼像素502位於其中之行之資料互連線508來載入該接通電壓。使施加至資料互連線508之資料電壓 V_d 作為一電荷儲存於選定像素502之資料儲存電容器533上(區塊664)。即，由於寫入

啟用電晶體531在資料電壓施加 V_d 至資料互連線508時接通，因而資料電壓 V_d 通過寫入啟用電晶體531至資料電壓 V_d 作為一電荷儲存於其上之資料儲存電容器533。

若像素502欲具有一關斷狀態，則控制矩陣500載入一關斷電壓至像素502上(區塊666)。在某些實施方案中，控制矩陣500藉由使對應於彼像素502位於其中之行之資料互連線508接地來載入該關斷電壓(區塊668)。在某些實施方案中，由於使資料互連線508接地，因而不存在資料電壓 V_d 且因此，沒有電荷儲存於資料儲存電容器533上。

可在寫入啟用之列中之像素中之每一者中同時執行載入資料之程序。以此方式，控制矩陣500在寫入啟用彼列的同時選擇性地施加該資料電壓至控制矩陣500中之一既定列之行。在某些實施方案中，控制矩陣500僅施加該資料電壓至欲朝向第一快門狀態致動之彼等行。一旦定址該列中之所有該等像素，則控制矩陣500自掃描線互連線506移除寫入啟用電壓 V_{we} (區塊670)。在某些實施方案中，控制矩陣500使掃描線互連線506接地。然後在控制矩陣500中針對該陣列之後續列重複資料載入階段652。在資料載入程序652結束時，所選定像素群組中之資料儲存電容器中之一者含有適於設定下一影像狀態之資料電壓。

控制矩陣500然後繼續進行更新鎖存器階段654以將該等像素之鎖存器電路設定至下一狀態。更新鎖存器階段654藉由使致動電壓互連線510上之電壓降至或接近於共同源極互連線512上之電壓而開始(區塊672)。藉由這樣做，使

第一快門狀態節點546及第二快門狀態節點556兩者上之電壓降低接近於相同於共同源極互連線512之電壓。然後，控制矩陣500啟動全域更新互連線514(區塊674)。在某些實施方案中，藉由使全域更新互連線514接地以將更新電晶體521切換至一導電狀態來啟動全域更新互連線514。此使得能夠將儲存於資料儲存電容器533上之資料電壓自資料儲存電容器533傳遞至交叉耦合反相器鎖存器電路540之第一充電電晶體542及第一放電電晶體544之閘極。若在將致動電壓互連線510帶至共同源極互連線電壓(區塊672)之後太早啟動全域更新互連線514(區塊674)，則資料儲存電容器533處之對應於該像素之一後續狀態之所儲存資料電壓可由還沒來得及衰變掉之鎖存器電路540上之當前像素狀態資料損毀。因此，使致動電壓互連線510電壓降至共同源極互連線電壓(區塊672)與啟動全域更新互連線514(區塊674)之間的一延遲可適用於防止儲存於資料儲存電容器533處之資料損毀。此延遲之長度可隨電路寄生效應、電晶體臨限電壓、電容器大小及所儲存資料電壓位準而變化。舉例而言，該延遲之長度可係大約10 μ s。可以理解，此延遲長度可依據顯示器明顯更長或更短。

施加剛好足夠高以實施鎖存器電路540更新之一中間電路至致動電壓互連線510(區塊676)。在某些實施方案中，該中間電壓可大約等於第一充電電晶體542與第一放電電晶體544或第二充電電晶體552與第二放電電晶體554之臨限電壓之和。在某些實施方案中，該中間電壓可依據各種

因數(諸如使該致動電壓互連線電壓降至該共同源極互連線電壓(區塊672)與啟動全域更新互連線514(區塊674)之間的延遲之長度)顯著小於第一充電電晶體542與第一放電電晶體544或第二充電電晶體552與第二放電電晶體554之臨限電壓之和。其他因數可包含寄生電荷注入及詳細電晶體特性等等。該中間電壓通常實質上小於致動電壓 V_{at} 。在某些實施方案中，該中間電壓可剛好足夠高以使得儲存於資料儲存電容器533上之電壓對將鎖存器電路540設定至適於下一快門位置之其下一狀態有效。舉例而言，該中間電壓可介於約1 V至6 V之範圍之間。一降低之中間電壓亦減少由在鎖存器電路540之更新期間出現之切換瞬變所消耗之功率。在某些實施方案中，將鎖存器電路540鎖存處於低到可以可靠地執行以便減少瞬變切換功率之一中間電壓位準下。藉由啟動全域更新互連線514(區塊674)並施加一所必需的中間電壓至致動電壓互連線510(區塊676)，可將儲存於資料儲存電容器533上之電壓鎖存至鎖存器電路540之第一快門狀態反相器中。施加一所必需的中間電壓(區塊676)可與啟動全域更新互連線514(區塊674)同時、在啟動全域更新互連線514之前或之後執行。

最後，停用全域更新互連線514(區塊678)。在某些實施方案中，藉由施加一電壓至全域更新互連線514以便將更新電晶體521切換至一非導電狀態來停用全域更新互連線514。以此方式，使資料儲存電容器533與像素502之鎖存器電路540隔離。使資料儲存電容器533與鎖存器電路540

隔離之一個益處係功率消耗之一減少。這是因為施加至致動電壓互連線510之電壓之任一升高皆不會將資料儲存電容器533自動充電至經升高之所施加電壓。

一旦更新鎖存器階段(區塊654)完成，則控制矩陣500繼續進行快門致動階段(區塊656)。在此階段中，施加致動電壓 V_{at} 至致動電壓互連線510(區塊680)。該致動電壓係足以致動像素502之快門總成504以具有一種狀態或另一種狀態，或另一選擇係，使快門總成504貫穿一後續資料載入循環保持處於同一狀態之電壓。在某些實施方案中，在藉由施加致動電壓 V_{at} 致動快門總成504之後，施加小於致動電壓 V_{at} 但大於一保持電壓 V_m 之一電壓至致動電壓互連線510以貫穿一後續資料載入循環保持快門總成504。

由於鎖存器電路先前在更新鎖存器階段(區塊654)期間得到更新，因而不存在自致動電壓互連線510經過第一充電電晶體542及第一放電電晶體544或第二充電電晶體552及第二放電電晶體554之傳導路徑。在快門致動階段(區塊656)之致動期間，只允許維持跨快門致動器之電壓及各種其他寄生電容所需之電流流動，從而導致減少之功耗。在致動像素之諸如快門總成504之快門總成(區塊656)之後，方法600回到資料載入階段(區塊652)之開端。

在控制矩陣500中，可將第一快門狀態反相器稱作主反相器。這是因為第一快門狀態反相器之狀態在鎖存器更新階段(區塊654)期間直接由資料儲存電容器533控制。可將第二快門狀態反相器稱作從反相器，此乃因從反相器之狀

態由第一快門狀態反相器之輸出控制。相反，在某些實施方案中，控制矩陣500可經組態或鏡像以使得第一快門狀態反相器之輸出確定快門總成504之第二快門狀態致動器之電壓，並使得第二快門狀態反相器之輸出確定快門總成504之第一快門狀態致動器之電壓。

對於高電壓應用，控制矩陣500之一更可靠實施方案可包含其操作將類似於下文關於圖12所闡述之疊接電晶體之呈一疊接組態之額外電晶體。

在某些實施方案中，可將方法600應用於該整個像素陣列之一選定部分，此乃因串行更新列及行之不同區域或分組可能係有利的。在此等實施方案中，將一定數目個諸如致動電壓互連線510之不同致動電壓互連線及諸如更新互連線514之更新互連線路由至該陣列之選定部分以選擇性地更新並致動該陣列之不同部分。

如上所述，為定址控制矩陣500中之像素502，資料電壓 V_d 可顯著小於致動電壓 V_{at} 。舉例而言，資料電壓 V_d 可係約5V而致動電壓 V_{at} 可係約40 V。在某些實施方案中，資料電壓 V_d 可係約3 V而致動電壓小於或等於約25 V。由於一圖框一次施加致動電壓 V_{at} ，而資料電壓 V_d 可因為控制矩陣500中存在多個列而每圖框多次施加至每一資料互連線508，因而諸如控制矩陣500之控制矩陣可與需要一資料電壓足夠高以亦作為致動電壓之控制矩陣相比節約大量功率。

圖7展示一控制矩陣700之一部分。控制矩陣700可經實

施以用於圖1中所繪示之顯示裝置100中。控制矩陣700實質上類似於圖5中所繪示之控制矩陣500。然而，控制矩陣700與控制矩陣500的不同之處在於更新電晶體721之組態及操作不同於圖5中所繪示之更新電晶體521之組態及操作。另外，控制矩陣700亦與控制矩陣500相比少一個共同互連線。

控制矩陣700控制包含具有雙重致動器快門總成704之光調變器之一像素陣列702。快門總成704中之致動器可製成為電雙穩態的或機械雙穩態的。

控制矩陣700包含用於控制矩陣700中之每一列像素702之一掃描線互連線706及用於第一行像素702之一資料互連線708。控制矩陣700進一步包含一致動電壓互連線710、一共同源極互連線712及一快門共同互連線716(統稱為「共同互連線」)。此等共同互連線710、712及716在該陣列中之多個列及多個行中之像素702之間共用。在某些實施方案中，共同互連線710、712及716在顯示裝置100中之所有像素702之間共用。

控制矩陣700中之每一像素702亦包含一寫入啟用電晶體731及一資料儲存電容器733。寫入啟用電晶體731之閘極耦合至掃描線互連線706且寫入啟用電晶體731之源極耦合至資料互連線708。寫入啟用電晶體731之汲極耦合至資料儲存電容器733之一第一端子及下文所闡述之一鎖存器電路740之輸入。資料儲存電容器733之一第二端子耦合至快門共同互連線716。

控制矩陣700進一步包含類似於圖5中所繪示之鎖存器電路540之鎖存器電路740。鎖存器電路740包含一第一快門狀態反相器及一第二快門狀態反相器。第一快門狀態反相器包含一第一充電電晶體742及一第一放電電晶體744。第二快門狀態反相器包含一第二放電電晶體772及一第二放電電晶體774。第一快門狀態反相器與第二快門狀態反相器交叉耦合以使得第一快門狀態反相器之輸入耦合至第二快門狀態反相器之輸出且反之亦然。以此方式，第一快門狀態反相器與第二快門狀態反相器共同作為一鎖存器電路或一正反器電路操作。

第一充電電晶體742及第一放電電晶體744之閘極耦合至第二充電電晶體752及第二放電電晶體754之汲極，而第二充電電晶體752及第二放電電晶體754之閘極耦合至第一充電電晶體742及第一放電電晶體744之汲極。第一充電電晶體742之汲極於一第一快門狀態節點746處連接至第一放電電晶體744之汲極。第二充電電晶體752之汲極於一第二快門狀態節點756處連接至第二放電電晶體754之汲極。就此方面，第一快門狀態節點746控制第二快門狀態反相器之第二充電電晶體752及第二放電電晶體754兩者之閘極電壓且第二快門狀態節點756控制第一快門狀態反相器之第一充電電晶體742及第一放電電晶體744兩者之閘極電壓。第一充電電晶體742及第二充電電晶體752之源極端子耦合至致動電壓互連線710。第一放電電晶體744及第二放電電晶體754之源極端子耦合至共同源極互連線712。

像素702之雙重致動器快門總成704包含耦合至第一快門狀態節點746之一第一快門狀態致動器及耦合至第二快門狀態節點756之一第二快門狀態致動器。快門總成704之一參考電極耦合至快門共同互連線716。

像素702進一步包含將資料儲存電容器733耦合至鎖存器電路740之一更新電晶體721。在某些實施方案中，更新電晶體721係一pMOS電晶體。類似於圖5中所繪示之更新電晶體521，更新電晶體721之源極耦合至資料儲存電容器733之第一端子及寫入啟用電晶體731之汲極。更新電晶體721之汲極耦合至鎖存器電路740之輸入。與圖5中所繪示之更新電晶體521之組態對比，更新電晶體721之閘極耦合至致動電壓互連線710而不是諸如圖5中所繪示之全域更新互連線514之一全域更新互連線。

控制矩陣700以實質上類似於圖5中所繪示之控制矩陣500之一方式操作。通常，控制矩陣700執行類似於關於圖6所闡述之圖框定址及像素致動方法600之一圖框定址及像素致動方法。用於控制控制矩陣700之圖框定址及像素致動方法分三個常規階段進行。首先，在一資料載入階段中一次一行針對每一像素載入對應於該等像素之資料電壓。接下來，在一更新鎖存器階段中，至少部分地基於所儲存資料電壓將每一像素之鎖存器設定至適當狀態。在設定每一像素之鎖存器之後，在一快門致動階段中致動該等像素。

控制矩陣700之操作從資料載入階段開始且繼續進行至

更新鎖存器階段。在此階段中，控制矩陣700使致動電壓互連線電壓降至共同源極電壓。一將致動電壓互連線710帶至等於或小於共同源極互連線712之電壓之一電壓，更新電晶體721就自動切換至導電狀態。因此，將儲存於資料儲存電容器733上之資料電壓轉移至鎖存器電路740之第一充電電晶體742及第一放電電晶體744之閘極。由於更新電晶體721在致動電壓互連線710上之電壓降至低於一臨限電壓時自動切換至導電狀態，因而控制矩陣700缺乏用於完全控制更新電晶體721之一全域更新互連線。以此方式，控制矩陣700耗用少於圖5中所繪示之控制矩陣500之面積，且因比控制矩陣500少一個共同互連線而回收寶貴的基板面積。

在更新電晶體721切換至接通狀態且儲存於資料儲存電容器733上之資料電壓轉移至鎖存器電路740之第一充電電晶體742及第一放電電晶體744之閘極之後，將致動電壓互連線710帶至一中間電壓。以此方式，更新電晶體721回到關斷狀態且用一新鎖存器狀態來更新鎖存器電路740。此外，一旦更新電晶體721切換至關斷狀態，則資料儲存電容器733與鎖存器電路740電隔離且鎖存器電路740中之瞬變電流降至零。更新鎖存器階段然後繼續進行至其中使致動電壓互連線710升高至致動電壓 V_{at} 且致使快門總成704致動至其新狀態之快門致動階段。

圖8展示一控制矩陣800之一部分。控制矩陣800可經實施以用於圖1中所繪示之顯示裝置100。控制矩陣800實質

上類似於圖5中所繪示之控制矩陣500。然而，代替利用諸如圖5中所繪示之更新電晶體521之一更新電晶體，控制矩陣800包含一CMOS反相器，該CMOS反相器包含一更新充電電晶體822及一更新放電電晶體824。在此組態中，控制矩陣800與控制矩陣500相比少一個共同互連線，藉此回收寶貴的基板面積。

控制矩陣800控制包含具有雙重致動器快門總成804之光調變器之一像素陣列802。快門總成804中之致動器可製成為電雙穩態的或機械雙穩態的。

控制矩陣800包含用於控制矩陣800中之每一列像素802之一掃描線互連線806及用於第一行像素802之一資料互連線808。控制矩陣800進一步包含一致動電壓互連線810、一全域更新互連線812及一快門共同互連線816(統稱為「共同互連線」)。此等共同互連線810、812及816在該陣列中之多個列及多個行中之像素802之間共用。在某些實施方案中，共同互連線810、812及816在圖1中所繪示之顯示裝置100中之所有像素802之間共用。與圖7中所繪示之控制矩陣700對比，控制矩陣800包含一全域更新互連線812而不是諸如圖7中所繪示之共同源極互連線712之一共同源極互連線。

控制矩陣800中之每一像素802亦包含一寫入啟用電晶體831及一資料儲存電容器833。寫入啟用電晶體831之閘極耦合至掃描線互連線806且資料載入電晶體831之源極耦合至資料互連線808。寫入啟用電晶體831之汲極耦合至資料

儲存電容器 833 之一第一端子及下文所闡述之 CMOS 反相器之輸入。資料儲存電容器 833 之一第二端子耦合至快門共同互連線 816。

控制矩陣 800 進一步包含類似於圖 5 中所繪示之鎖存器電路 540 之一鎖存器電路 840。鎖存器電路 840 包含一第一快門狀態反相器及一第二快門狀態反相器。第一快門狀態反相器包含一第一充電電晶體 842 及一第一放電電晶體 844。第二快門狀態反相器包含一第二充電電晶體 852 及一第二放電電晶體 854。第一快門狀態反相器與第二快門狀態反相器交叉耦合以使得第一快門狀態反相器之輸入耦合至第二快門狀態反相器之輸出且反之亦然。以此方式，第一快門狀態反相器與第二快門狀態反相器共同作為一鎖存器電路或一正反器電路操作。

第一充電電晶體 842 及第一放電電晶體 844 之閘極耦合至第二充電電晶體 852 及第二放電電晶體 854 之汲極，而第二充電電晶體 852 及第二放電電晶體 854 之閘極耦合至第一充電電晶體 842 及第一放電電晶體 844 之汲極。第一充電電晶體 842 之汲極於一第一快門狀態節點 846 處連接至第一放電電晶體 844 之汲極。第二充電電晶體 852 之汲極於一第二快門狀態節點 856 處連接至第二放電電晶體 854 之汲極。就此而言，第一快門狀態節點 846 控制第二快門狀態反相器之第二充電電晶體 852 及第二放電電晶體 854 兩者之閘極電壓且第二快門狀態節點 856 控制第一快門狀態反相器之第一充電電晶體 842 及第一放電電晶體 844 兩者之閘極電壓。第

一充電電晶體842及第二充電電晶體852之源極端子耦合至致動電壓互連線810。第一放電電晶體844及第二放電電晶體854之源極端子耦合至全域更新互連線812。

像素802之雙重致動器快門總成804包含耦合至第一快門狀態節點846之一第一快門狀態致動器及耦合至第二快門狀態節點856之一第二快門狀態致動器。快門總成804之一參考電極耦合至快門共同互連線816。

如上所述，控制矩陣800與圖5中所繪示之包含更新電晶體521之控制矩陣500的不同之處在於控制矩陣800包含用來隔離資料儲存電容器833上之電壓與鎖存器電路840上之電壓之一CMOS反相器。該反相器包含更新充電電晶體822及更新放電電晶體824。更新充電電晶體822及更新放電電晶體824兩者之閘極連接至資料儲存電容器833並且連接至寫入啟用電晶體831之汲極。更新充電電晶體822之汲極連接至致動電壓互連線810且更新放電電晶體824之源極耦合至共同汲極互連線812。更新充電電晶體822及更新放電電晶體824兩者之汲極端子耦合在一起且形成該反相器之輸出。此輸出連接至鎖存器電路840之第一充電電晶體842及第一放電電晶體844之輸入閘極端子。在某些實施方案中，更新充電電晶體822與鎖存器電路840之第一充電電晶體842及第二充電電晶體852為同一類型的。即，更新充電電晶體822係一pMOS電晶體。相反，更新放電電晶體824與鎖存器電路840之第一放電電晶體844及第二放電電晶體854為同一類型的。即，更新放電電晶體824係一nMOS電

晶體。

控制矩陣800以實質上類似於圖5中所繪示之控制矩陣500之一方式操作。通常，控制矩陣800執行類似於關於圖6所闡述之圖框定址及像素致動方法600之一圖框定址及像素致動方法。用於控制控制矩陣800之圖框定址及像素致動方法分三個常規階段進行。首先，在一資料載入階段中一次一列針對每一像素載入對應於該等像素之資料電壓。接下來，在一更新鎖存器階段中，至少部分地基於所儲存資料電壓將每一像素之鎖存器設定至適當狀態。在設定每一像素之鎖存器之後，在一快門致動階段中致動該等像素。

控制矩陣800之操作從資料載入階段開始且繼續進行至更新鎖存器階段。在此階段中，控制矩陣800降低致動電壓互連線810上之電壓。對於控制矩陣800，只要使致動電壓互連線810上之電壓降至實質上類似於由資料互連線808提供之資料電壓之一電壓便足矣，而無需完全放電儲存於鎖存器電路840上之電壓。舉例而言，只要使致動電壓互連線810上之電壓降至處於約2 V至8 V之範圍之一電壓便足矣。此中間電壓因保持在鎖存器電路840與資料儲存電容器833之間的高阻抗而在準備更新鎖存器階段方面有效。

然後，啟動全域更新互連線812。藉由使全域更新互連線812上之電壓自實質上相同於資料電壓之一電壓降至接近於零之一電壓來啟動全域更新互連線812。全域更新互

連線812之電壓之此降低致使放電電晶體824、第一放電電晶體844及第二放電電晶體854接通且藉此回應於儲存於資料儲存電容器833上之資料電壓。

在啟動全域更新互連線812之後，使致動電壓互連線812上之電壓升高至一中間電壓。此致使用新鎖存器狀態來設定鎖存器電路840。在已設定鎖存器狀態之後，則使全域更新互連線812自等於或接近於零伏特之一電壓回到實質上等於資料電壓之一電壓。電壓變化之時序之額外細節展示於下文將闡述之圖9中。

在全域更新互連線電壓回到等於或接近於資料電壓之後，放電電晶體824、第一放電電晶體844及第二放電電晶體854回到關斷狀態且鎖存器電路840重新變成與資料儲存電容器833電隔離。然後，更新鎖存器階段繼續進行至其中使致動電壓互連線810升高至致動電壓 V_{at} 且致使快門總成804致動至其新狀態之快門致動階段。

圖9展示施加至一致動電壓互連線及一全域更新互連線(諸如圖8中分別為互連線810及812)之實例性電壓之一時序圖900。時序圖900對應於關於圖8中所繪示之控制矩陣800所述之圖框定址及像素致動方法。如上所述，控制矩陣800使致動電壓互連線810上之電壓降至實質上類似於由資料互連線808提供之資料電壓之一電壓。此由電壓線902繪示。然後，藉由使全域更新互連線812上之電壓自實質上相同於資料電壓之一電壓降至接近於零之一電壓來啟動全域更新互連線812，如由電壓線904所繪示。若在降低致動

電壓互連線810之後太早啟動全域更新互連線812，則儲存於資料儲存電容器833上之對應於該像素之一後續狀態之資料電壓可由還沒來得及衰變掉之鎖存器電路840之當前像素狀態資料損毀。因此，降低致動電壓互連線810電壓與啟動全域更新互連線812之間的一延遲可係適用的。在啟動全域更新互連線812之後，升高致動電壓互連線812上之電壓以設定鎖存器電路840。在已設定鎖存器狀態之後，則使全域更新互連線812自等於或接近於零伏特之一電壓回到實質上等於資料電壓之一電壓。

通常，一鎖存器電路包含耦合至一第二反相器以使得一個反相器之輸出耦合至另一反相器之輸入之一第一反相器。在某些實施方案中，一控制矩陣可採用對一半鎖存器電路之使用。一半鎖存器電路係其中使該鎖存器之反相器中之一者之電晶體閘極中之至少一者與構成該鎖存器之另一反相器之輸出中斷連接之一鎖存器電路。該半鎖存器電路具有使中斷連接之輸入處之電荷與可在一鎖存器更新階段期間流動穿過該鎖存器電路之任何瞬變電流隔絕之優點。在某些實施方案中，一半鎖存器電路可係非對稱的。即，第一反相器及第二反相器之輸入在鎖存器更新階段期間不接收互補資料輸入。

圖10展示一控制矩陣1000之一部分。控制矩陣1000可經實施以用於圖1中所繪示之顯示裝置100。控制矩陣1000實質上類似於圖5中所繪示之控制矩陣500。然而，代替利用一更新電晶體及一相關聯更新互連線(諸如圖5中所繪示之

更新電晶體521及其相關聯更新互連線514)，控制矩陣1000轉而包含一非對稱鎖存器電路1040。

控制矩陣1000控制包含具有雙重致動器快門總成1004之光調變器之一像素陣列1002。快門總成1004中之致動器可製成為電雙穩態的或機械雙穩態的。

控制矩陣1000包含用於控制矩陣1000中之每一列像素1002之一掃描線互連線1006及用於每一行像素1002之一資料互連線1008。控制矩陣1000進一步包含一致動電壓互連線1010、一全域更新互連線1012及一快門共同互連線1016(統稱為「共同互連線」)。此等共同互連線1010、1012及1016在該陣列中之多個列及多個行中之像素1002之間共用。在某些實施方案中，共同互連線1010、1012及1016在該陣列中之所有像素1002之間共用。

控制矩陣1000中之每一像素1002亦包含一寫入啟用電晶體1031及一資料儲存電容器1033。寫入啟用電晶體1031之閘極耦合至掃描線互連線1006，資料載入電晶體1031之源極耦合至資料互連線1008且寫入啟用電晶體1031之汲極耦合至資料儲存電容器1033之一第一端子。資料儲存電容器1033之一第二端子耦合至快門共同互連線1016。

控制矩陣1000進一步包含一鎖存器電路1040。鎖存器電路1040包含一第一快門狀態反相器及一第二快門狀態反相器。第一快門狀態反相器包含一第一充電電晶體1042及一第一放電電晶體1044。第二快門狀態反相器包含一第二充電電晶體1052及一第二放電電晶體1054。

如上所述，鎖存器電路1040係一半儲存器。就此方面，第一充電電晶體1042之閘極耦合至第二充電電晶體1052及第二放電電晶體1054之汲極，而第一放電電晶體1044之閘極耦合至資料儲存電容器1033及寫入啟用電晶體1031之汲極。第二充電電晶體1052及第二放電電晶體1054之閘極耦合至第一充電電晶體1042及第一放電電晶體1044之汲極。第一充電電晶體1042之汲極於一第一快門狀態節點1046處連接至第一放電電晶體1044之汲極。第二充電電晶體1052之汲極於一第二快門狀態節點1056處連接至第二放電電晶體1054之汲極。就此方面，第一快門狀態節點1046控制第二快門狀態反相器之第二充電電晶體1052及第二放電電晶體1054兩者之閘極電壓且第二快門狀態節點1056控制第一快門狀態反相器之第一充電電晶體1042之閘極電壓。第一充電電晶體1042及第二充電電晶體1052之源極端子耦合至致動電壓互連線1010。第一放電電晶體1044及第二放電電晶體1054之源極端子耦合至全域更新互連線1012。

像素1002之雙重致動器快門總成1004包含耦合至節點1046之一第一快門狀態致動器及耦合至節點1056之一第二快門狀態致動器。快門總成1004之一參考電極耦合至快門共同互連線1016。

控制矩陣1000進一步包含一預偏壓電容器1062，該預偏壓電容器具有連接至致動電壓互連線1010之一第一端子及連接至第一快門狀態節點1046及第二快門狀態反相器之輸入之一第二端子。預偏壓電容器1062經組態以將快門總成

1004預加偏壓至第一及第二快門狀態中之一者從而防止鎖存器電路1040遷入一中間狀態。關於可出現此一狀態的原因之額外細節將在下文提供之對控制陣列1000之操作之一討論期間變得一目了然。

控制矩陣1000以實質上類似於圖5中所繪示之控制矩陣500之一方式操作。通常，控制矩陣1000執行類似於關於圖6所闡述之圖框定址及像素致動方法600之一圖框定址及像素致動方法。用於控制控制矩陣1000之圖框定址及像素致動方法分三個常規階段進行。首先，在一資料載入階段中一次一列針對每一像素載入對應於該等像素之資料電壓。接下來，在一更新鎖存器階段中，至少部分地基於所儲存資料電壓將每一像素之鎖存器設定至適當狀態。在設定每一像素之鎖存器之後，在一快門致動階段中致動該等像素。

控制矩陣1000之操作從資料載入階段開始且繼續進行至更新鎖存器階段。在此階段中，控制矩陣1000降低致動電壓互連線1010上之電壓。控制矩陣1000藉由使施加至全域更新互連線之電壓自接近於資料電壓之一電壓降至接近於零之一電壓來啟動全域更新互連線1012。全域更新互連線1012之電壓之此降低使第一放電電晶體1044及第二放電電晶體1054處於適當的狀態以回應於儲存於資料儲存電容器1033上之資料電壓。

然後，致動電壓互連線1010上之電壓升高至一中間電壓或升高至全致動電壓。在致動電壓互連線1010上之電壓達

到所期望電壓之後，將鎖存器電路1040更新至新鎖存器狀態。

當致動電壓互連線1010上之電壓升高時且若第一放電電晶體1044基於儲存於資料儲存電容器1033上之資料電壓保持處於關斷狀態，則將一電壓轉移經過預偏壓電容器1062且至第一快門狀態節點1046上。此電壓將對將鎖存器電路1040設定至第一快門狀態中有效。若第一放電電晶體1044基於儲存於資料儲存電容器1033上之資料電壓切換至接通狀態，則將鎖存器電路1040加偏壓至第二快門狀態。若第一放電電晶體1044切換至接通狀態，則第一快門狀態節點1046處之電壓將幾乎相同於係低之全域更新互連線1012。因此，在第二放電電晶體1054之閘極處施加一低電壓。因此，第二快門狀態節點1056處之電壓處於高於第一快門狀態節點1046處之電壓之一電壓下，藉此將快門總成1004朝向第二快門狀態加偏壓。以此方式，藉此達成一可靠的2狀態鎖存器操作，儘管鎖存器電路1040之非對稱構造。

在升高致動電壓互連線1010上之電壓以設定鎖存器電路1040之後，則使全域更新互連線1012自等於或接近於零伏特之一電壓回到實質上等於資料電壓之一電壓。更新鎖存器階段然後繼續進行至其中使致動電壓互連線1010升高至致動電壓 V_{at} 且致使快門總成1004致動至其新狀態之快門致動階段。

圖11展示一控制矩陣1100之一部分。控制矩陣1100可經實施以用於圖1中所繪示之顯示裝置100。控制矩陣1100實

質上類似於圖 10 中所繪示之控制矩陣 1000。然而，控制矩陣 1100 與控制矩陣 1000 的不同之處在於控制矩陣 1100 採用一預偏壓電晶體 1164 而不是諸如圖 10 中所繪示之預偏壓電容器 1062 之一預偏壓電容器。類似於預偏壓電晶體 1062，圖 11 中所繪示之預偏壓電晶體 1164 用來克服控制矩陣 1100 之一相關聯鎖存器電路 1140 中之資料輸入對稱性之缺乏。

控制矩陣 1100 控制包含具有雙重致動器快門總成 1104 之光調變器之一像素陣列 1102。快門總成 1104 中之致動器製成為電雙穩態的或機械雙穩態的。

控制矩陣 1100 包含用於控制矩陣 1100 中之每一列像素 1102 之一掃描線互連線 1106 及用於每一行像素 1102 之一資料互連線 1108。控制矩陣 1100 進一步包含一致動電壓互連線 1110、一全域更新互連線 1112 及一快門共同互連線 1116 (統稱為「共同互連線」)。此等共同互連線 1110、1112 及 1116 在該陣列中之多個列及多個行中之像素 1102 之間共用。在某些實施方案中，共同互連線 1110、1112 及 1116 在顯示裝置 110 中之所有像素 1102 之間共用。

控制矩陣 1100 中之每一像素 1102 亦包含一寫入啟用電晶體 1131 及一資料儲存電容器 1133。寫入啟用電晶體 1131 之閘極耦合至掃描線互連線 1106，資料載入電晶體 1131 之源極耦合至資料互連線 1108 且寫入啟用電晶體 1131 之汲極耦合至資料儲存電容器 1133 之一第一端子。資料儲存電容器 1133 之一第二端子耦合至快門共同互連線 1116。

控制矩陣 1100 進一步包含實質上類似於圖 10 中所繪示之

鎖存器電路1040之一鎖存器電路1140。鎖存器電路1140包含一第一快門狀態反相器及一第二快門狀態反相器。第一快門狀態反相器包含一第一充電電晶體1142及一第一放電電晶體1144。第二快門狀態反相器包含一第二充電電晶體1152及一第一放電電晶體1154。

如上所述，鎖存器電路1140係一半鎖存器。就此方面，第一充電電晶體1142之閘極耦合至第二充電電晶體1152及第二放電電晶體1154之汲極，而第一放電電晶體1144之閘極耦合至資料儲存電容器1133及寫入啟用電晶體1131之汲極。第二充電電晶體1152及第二放電電晶體1154之閘極耦合至第一充電電晶體1142及第一放電電晶體1144之汲極。第一充電電晶體1142之汲極於一第一快門狀態節點1146處連接至第一放電電晶體1144之汲極。第二充電電晶體1152之汲極於一第二快門狀態節點1156處連接至第二放電電晶體1154之汲極。就此方面，第一快門狀態節點1146控制第二快門狀態反相器之第二充電電晶體1152及第二放電電晶體1154兩者之閘極電壓且第二快門狀態節點1156控制第一快門狀態反相器之第一充電電晶體1142之閘極電壓。第一充電電晶體1142及第二充電電晶體1152之源極端子耦合至致動電壓互連線1110。第一放電電晶體1144及第二放電電晶體1154之源極端子耦合至全域更新互連線1112。可使全域更新互連線1112保持處於顯著高於快門共同互連線1116之電壓之一電壓下以防止第一放電電晶體1144或第二放電電晶體1154之接通，不管儲存於資料儲存電容器1133上之

電荷如何。

像素1102之雙重致動器快門總成1104包含耦合至節點1146之一第一快門狀態致動器及耦合至節點1156之一第二快門狀態致動器。快門總成1104之一參考電極耦合至快門共同互連線1116。

控制矩陣1100可以實質上類似於圖10中所繪示之控制矩陣1000之一方式操作。通常，控制矩陣1100執行類似於關於圖6所闡述之圖框定址及像素致動方法600之一圖框定址及像素致動方法。用於控制控制矩陣1100之圖框定址及像素致動方法分三個常規階段進行。首先，在一資料載入階段中一次一列針對每一像素載入對應於該等像素之資料電壓。接下來，在一更新鎖存器階段中，至少部分地基於所儲存資料電壓將每一像素之鎖存器設定至適當鎖存器狀態。在設定每一像素之鎖存器之後，在一快門致動階段中致動該等像素。

控制矩陣1100之操作從資料載入階段開始並繼續進行至更新鎖存器階段。在此階段中，控制矩陣1100使致動電壓互連線電壓降至低於全域更新互連線電壓之一電壓。然而，由於預偏壓電晶體1164，在此階段出現一顯著電荷轉移。在將致動電壓互連線1110帶至低於全域更新互連線1112之電壓之一電壓之後，預偏壓電晶體1164切換至一接通狀態且電流自全域更新互連線1112流動至第一快門狀態節點1146上。然後，第一快門狀態節點1146將採用相同於全域更新互連線1112之電壓，舉例而言，處於約3 V至6 V

之範圍內之一電壓。

然後，更新鎖存器階段繼續使全域更新互連線1112上之電壓自實質上相同於資料電壓之一電壓降至接近於零之一電壓。全域更新互連線之電壓之此降低具有兩個效果。首先，預偏壓電晶體1164將切換至暫時隔離第一快門狀態節點1146處之電荷與其對應電壓之一關斷狀態。其次，將第一放電電晶體1144及第二放電電晶體1154置入一狀態中以回應於資料儲存電容器1133上之電壓。若一資料電壓儲存於資料儲存電容器1133上，則第一放電電晶體1144將接通且第一快門狀態節點1146上之電壓將被拉至零。另一方面，若無電壓儲存於資料儲存電容器1133上，則第一快門狀態節點1146處之預偏壓電荷將保持儲存於第一快門狀態節點1146處，在那裏第一快門狀態節點1146稍後可驅動鎖存器電路1140或確定鎖存器電路1140之最後狀態。

在降低全域更新互連線1112上之電壓降低之後，使致動電壓互連線1110上之電壓升高至一中間電壓或致動電壓 V_{at} 以便設定鎖存器電路1110。在升高致動電壓互連線1110上之電壓以設定鎖存器電路1040之後，則使全域更新互連線1112自等於或接近於零伏特之一電壓回到實質上等於資料電壓之一電壓。然後，更新鎖存器階段繼續進行至其中使致動電壓互連線1110高升至致動電壓 V_{at} 且致使快門總成1104致動至其新狀態之快門致動階段。

在某些實施方案中，可將一第二pMOS預偏壓電晶體可添加至電路1100，並聯連接至預偏壓電晶體1164。第二預

偏壓電晶體之閘極亦可連接至致動電壓互連線1110。第二預偏壓電晶體之汲極可連接至第二快門狀態節點1156。以此方式，可在更新鎖存器階段之初期部分中將第一快門狀態節點1146及第二快門狀態節點1156兩者預加偏壓至更新電壓。

圖12展示一控制矩陣1200之一部分。控制矩陣1200可經實施以用於圖1中所繪示之顯示裝置100。特定而言，控制矩陣1200包含其中鎖存器電路之輸入中之一者與反相器回饋中斷連接之一半鎖存器電路。將控制矩陣1200組態為一對稱鎖存器，從而意味著主反相器及從反相器在更新階段期間接收互補資料輸入。控制矩陣1200亦利用疊接電晶體及疊接互連線來提供防高電壓應力保護。

控制矩陣1200控制包含具有雙重致動器快門總成1204之光調變器之一像素陣列1202。快門總成1204中之致動器可製成為電雙穩態的或機械雙穩態的。

控制矩陣1200包含用於控制矩陣1200中之每一列像素1202之一掃描線互連線1206及用於每一行像素1202之一資料互連線1208。控制矩陣1200進一步包含一致動電壓互連線1210、一全域更新互連線1212、一快門共同互連線1216及一放電疊接互連線1218(統稱為「共同互連線」)。此等共同互連線1210、1212、1216及1218在該陣列中之多個列及多個行中之像素1202之間共用。在某些實施方案中，共同互連線1210、1212、1216及1218在顯示裝置1200中之所有像素1202之間共用。

控制矩陣1200中之每一像素1202亦包含一寫入啟用電晶體1231及一資料儲存電容器1233。寫入啟用電晶體1231之閘極耦合至掃描線互連線1206，資料載入電晶體1231之源極耦合至資料互連線1208且寫入啟用電晶體1231之汲極耦合至資料儲存電容器1233之一第一端子及鎖存器電路1240之輸入。資料儲存電容器1233之一第二端子耦合至快門共同互連線1216。

控制矩陣1200進一步包含鎖存器電路1240。鎖存器電路1240包含一第一快門狀態反相器及一第二快門狀態反相器。第一快門狀態反相器包含一第一充電電晶體1242、一第一放電電晶體1244及一第一放電疊接電晶體1262。第二快門狀態反相器包含一第二充電電晶體1252、一第二放電電晶體1254及一第二放電疊接電晶體1264。第一快門狀態反相器與第二快門狀態反相器交叉耦合以使得第一快門狀態反相器之輸入耦合至第二快門狀態反相器之輸出且反之亦然。以此方式，第一快門狀態反相器與第二快門狀態反相器共同作為一鎖存器電路或一正反器電路操作。另外，鎖存器電路1240亦包含一資料反相器，該資料反相器包含一資料反相器pMOS電晶體1272及一資料反相器nMOS電晶體1274。該資料反相器經組態以反相提供至第一放電電晶體1244之閘極之一資料電壓。相應地，出現在第二放電電晶體1254之閘極處之電壓將係對出現在第一放電電晶體1244之閘極處之任一電壓之補數。因此，鎖存器電路1240作為一對稱鎖存器操作，此乃因鎖存器電路1240之主反相

器及從反相器接收互補資料輸入。一對稱鎖存器係經組態以用於可靠2狀態操作之一完全確定鎖存器。

第一放電電晶體1244之閘極耦合至資料儲存電容器1233、寫入啟用電晶體1231之汲極以及資料反相器pMOS電晶體1272及資料反相器nMOS電晶體1274之閘極。第一充電電晶體1242之閘極耦合至第二充電電晶體1252及第二放電疊接電晶體1264之汲極。第二充電電晶體1252之閘極以及第一充電電晶體1242及第一放電疊接電晶體1262之汲極於一第一快門狀態節點1246處彼此連接。第二充電電晶體1252之汲極於一第二快門狀態節點1256處連接至第二放電疊接電晶體1264之汲極。第一充電電晶體1242及第二放電電晶體1252之源極端子耦合至致動電壓互連線1210。第一放電疊接電晶體1262之閘極連接至疊接放電互連線1218。第二放電疊接電晶體1264之閘極連接至疊接放電互連線1218及資料反相器pMOS電晶體1272之源極。第一放電疊接電晶體1262及第二放電疊接電晶體1264之源極端子分別連接至第一放電電晶體1244及第二放電電晶體1254之汲極。第一放電電晶體1242及第二放電電晶體1254以及第二放電疊接電晶體1264之源極端子耦合至全域更新互連線1212。第二放電電晶體1254之閘極連接至資料反相器pMOS電晶體1272及資料反相器nMOS電晶體1274之汲極。

第二快門狀態反相器之輸入經由資料反相器電晶體1272及1274來源於資料輸入之一反相或直接來源於主反相器之輸出。第一及第二放電電晶體1244及1254之閘極輸入與第

一及第二快門狀態節點1246及1256電隔離，且因此對可在鎖存器之更新期間出現之瞬變回饋電流不敏感。

像素1202之雙重致動器快門總成1204包含耦合至第一快門狀態節點1246之一第一快門狀態致動器及耦合至第二快門狀態節點1256之一第二快門狀態致動器。快門總成1204之一參考電極耦合至快門共同互連線1216。

在此組態中，第一放電疊接電晶體1262及第二放電疊接電晶體1264經組態以使得其各別源極及汲極端子連接在快門總成1204之對應第一及第二快門狀態致動器與各別第一放電電晶體1244及第二放電電晶體1254中間。添加第一放電疊接電晶體1262有助於降低跨第一充電電晶體1242或第一放電電晶體1244中之任何一者之源極與汲極或閘極與源極所經歷之電壓降。添加第二放電疊接電晶體1264有助於降低跨第二充電電晶體1252或第二放電電晶體1254中之任何一者之源極與汲極或閘極與汲極所經歷之電壓降。放電疊接互連線1218有助於確保第一放電疊接電晶體1262及第二放電疊接電晶體1264實質上同時接通。

控制矩陣1200利用兩種互補類型之電晶體(p通道電晶體及n通道電晶體兩者)。控制矩陣1200因此稱作一互補MOS控制矩陣或一CMOS控制矩陣。例如，第一充電電晶體1242及第二充電電晶體1252係pMOS電晶體，而第一放電電晶體1244、第一放電疊接電晶體1262、第二放電電晶體1254及第二放電疊接電晶體1264係nMOS電晶體。在其他實施方案中，可反轉控制矩陣1200中所採用之類型之電晶

體，舉例而言，可針對充電電晶體使用 nMOS 電晶體且可針對放電電晶體使用 pMOS 電晶體。

在控制矩陣 1200 中，全域更新互連線 1212 連接至第一放電電晶體 1244 之源極、第二放電電晶體 1254 及資料反相器之 nMOS 電晶體 1274。使全域更新互連線 1212 保持處於顯著高於快門共同互連線 1216 之電位之一電位下防止第一放電電晶體 1244、第二放電電晶體 1254 或 nMOS 電晶體 1274 之接通，不管儲存於資料儲存電容器 1233 上之資料電壓如何。

下文將闡述第一放電疊接電晶體 1262 及第二放電疊接電晶體 1264 以及放電疊接互連線 1218 之操作。在操作期間，使放電疊接互連線 1218 保持處於致動電壓互連線 1210 之電壓的約二分之一，且在光源接通時，處於致動電壓 V_{at} 的約二分之一。在此等操作狀態下，每當第一放電電晶體 1244 接通，放電疊接電晶體 1262 將總是處於接通狀態。另外，當第一放電電晶體 1244 處於關斷狀態時，則第一放電電晶體 1244 中之源極與汲極之間的電壓可不超過致動電壓 V_{at} 的二分之一與對應於第一放電電晶體 1244 之臨限電壓之和。藉由將該源極-汲極電壓限定至致動電壓 V_{at} 的約二分之一，顯著減輕跨第一放電電晶體 1244 及放電疊接電晶體 1262 中之每一者之電壓應力。類似地，每當第二放電電晶體 1254 接通，放電疊接電晶體 1264 將總是處於接通狀態。另外，當第二放電電晶體 1254 關斷時，則第二放電電晶體 1254 中之源極與汲極之間的電壓可不超過致動電壓

V_{at} 的二分之一與對應於第二放電電晶體1254之臨限電壓之和。藉由將該源極-汲極電壓限定至致動電壓 V_{at} 的約二分之一，顯著減輕跨第二放電電晶體1254及放電疊接電晶體1264中之每一者之電壓應力。

控制矩陣1200以實質上類似於圖5中所繪示之控制矩陣500之一方式操作。通常，控制矩陣1200執行類似於關於圖6所闡述之圖框定址及像素致動方法600之一圖框定址及像素致動方法。用於控制控制矩陣1200之圖框定址及像素致動方法分三個常規階段進行。首先，在一資料載入階段中一次一列針對每一像素載入對應於該等像素之資料電壓。接下來，在一更新鎖存器階段中，至少部分地基於所儲存資料電壓將每一像素之鎖存器設定至適當狀態。在設定每一像素之鎖存器之後，在一快門致動階段中致動該等像素。

控制矩陣1200之操作從資料載入階段開始且繼續進行至更新鎖存器階段。在此階段中，控制矩陣1200可使致動電壓互連線1210保持處於等於致動電壓 V_{at} 之一電壓下。若致動電壓 V_{at} (舉例而言)小於約20伏特且放電疊接互連線1218上之電壓為該致動電壓的二分之一或約10伏特，則約6至10伏特之一資料電壓可足以更新鎖存器電路1240。在此實施方案中，可啟動該更新操作而不必放電鎖存器電路1240。

在資料載入階段期間，使全域更新互連線1212保持處於實質上等於資料電壓之一電壓下。此防止電晶體1244、

1254或1274中之任一者之接通且其將鎖存器電路1240與儲存於資料儲存電容器1233上之任何新資料隔離。為用新資料來更新鎖存器電路1240，可使全域更新互連線1212上之電壓降低持續足以供鎖存器電晶體回應於電容器1233上之輸入電壓之一時間。

在其中致動電壓係一高電壓(舉例而言，大於約20 V之一電壓)之某些實施方案中，就在啟動全域更新互連線1212之前使致動電壓互連線1210上之電壓降至一較低或中間電壓。在藉由施加一中間電壓至致動電壓互連線1210來設定鎖存器之後，使致動電壓互連線1210重新升高至較高致動電壓以便快門致動器可回應於新鎖存器狀態。可在更新序列期間藉助一較低電荷互連線電壓來降低在鎖存器更新消耗功率期間出現之瞬變電流及此功率。

在某些實施方案中，使放電疊接互連線1218貫穿更新鎖存器階段保持處於致動電壓的約二分之一。在某些實施方案中，與致動電壓互連線1210協調加脈衝於放電疊接互連線1218上之電壓以使得置於放電疊接電晶體1262及1264之閘極上之電壓為致動電壓互連線1210上之電壓的約二分之一。

亦可具有將被看作電路1200之簡單變化形式之若干個其他控制矩陣組態。在某些實施方案中，在鎖存器電路1240之充電側上添加疊接電晶體以代替或補充組態於鎖存器電路1240之放電側上之放電疊接電晶體1262及1264。在某些實施方案中，包含電晶體1272及1274之資料反相器安置於

資料儲存電容器1233與第一放電電晶體1244之間，而不是連接至如圖12中所繪示之第二放電電晶體1254。

可藉由組合來自分別繪示於圖5、7、8、10、11及12中之控制矩陣500、700、800、1000、1100及1200之元件來實現諸多適用鎖存器電路。在一個此類組合中，使一預偏壓電晶體與包含疊接電晶體及一疊接電壓互連線之一鎖存器電路共同操作。為了理解此將如何工作，諸如圖11中所繪示之預偏壓電晶體1164之一預偏壓電晶體起作用以作為預加偏壓操作之部分將電壓自全域更新互連線1112轉移至第一快門狀態節點1146。然而，若欲將鎖存器電路1140組態為類似於圖12中所繪示之鎖存器電路1240中所示之疊接鎖存器之一疊接鎖存器，則在預加偏壓操作中將來自諸如疊接互連線1218之疊接互連線之電荷及電壓轉移至第一快門狀態節點1146成為可能。在此組態中，pMOS預偏壓電晶體1164之閘極將如前所述連接至致動電壓互連線1110，且只要致動電壓互連線1210上之電壓降至低於疊接互連線1218之電壓則彼電晶體將接通。由於使疊接互連線1218保持處於高於全域更新互連線1212之電壓下，因而此實施方案將在操作期間節約額外功率，此乃因可減少致動電壓互連線1210上之電壓變化。

可將結合本文中所揭示之實施方案闡述之各種說明性邏輯、邏輯區塊、模組、電路及演算法程序實施為電子硬體、電腦軟體或兩者之組合。已就功能性大體闡述了硬體與軟體之可互換性且在上文所闡述之各種說明性組件、區

塊、模組、電路及程序中對其進行了說明。此功能性係以硬體還是以軟體實施取決於特定應用及強加於整個系統之設計約束。

可藉助一通用單晶片處理器或多晶片處理器、一數位信號處理器(DSP)、一特殊應用積體電路(ASIC)、一場可程式化閘陣列(FPGA)或其他可程式化邏輯器件、離散閘或電晶體邏輯、離散硬體組件或經設計以執行本文中所闡述之功能之其任一組合來實施或執行用於實施結合本文中所揭示之態樣所闡述之各別說明性邏輯、邏輯區塊、模組及電路之硬體及資料處理裝置。一通用處理器可係一微處理器或任一習用處理器、控制器、微控制器或狀態機。亦可將一處理器實施為計算器件之一組合(例如，一DSP與一微處理器之一組合)、複數個微處理器、一或多個微處理器連同一DSP核心或任一其他此類組態。在某些實施方案中，可藉由特定於一既定功能之電路來執行特定程序及方法。

在一或多個態樣中，可以硬體、數位電子電路、電腦軟體、韌體(包含本說明書中所揭示之結構及其結構等效物)或其任何組合來實施所闡述之功能。亦可將本說明書中所闡述之標的物之實施方案實施為一或多個電腦程式，亦即，編碼於一電腦儲存媒體上以供資料處理裝置執行或用以控制資料處理裝置之操作之一或多個電腦程式指令模組。

若以軟體實施，則該等功能可儲存於一電腦可讀媒體上或作為一電腦可讀媒體上之一或多個指令或程式碼進行傳

輸。本文中所揭示之一方法或演算法之程序可以可駐存於一電腦可讀媒體上之一處理器可執行軟體模組實施。電腦可讀媒體包含電腦儲存媒體及通信媒體兩者，包含可經啟用以將一電腦程式自一地傳送至另一地之任一媒體。一儲存媒體可係任何可由一電腦存取之可用媒體。以實例方式，而非限制方式，此等電腦可讀媒體可包含RAM、ROM、EEPROM、CD-ROM或其他光碟儲存器、磁碟儲存器或其他磁性儲存器件、或可用於儲存呈指令或資料結構形式之所期望程式碼且可由一電腦存取之任一其他媒體。此外，可將任一連接適當地稱作一電腦可讀媒體。如本文中所使用，磁碟及光碟包含壓縮光碟(CD)、雷射光碟、光學光碟、數位多功能光碟(DVD)、軟磁碟及藍光光碟，其中磁碟通常以磁性方式複製資料而光碟藉助雷射以光學方式複製資料。上述之組合亦應包含於電腦可讀媒體之範疇內。另外，一方法或演算法之操作可以一個或任何碼及指令組合或集合形式駐存於可併入至一電腦程式產品中之一機器可讀媒體及電腦可讀媒體上。

熟習此項技術者可易於明瞭對本發明中所闡述之實施方案之各種修改，且本文中所定義之一般原理可適用於其他實施方案而不背離本發明之精神或範疇。因此，申請專利範圍並不意欲限於本文中所展示之實施方案，而被授予與本文中所揭示之本發明、原理及新穎特徵相一致之最寬廣範疇。

另外，熟習此項技術者應易於瞭解，術語「上部」及

「下部」有時係為了便於描述圖式而使用，且指示對應於圖式於一適當定向頁面上之定向之相對位置，且可不反映如所實施之任何裝置之適當定向。

亦可結合一單個實施方案來實施本說明書中依據單獨實施方案闡述之某些特徵。相反，亦可單獨地或以任何適當子組合形式在多個實施方案中實施依據一單個實施方案闡述之各種特徵。此外，儘管上文可將特徵闡述為以某些組合形式起作用且甚至最初係如此主張的，但在某些情形中，可自一所主張之組合去除來自該組合之一或多個特徵，且所主張之組合可係針對一子組合或一子組合之一變化形式。

類似地，雖然在該等圖式中以一特定次序繪示操作，但不應將此理解為要求以所展示之特定次序或以順序次序執行此等操作或執行所有所圖解說明之操作以達成期望結果。此外，圖式可以一流程圖形成示意性地繪示一或多個實例性程序。然而，未繪示之其他操作可併入示意性圖解說明之實例性程序中。舉例而言，可在所圖解說明操作中之任一者之前、之後、與其同時或在其之間執行一或多個額外操作。在某些情形下，多任務及並行處理可係有利的。此外，上文所闡述之實施方案中之各種系統組件之分離不應被理解為要求在所有實施方案中進行此分離，而應理解為所闡述之程式組件及系統通常可一起整合於一單個軟體產品中或封裝至多個軟體產品中。另外，其他實施方案亦屬於以下申請專利範圍之範疇內。在某些情形中，申

請專利範圍中所引述之動作可以一不同次序執行且仍達成期望結果。

【圖式簡單說明】

圖 1A 展示一直觀式基於 MEMS 之顯示裝置之一實例性示意圖。

圖 1B 展示一主機裝置之一實例性方塊圖。

圖 2A 展示一說明性基於快門之光調變器之一實例性透視圖。

圖 2B 展示一基於捲動致動器快門之光調變器之一剖面圖。

圖 2C 展示一說明性非基於快門之微機電系統 (MEMS) 光調變器之一剖面圖。

圖 2D 展示一基於電潤濕之光調變陣列之一剖面圖。

圖 3A 展示一控制矩陣之一實例性示意圖。

圖 3B 展示連接至圖 3A 之控制矩陣之一基於快門之光調變器陣列之一透視圖。

圖 4A 及圖 4B 展示一雙重致動器快門總成之實例性視圖。

圖 5 展示一實例性控制矩陣之一部分。

圖 6 展示一實例性圖框定址及像素致動方法之一流程圖。

圖 7 展示一實例性控制矩陣之一部分。

圖 8 展示一實例性控制矩陣之一部分。

圖 9 展示施加至一致動電路互連線及一全域更新互連線

之一實例性電壓之一時序圖。

圖 10 展示一實例性控制矩陣之一部分。

圖 11 展示一實例性控制矩陣之一部分。

圖 12 展示一實例性控制矩陣之一部分。

【主要元件符號說明】

100	顯示裝置
102a	光調變器
102b	光調變器
102c	光調變器
102d	光調變器
104	影像
105	燈
106	像素
108	快門
109	光圈
110	互連線
112	資料互連線
114	共同互連線
120	主機裝置
122	主機處理器
124	環境感測器
126	使用者輸入模組
128	顯示裝置
130	驅動器

132	驅動器
134	控制器
138	驅動器
140	燈
142	燈
144	燈
146	燈
148	驅動器
150	光調變器
200	基於快門之光調變器
202	快門
203	表面
204	致動器
205	致動器
206	順應性負載橫樑
207	彈簧
208	負載錨
211	光圈孔
216	驅動橫樑
218	驅動橫樑錨
220	光調變器
222	可移動電極
224	絕緣層
226	平面電極

228	基板
230	固定端
232	可移動端
250	非基於快門之微機電系統光調變器
252	光
254	光導
256	分接頭元件
258	橫樑
260	電極
262	電極
270	基於電潤濕之光調變陣列
272	單元
272a	基於電潤濕之光調變單元
272b	基於電潤濕之光調變單元
272c	基於電潤濕之光調變單元
272d	基於電潤濕之光調變單元
274	光學腔
276	彩色濾光器
278	水(或其他透明導電或極性流體)層
280	吸光油層
282	透明電極
284	絕緣層
286	反射光圈層
288	光導

290	第二反射層
291	光重定向器
292	光源
294	光
300	控制矩陣
301	像素
302	彈性快門總成
303	致動器
304	基板
306	掃描線互連線
307	寫入啟用電壓源
308	資料互連線
309	資料電壓源
310	電晶體
312	電容器
320	像素陣列
322	光圈層
324	光圈
400	雙重致動器快門總成
402	致動器
404	致動器
406	快門
407	光圈層
408	錨

409	光圈
412	快門光圈
416	預定義重疊
500	控制矩陣
502	像素陣列
504	雙重致動器快門總成
506	掃描線互連線
508	資料互連線
510	致動電壓互連線/共同互連線
512	共同源極互連線/共同互連線
514	全域更新互連線/共同互連線
516	快門共同互連線/第一快門狀態節點
521	更新電晶體
531	寫入啟用電晶體
533	資料儲存電容器
540	鎖存器電路
542	第一充電電晶體
544	第一放電電晶體
546	第一快門狀態節點
552	第二充電電晶體
554	第二放電電晶體
556	第二快門狀態節點
700	控制矩陣
702	像素陣列

704	快門總成
706	掃描線互連線
708	資料互連線
710	致動電壓互連線
712	共同源極互連線
716	快門共同互連線
721	更新電晶體
731	寫入啟用電晶體
733	資料儲存電容器
740	鎖存器電路
742	第一充電電晶體
744	第一放電電晶體
746	第一快門狀態節點
752	第二充電電晶體
754	第二放電電晶體
756	第二快門狀態節點
800	控制矩陣
802	像素陣列
804	快門總成
806	掃描線互連線
808	資料互連線
810	致動電壓互連線
812	全域更新互連線
816	快門共同互連線

822	更新充電電晶體
824	更新放電電晶體
831	寫入啟用電晶體
833	資料儲存電容器
840	鎖存器電路
842	第一充電電晶體
844	第一放電電晶體
846	第一快門狀態節點
852	第二充電電晶體
854	第二放電電晶體
856	第二快門狀態節點
900	時序圖
902	電壓線
904	電壓線
1000	控制矩陣
1002	像素陣列
1004	快門總成
1006	掃描線互連線
1008	資料互連線
1010	共同互連線
1012	共同互連線
1016	共同互連線
1031	寫入啟用電晶體
1033	資料儲存電容器

1040	鎖存器電路
1042	第一充電電晶體
1044	第一放電電晶體
1046	第一快門狀態節點
1052	第二充電電晶體
1054	第二放電電晶體
1056	第二快門狀態節點
1062	預偏壓電容器
1100	控制矩陣
1102	像素陣列
1104	快門總成
1106	掃描線互連線
1108	資料互連線
1110	致動電壓互連線
1112	全域更新互連線
1116	快門共同互連線
1131	寫入啟用電晶體
1133	資料儲存電容器
1140	鎖存器電路
1142	第一充電電晶體
1144	第一放電電晶體
1146	第一快門狀態節點
1152	第二充電電晶體
1154	第二放電電晶體

1156	第二快門狀態節點
1164	預偏壓電晶體
1200	控制矩陣
1202	像素陣列
1204	快門總成
1206	掃描線互連線
1208	資料互連線
1210	致動電壓互連線
1212	全域更新互連線
1216	快門共同互連線
1218	放電疊接互連線
1231	資料載入電晶體
1233	資料儲存電容器
1240	鎖存器電路
1242	充電電晶體
1244	第一放電電晶體
1246	第一快門狀態節點
1252	第二充電電晶體
1254	第二放電電晶體
1256	第二快門狀態節點
1262	第一放電疊接電晶體
1264	第二放電疊接電晶體
1272	資料反相器p型金屬氧化物半導體電晶體
1274	資料反相器n型金屬氧化物半導體電晶體

七、申請專利範圍：

1. 一種顯示裝置，其包括：

一光調變器陣列，每一光調變器具有經組態以將該光調變器驅動至一第一狀態中之一第一致動器及經組態以將該光調變器驅動至一第二狀態中之一第二致動器；及

一控制矩陣，其針對該陣列中之每一光調變器包含一單個致動電壓互連線，該單個致動電壓互連線經組態以：

施加一第一驅動電壓至該光調變器之該第一致動器；

施加一第二驅動電壓至該光調變器之該第二致動器；及

控制一資料電壓至一鎖存器電路之施加以控制該等第一及第二驅動電壓分別至該等第一及第二致動器之該施加。

2. 如請求項1之顯示裝置，其中該控制矩陣包含一鎖存器電路，該鎖存器電路包含經組態以致動該光調變器以移動至該第一狀態之一第一快門狀態反相器及經組態以致動該光調變器以移動至該第二狀態之一第二快門狀態反相器，該第一快門狀態反相器交叉耦合至該第二快門狀態反相器。

3. 如請求項2之顯示裝置，其中該第一快門狀態反相器包含一第一充電電晶體及一第一放電電晶體，且該第二快門狀態反相器包含一第二充電電晶體及一第二放電電晶

體。

4. 如請求項3之顯示裝置，其中該等第一及第二放電電晶體具有一第一極性，且其中該等第一及第二放電電晶體之各別源極端子連接至一共同源極互連線。
5. 如請求項4之顯示裝置，其中該等第一及第二充電電晶體具有一第二極性，且其中該等第一及第二充電電晶體之各別源極端子電連接至該致動電壓互連線。
6. 如請求項5之顯示裝置，其中該等第一及第二充電電晶體係p型電晶體，且該等第一及第二放電電晶體係n型電晶體。
7. 如請求項3之顯示裝置，其中該控制矩陣包含一更新電晶體，該更新電晶體電連接至該致動電壓互連線以使得該致動電壓互連線控制該資料電壓至該等第一及第二放電電晶體之該施加。
8. 如請求項7之顯示裝置，其中該更新電晶體係一p型電晶體。
9. 一種顯示裝置，其包括：

一光調變器陣列，每一光調變器具有經組態以將該光調變器朝向一第一狀態驅動之一第一致動器及經組態以將該光調變器驅動至一第二狀態中之一第二致動器；及

一控制矩陣，其針對每一光調變器包含用於控制該光調變器之一電路，該電路包含經組態以控制該光調變器之該第一致動器之一第一快門狀態反相器及經組態以控制該光調變器之該第二致動器之一第二快門狀態反相

器，其中該第一快門狀態反相器之一輸出電連接至該第二快門狀態反相器之僅一個輸入，且其中該控制矩陣經組態以預加偏壓一電壓於該第二快門狀態反相器之一輸出及該第一快門狀態反相器之一輸入。

10. 如請求項9之顯示裝置，其中該第一快門狀態反相器包含一第一充電電晶體及一第一放電電晶體，且該第二快門狀態反相器包含一第二充電電晶體及一第二放電電晶體。
11. 如請求項10之顯示裝置，其中該等第一及第二充電電晶體係p型電晶體，且其中該等第一及第二充電電晶體之源極連接至一致動電壓互連線。
12. 如請求項11之顯示裝置，其中該等第一及第二放電電晶體係n型電晶體，且其中該等第一及第二放電電晶體之源極連接至全域更新互連線。
13. 如請求項10之顯示裝置，其進一步包括耦合至該第二放電電晶體之一閘極之一資料儲存電容器。
14. 如請求項9之顯示裝置，其中該電路經組態以在致動該光調變器之前藉由將該第二快門狀態反相器之該輸出及該第一快門狀態反相器之該輸入電連接至一偏壓電壓源來預加偏壓一電壓於該第二快門狀態反相器之該輸出及該第一快門狀態反相器之該輸入。
15. 如請求項14之顯示裝置，其中該第一快門狀態反相器包括一第一充電電晶體及一第一放電電晶體，及該第二快門狀態反相器包括一第二充電電晶體及一第二放電電晶體。

體，及其中該第二充電電晶體之一汲極以及該第一充電電晶體及該第一放電電晶體之各別閘極電連接至該偏壓電壓源。

16. 如請求項14之顯示裝置，其中該偏壓電壓源經由一電容器電連接至該第二快門狀態反相器及該第一快門狀態反相器之閘極。

17. 如請求項14之顯示裝置，其中該偏壓電壓源經由一電晶體電連接至該第二快門狀態反相器及該第一快門狀態反相器之閘極。

18. 如請求項9之顯示裝置，其進一步包括一資料儲存電容器，該資料儲存電容器耦合至該第二快門狀態反相器且經由一資料反相器耦合至該第一快門狀態反相器。

19. 如請求項9之顯示裝置，其進一步包括耦合至該第一快門狀態反相器之一第一疊接電晶體及耦合至該第二快門狀態反相器之一第二疊接電晶體。

20. 一種用於使用耦合至一光調變器之一像素電路致動可在兩種離散狀態之間切換的該光調變器之方法，其包含：

儲存一資料電壓於該像素電路之一資料儲存元件中；

提供一偏壓電壓至一第一快門狀態反相器之一輸入及一第二快門狀態反相器之一輸出，其中該第一快門狀態反相器及該第二快門狀態反相器之輸出耦合至該光調變器，及其中該第一快門狀態反相器之該輸出僅電耦合至該第二快門狀態反相器之一輸入；及

基於儲存於該資料儲存元件中之該資料電壓而選擇性

地放電該第一快門狀態反相器之該輸出及該第二快門狀態反相器之該輸出中之一者。

21. 如請求項 20 之方法，其中提供一偏壓電壓至一第一快門狀態反相器之一輸入及一第二快門狀態反相器之一輸出包括在致動該光調變器之前藉由經一電容器將該第一快門狀態反相器之該輸入及該第二快門狀態反相器之該輸出電連接至一偏壓電壓源而提供該偏壓電壓。
22. 如請求項 20 之方法，其中提供一偏壓電壓至一第一快門狀態反相器之一輸入及一第二快門狀態反相器之一輸出包括在致動該光調變器之前藉由經一電晶體將該第一快門狀態反相器之該輸入及該第二快門狀態反相器之該輸出電連接至一偏壓電壓源而提供該偏壓電壓。
23. 如請求項 20 之方法，其中基於儲存於該資料儲存元件中之該資料電壓而選擇性地放電該第一快門狀態反相器之該輸出及該第二快門狀態反相器之該輸出中之一者包括基於儲存於該資料儲存元件中之該資料電壓而選擇性地放電經由一第一疊接電晶體之該第一快門狀態反相器之該輸出及經由一第二疊接電晶體之該第二快門狀態反相器之該輸出中之一者。

八、圖式：

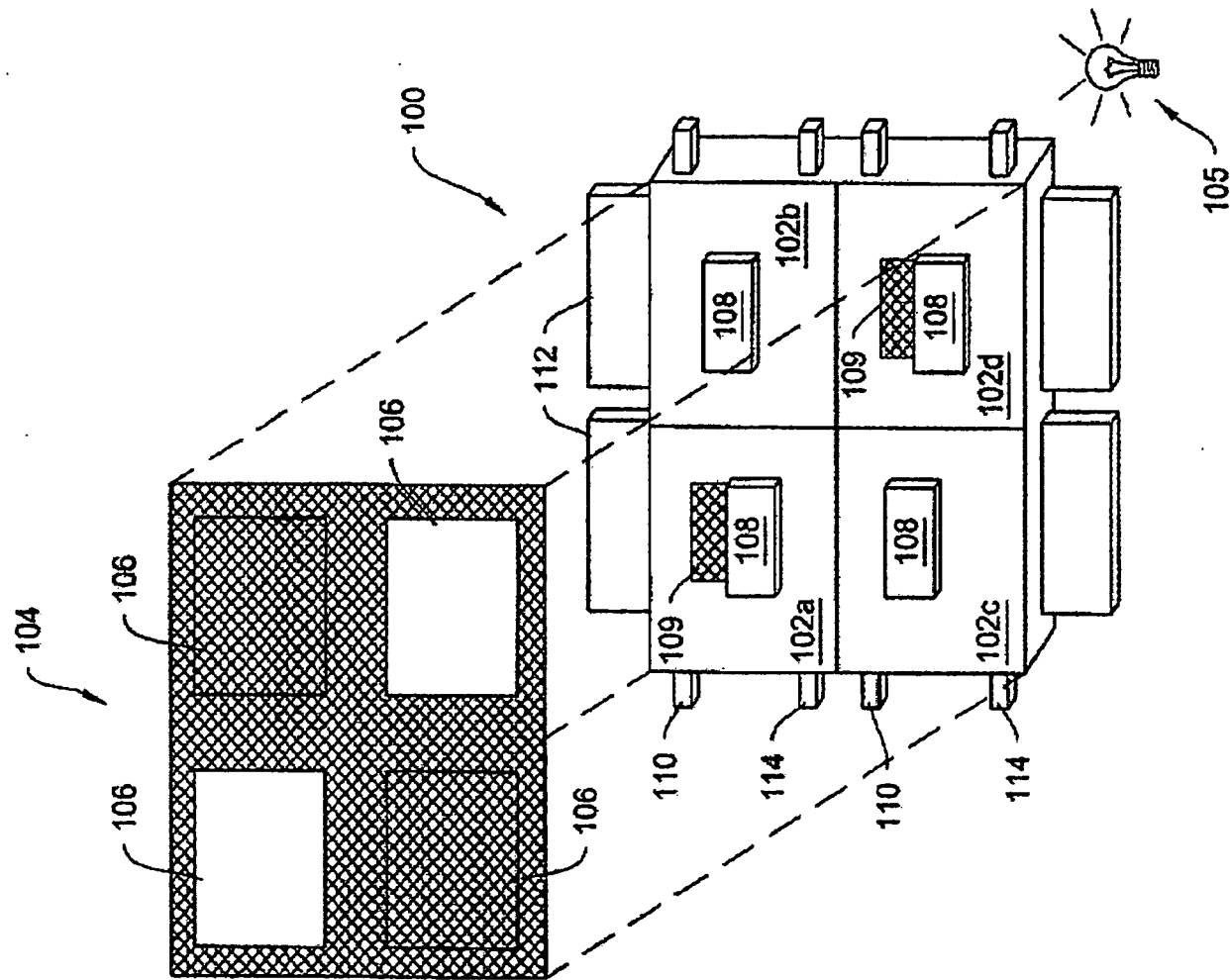


圖 1A

120

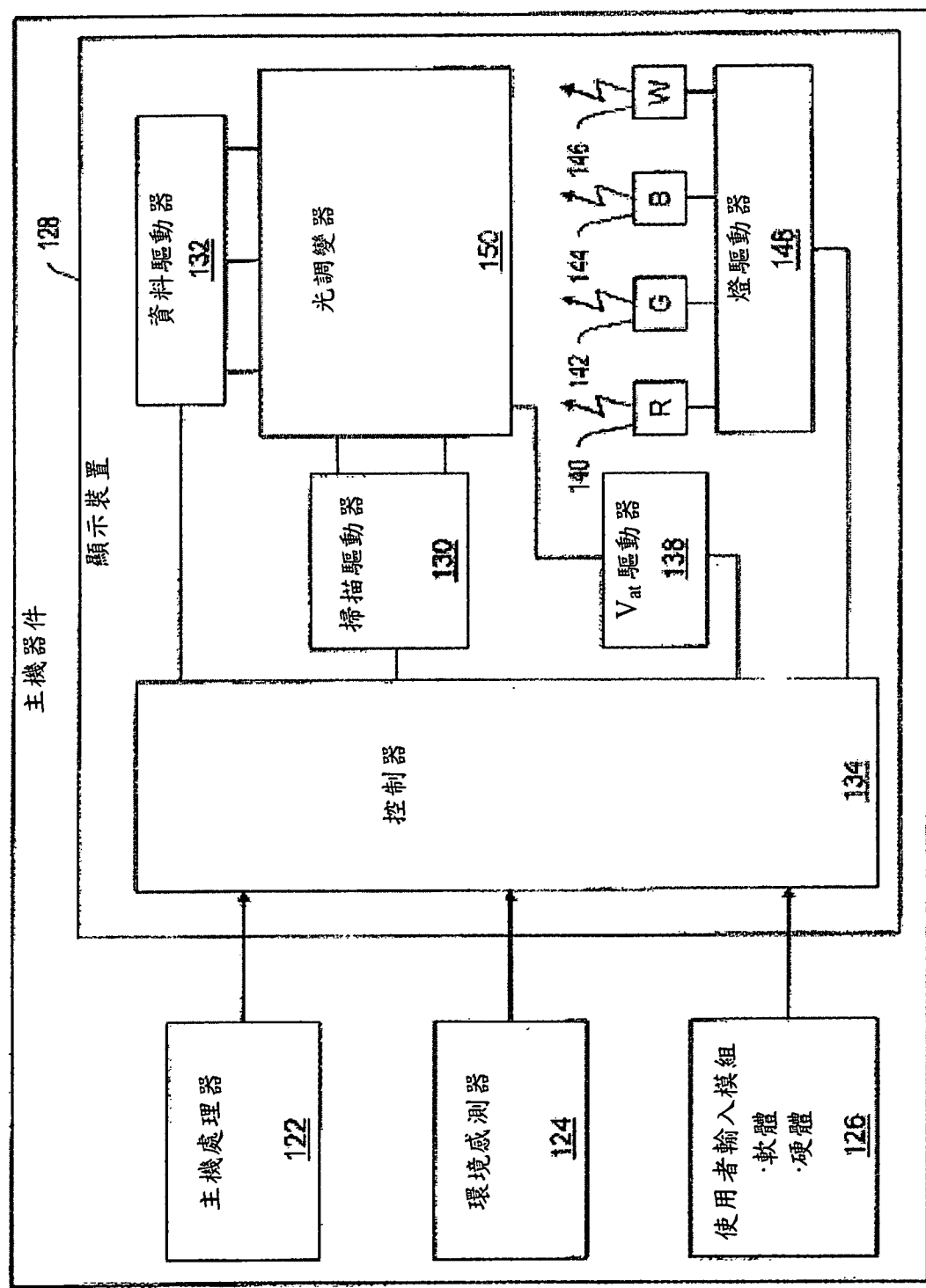


圖1B

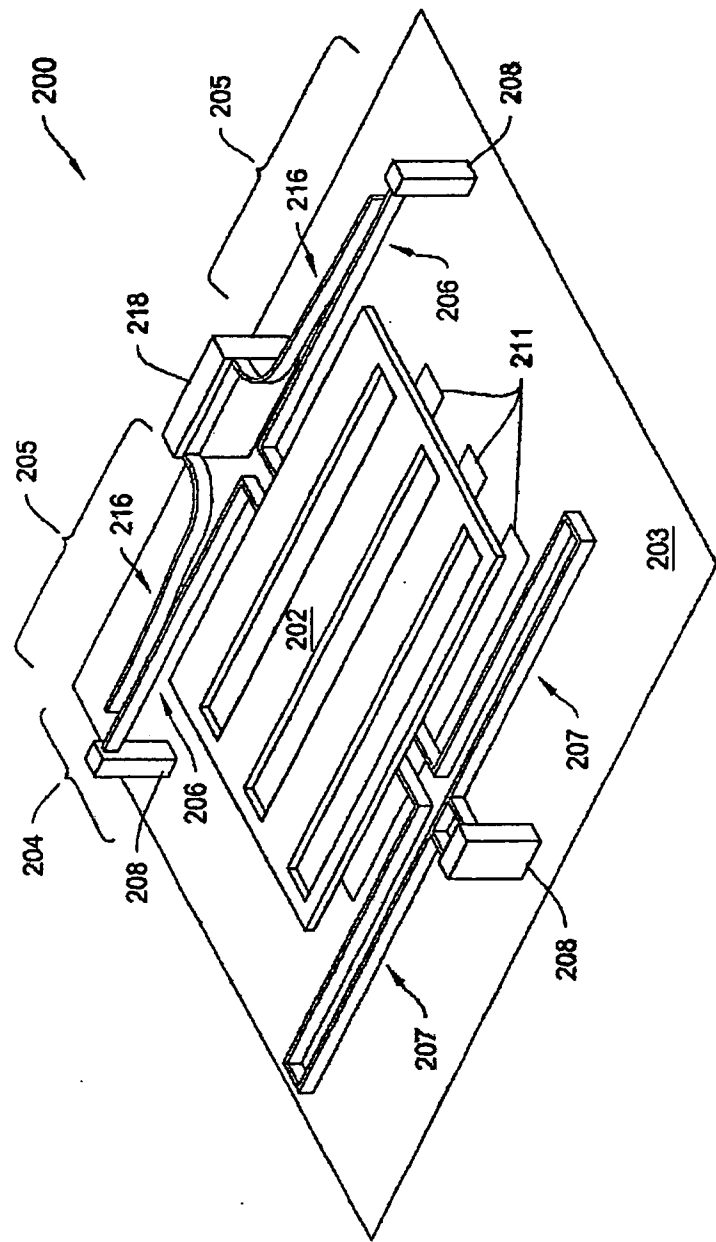


圖2A

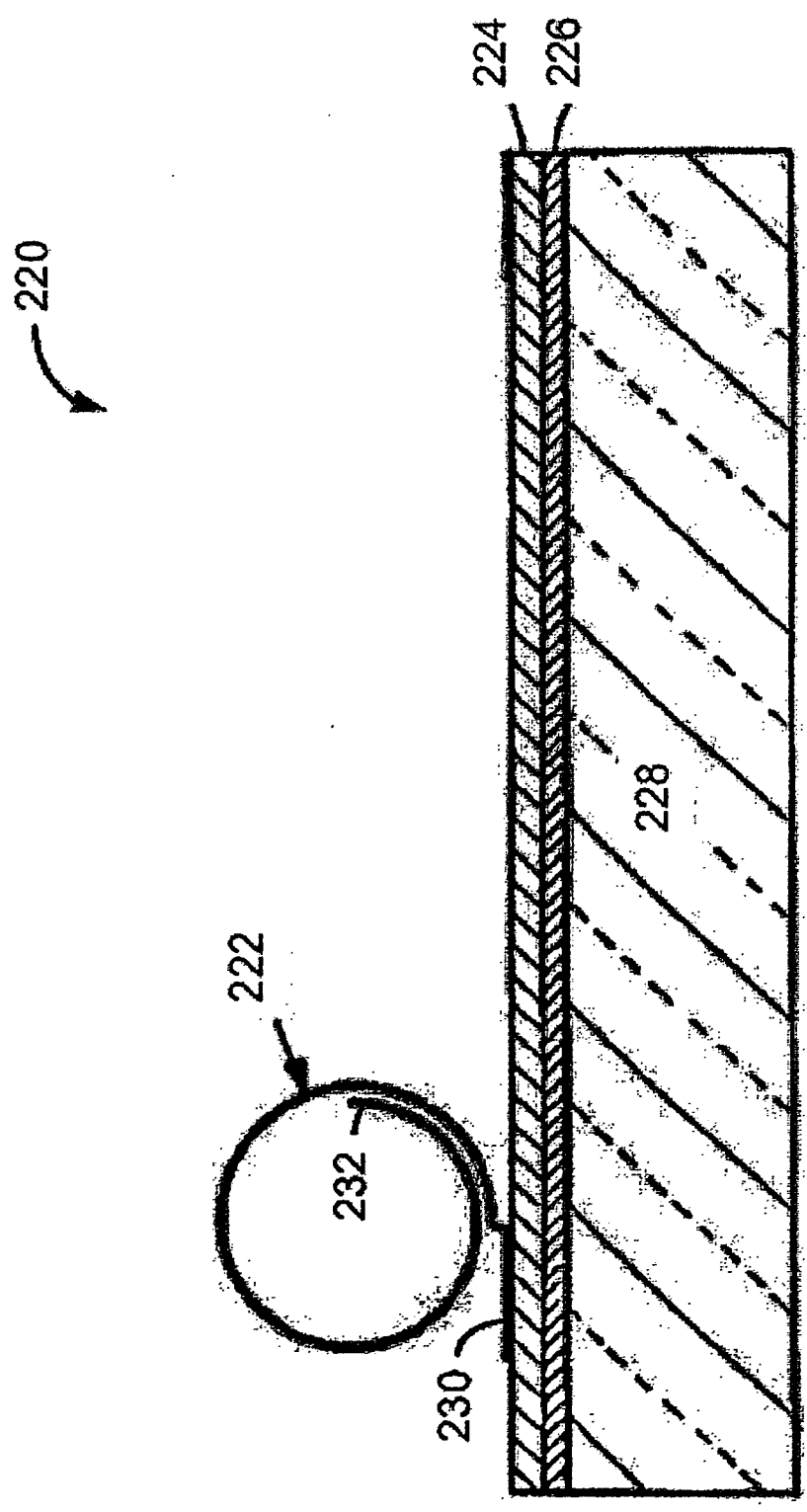


圖 2B

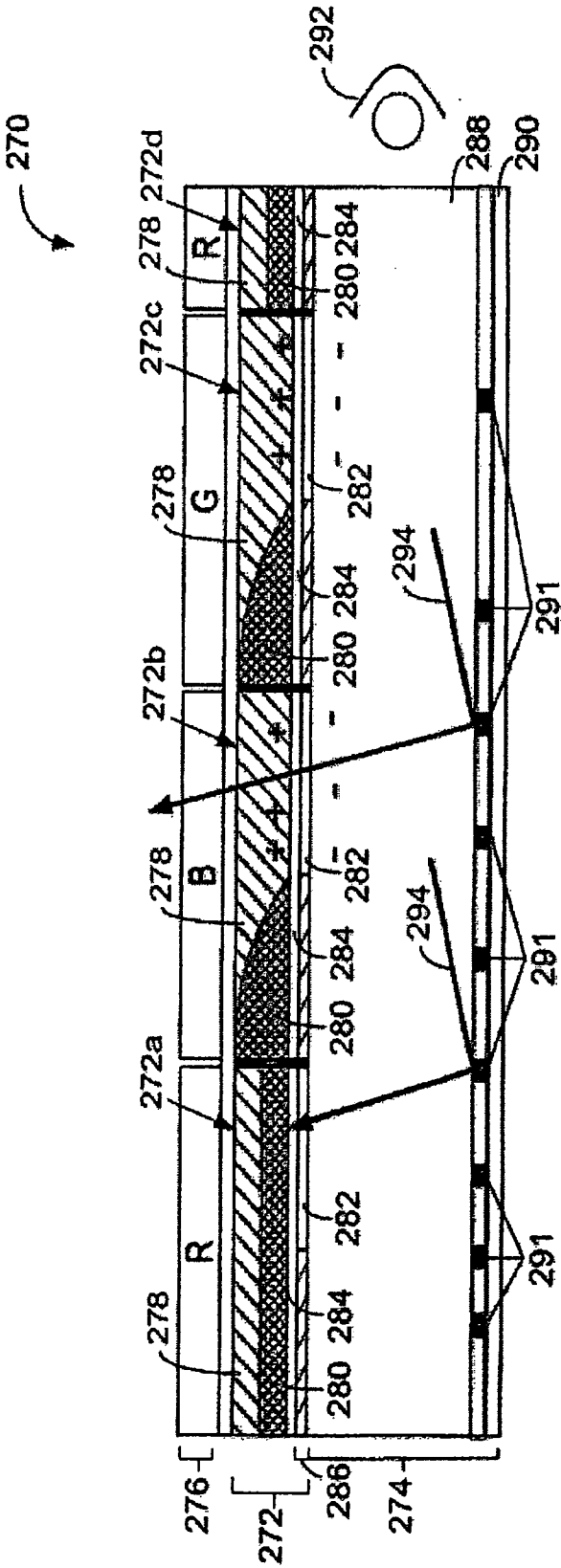
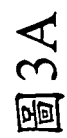


圖 2D



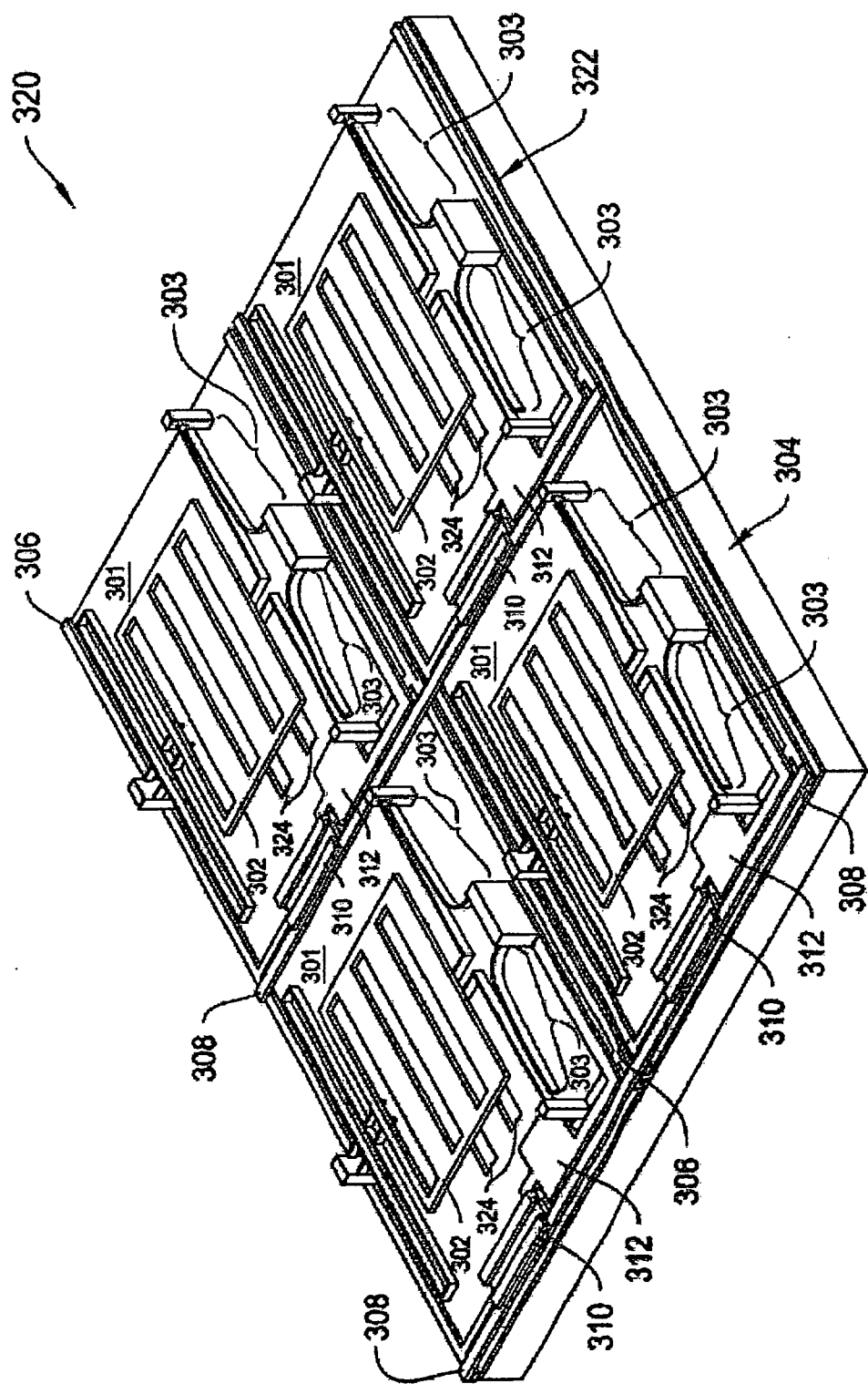


圖3B

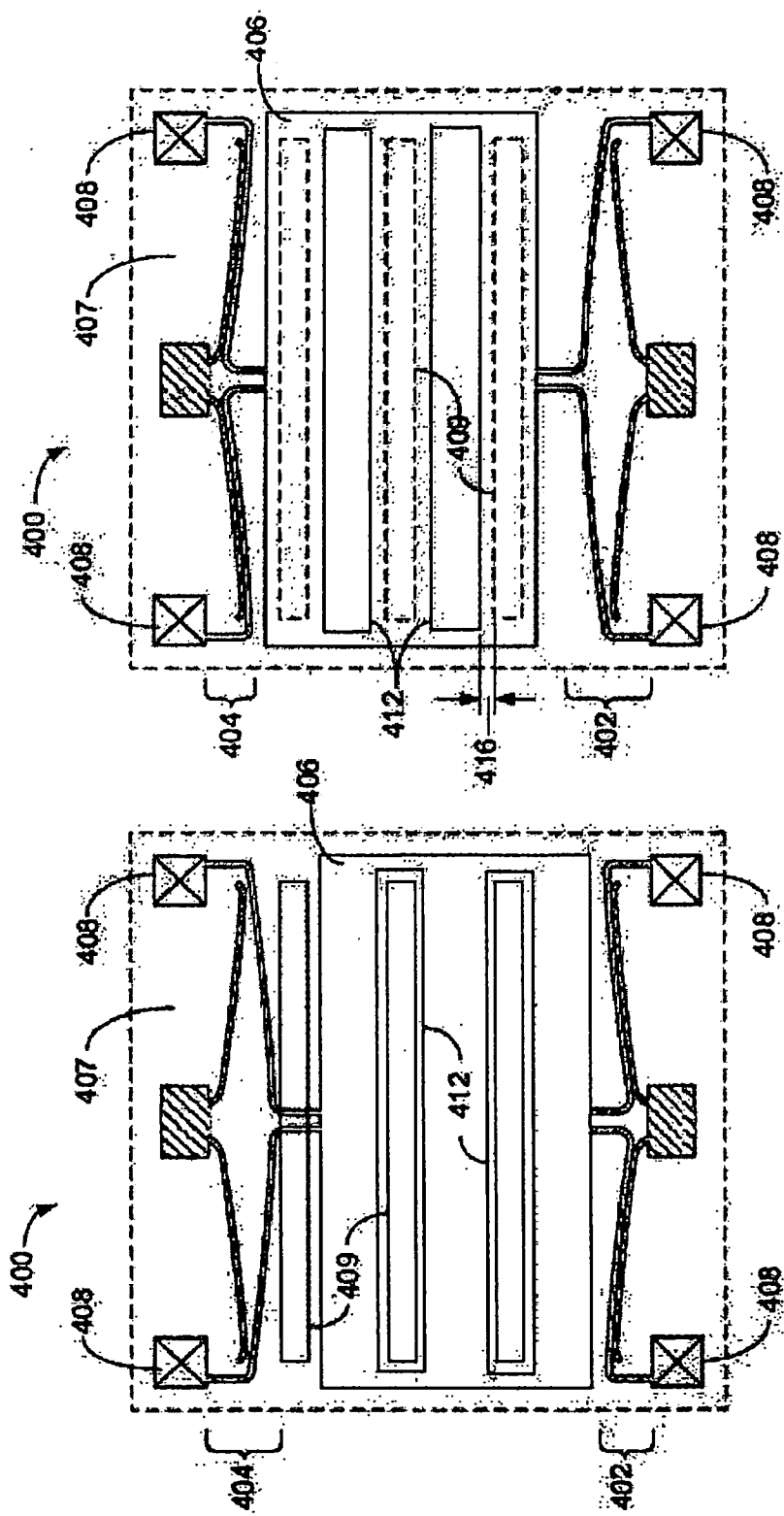


圖 4B

圖 4A

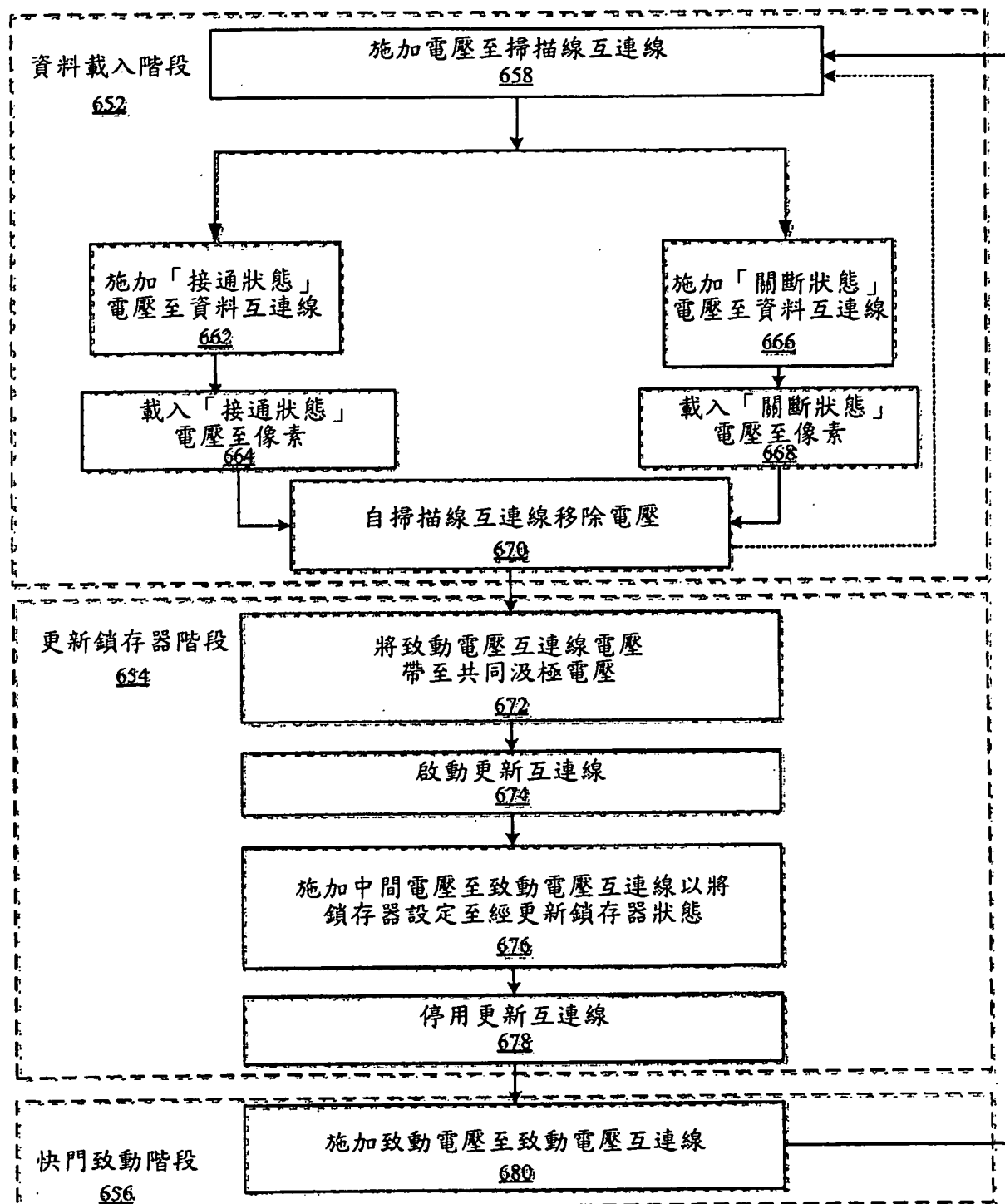


圖 6

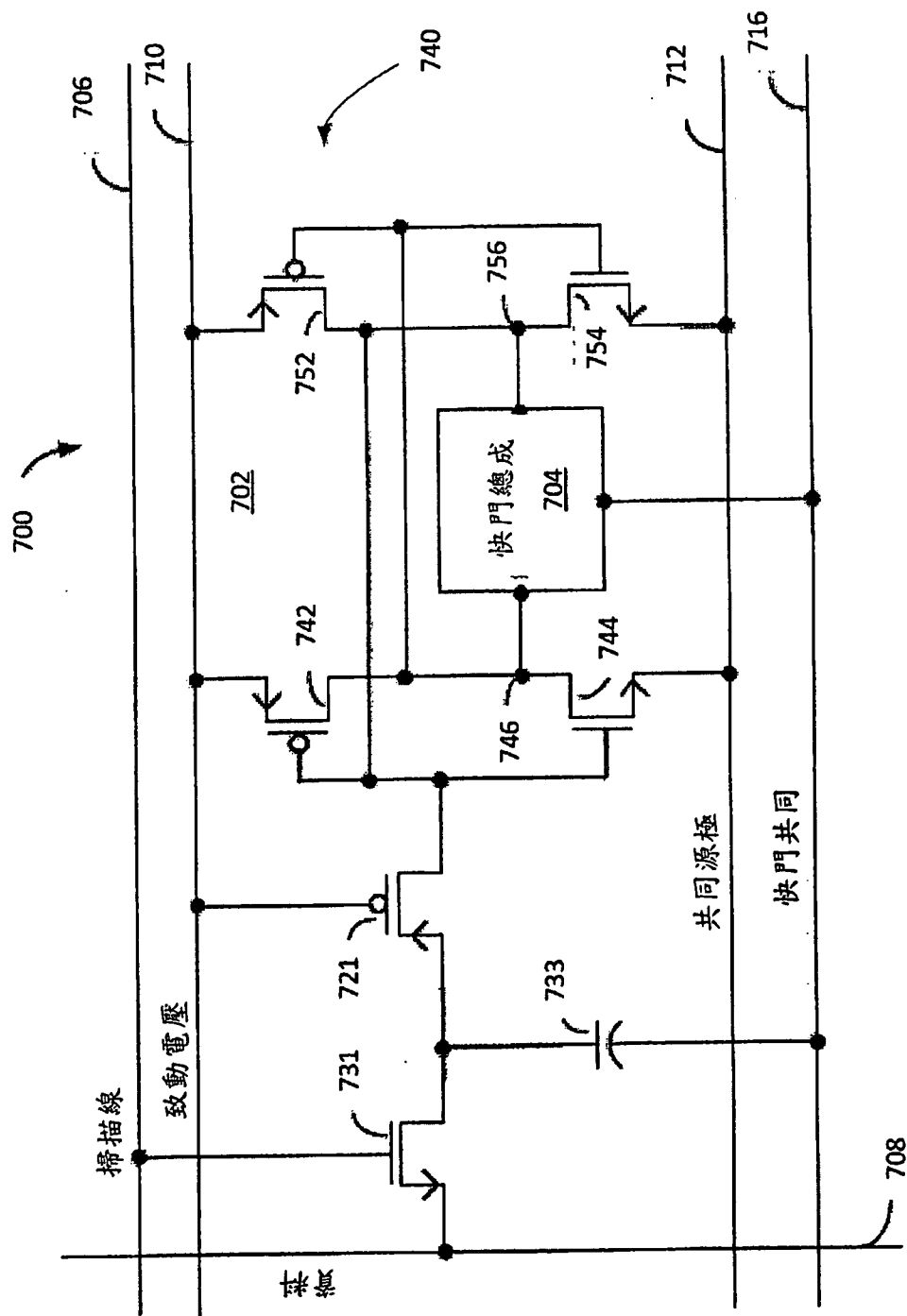
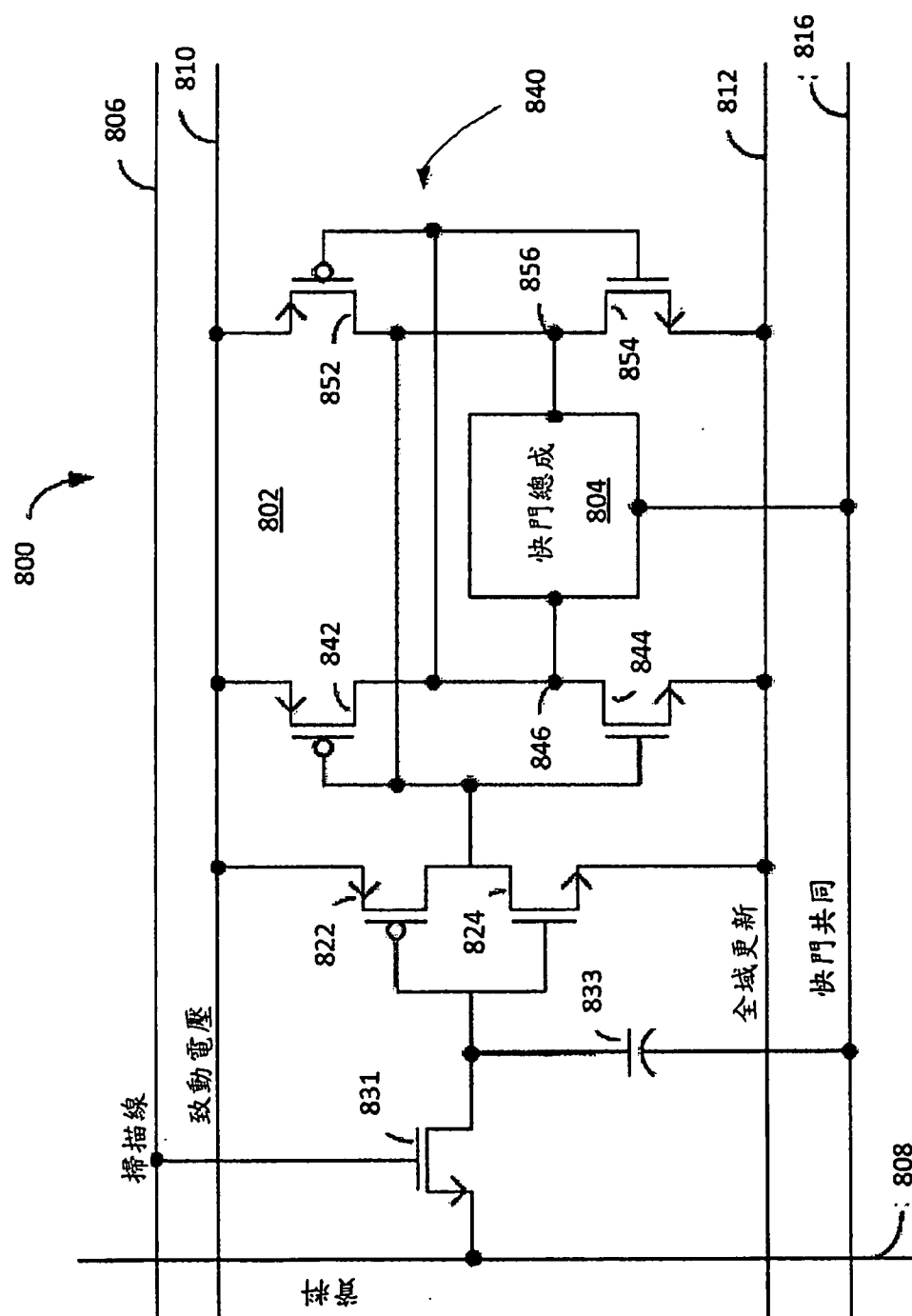


圖7



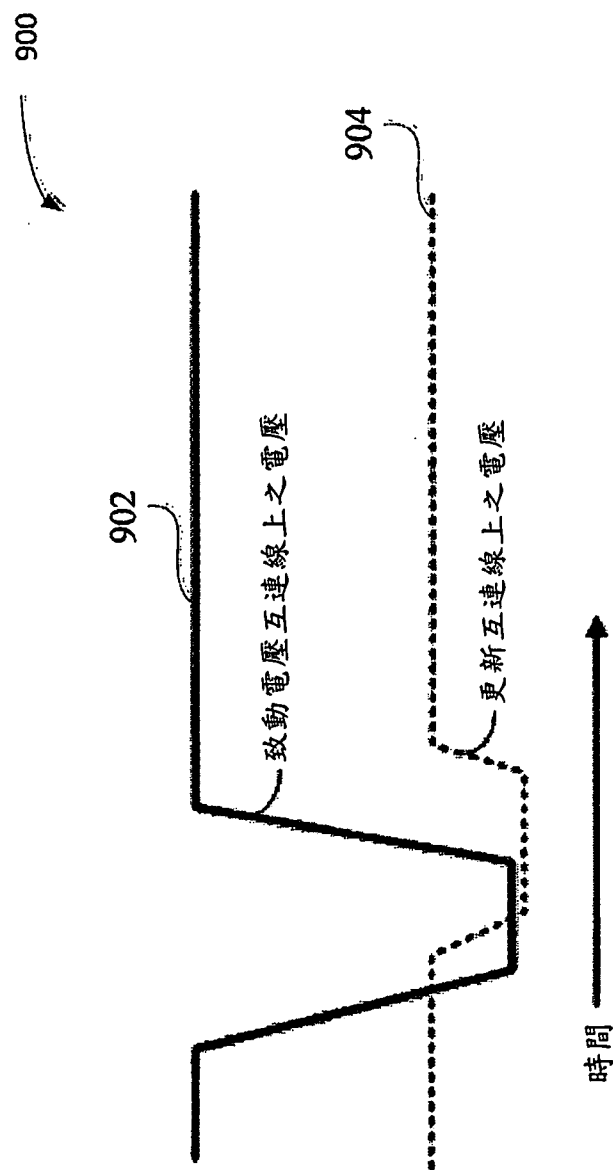


圖9

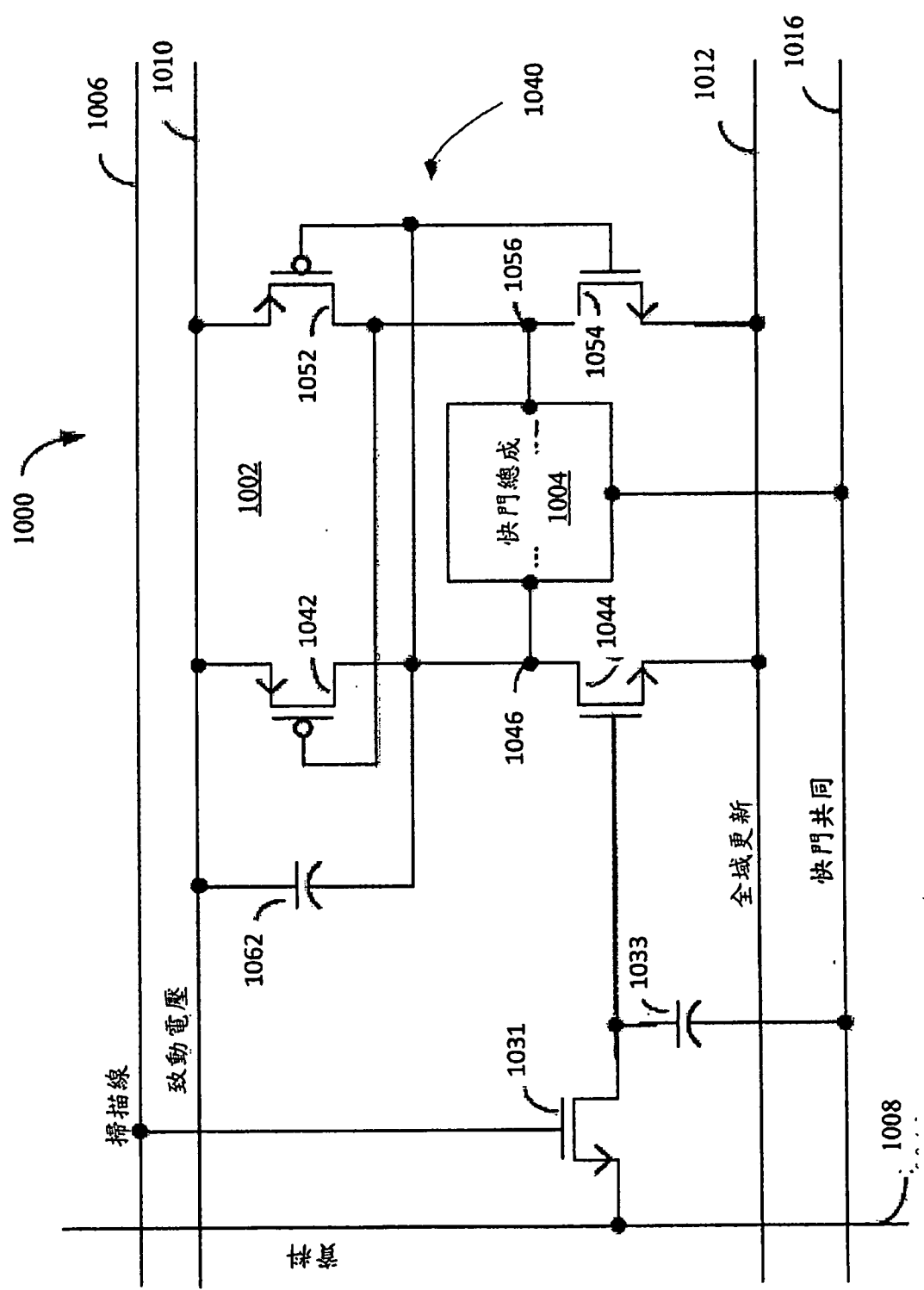


圖10

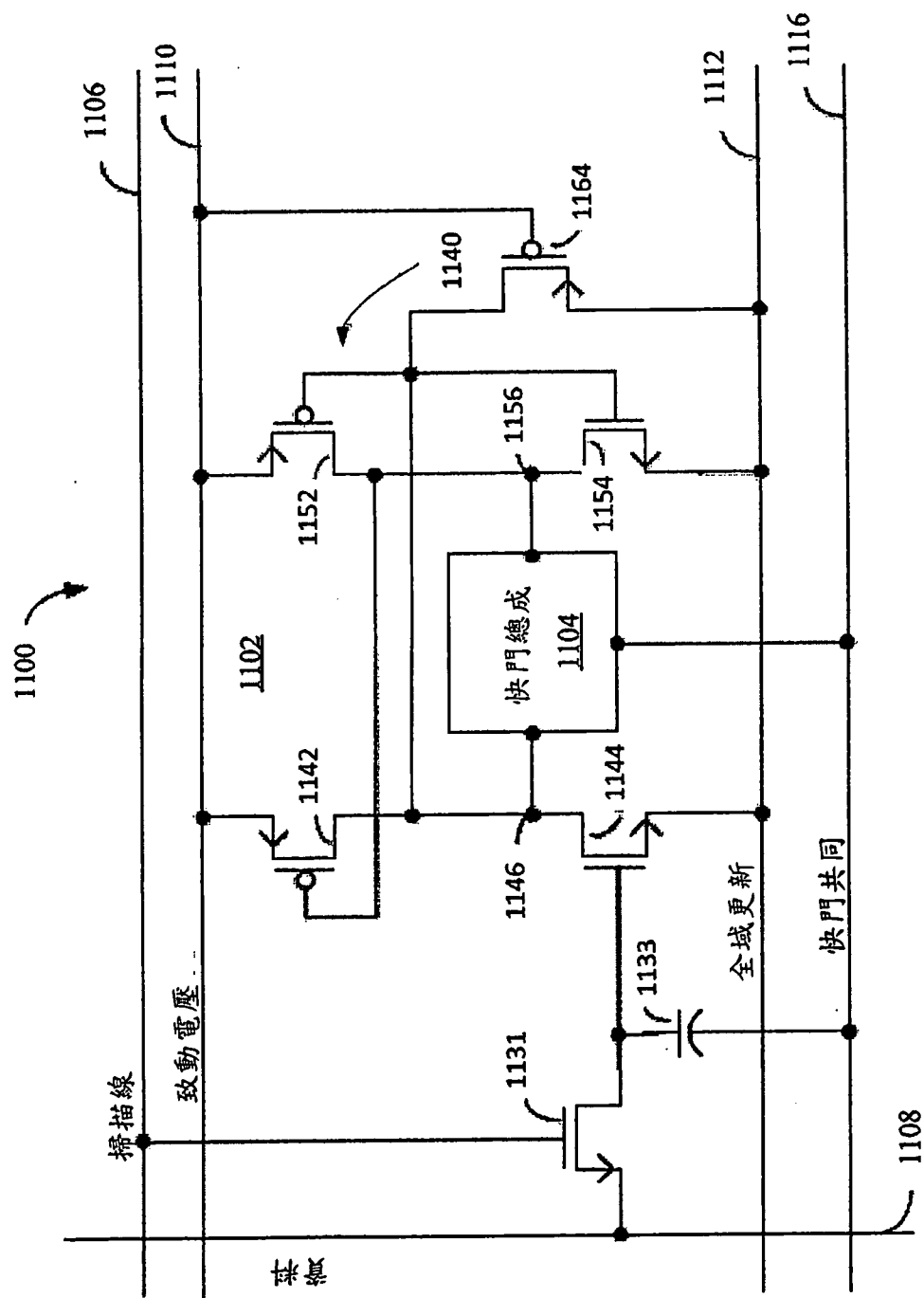


圖11

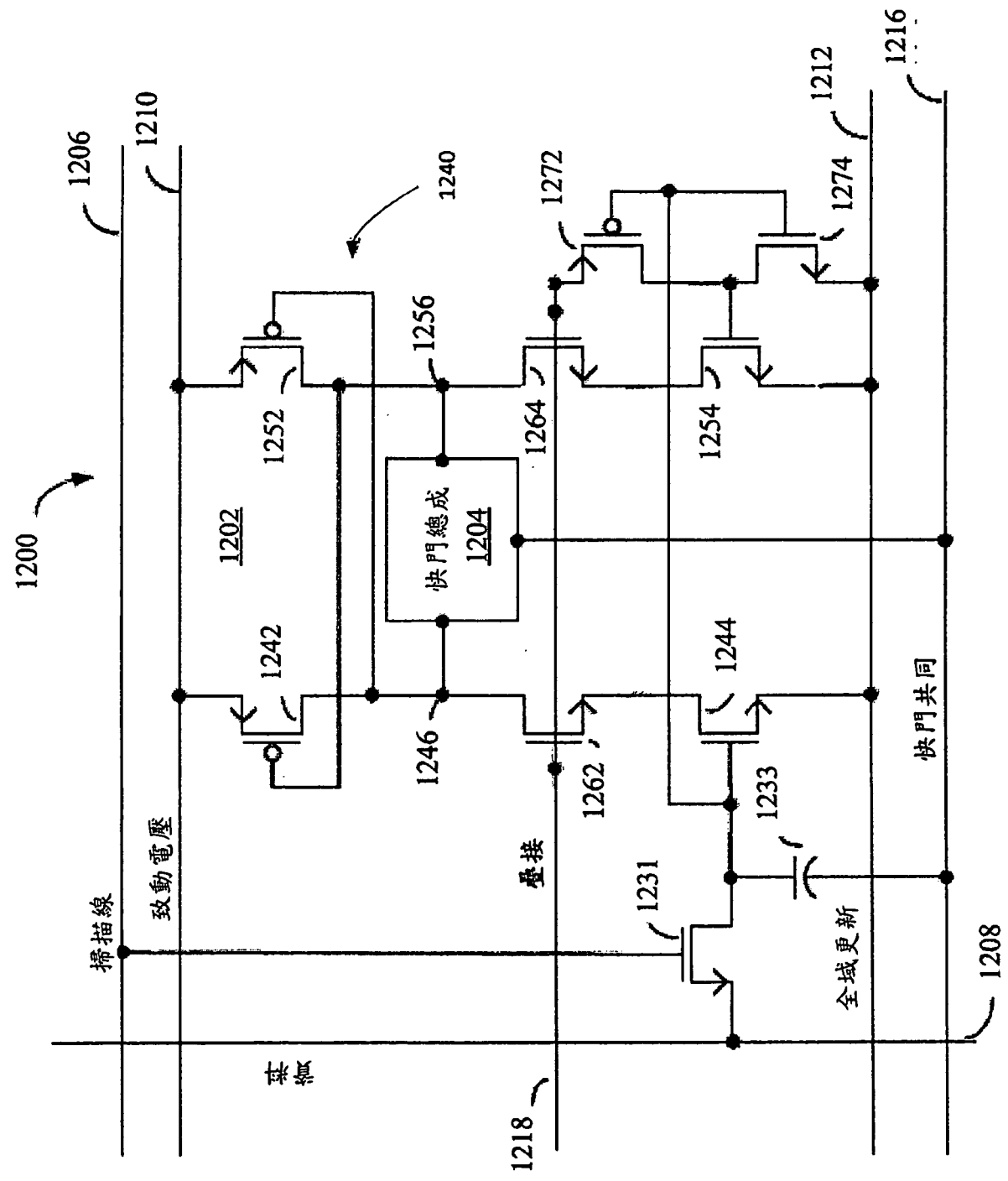


圖12