



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I887292 B

(45) 公告日：中華民國 114 (2025) 年 06 月 21 日

(21) 申請案號：109138387

(22) 申請日：中華民國 109 (2020) 年 11 月 04 日

(51) Int. Cl. : **H01L21/3065(2006.01)****H01L21/311 (2006.01)****H05H1/46 (2006.01)**

(30) 優先權：2019/11/08 日本

2019-203326

2020/03/19 日本

2020-049399

2020/10/07 日本

2020-169758

(71) 申請人：日商東京威力科創股份有限公司 (日本) TOKYO ELECTRON LIMITED (JP)
日本

(72) 發明人：橫山喬大 YOKOYAMA, TAKAHIRO (JP) ; 戶村幕樹 TOMURA, MAJU (JP) ; 木原嘉英 KIHARA, YOSHIHIDE (JP) ; 須田隆太郎 SUDA, RYUTARO (JP) ; 大類貴俊 ORUI, TAKATOSHI (JP)

(74) 代理人：陳長文

(56) 參考文獻：

US 2018/0233356A1

WO 2019/178030A1

審查人員：湯欽全

申請專利範圍項數：22 項 圖式數：8 共 33 頁

(54) 名稱

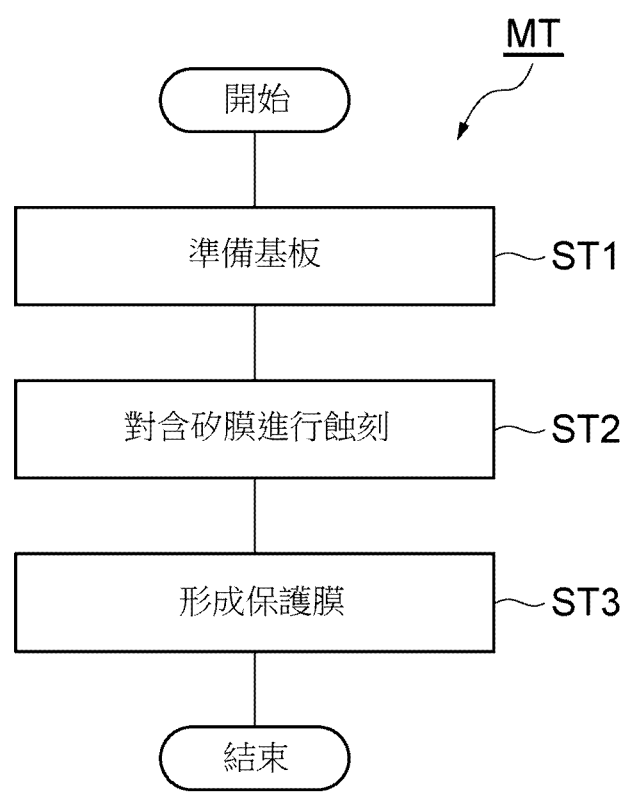
蝕刻方法及電漿處理裝置

(57) 摘要

本發明所揭示之蝕刻方法包含於電漿處理裝置之腔室內準備基板之步驟。基板包含含矽膜。蝕刻方法進而包含藉由源自在腔室內由處理氣體所形成之電漿之化學物種，對含矽膜進行蝕刻之步驟。處理氣體含有鹵素元素及磷。

A disclosed etching method includes providing a substrate in a chamber included in a plasma processing apparatus. The substrate includes a silicon-containing film. The etching method further includes etching the silicon-containing film with a chemical species in plasma generated from a process gas in the chamber. The process gas contains a halogen and phosphorus.

指定代表圖：



【圖1】



I887292

【發明摘要】

【中文發明名稱】

蝕刻方法及電漿處理裝置

【英文發明名稱】

ETCHING METHOD AND PLASMA PROCESSING APPARATUS

【中文】

本發明所揭示之蝕刻方法包含於電漿處理裝置之腔室內準備基板之步驟。基板包含含矽膜。蝕刻方法進而包含藉由源自在腔室內由處理氣體所形成之電漿之化學物種，對含矽膜進行蝕刻之步驟。處理氣體含有鹵素元素及磷。

【英文】

A disclosed etching method includes providing a substrate in a chamber included in a plasma processing apparatus. The substrate includes a silicon-containing film. The etching method further includes etching the silicon-containing film with a chemical species in plasma generated from a process gas in the chamber. The process gas contains a halogen and phosphorus.

【指定代表圖】

圖1

【代表圖之符號簡單說明】

無

【發明說明書】

【中文發明名稱】

蝕刻方法及電漿處理裝置

【英文發明名稱】

ETCHING METHOD AND PLASMA PROCESSING APPARATUS

【技術領域】

【0001】 本發明所例示之實施方式係關於一種蝕刻方法及電漿處理裝置。

【先前技術】

【0002】 於電子器件之製造中，對基板之含矽膜進行電漿蝕刻。於含矽膜之電漿蝕刻時，使用包含氟碳氣體之處理氣體。此種電漿蝕刻記載於美國專利申請公開第2016/0343580號說明書中。

【發明內容】

【0003】 本發明提供一種於含矽膜之電漿蝕刻時抑制橫向蝕刻之技術。

【0004】 一例示性實施方式提供一種蝕刻方法。蝕刻方法包含如下步驟，即，於電漿處理裝置之腔室內準備基板。基板包含含矽膜。蝕刻方法進而包含如下步驟，即，藉由源自在腔室內由處理氣體所形成之電漿之化學物種，對含矽膜進行蝕刻。處理氣體含有鹵素元素及磷。

【0005】 根據一例示性實施方式，能夠於含矽膜之電漿蝕刻時抑制橫向蝕刻。

【圖式簡單說明】

【0006】

圖1係一例示性實施方式之蝕刻方法之流程圖。

圖2係可應用圖1所示之蝕刻方法之一例之基板的局部放大剖視圖。

圖3係概略地表示一例示性實施方式之電漿處理裝置之圖。

圖4(a)係應用圖1所示之蝕刻方法之一例之基板的局部放大剖視圖，

圖4(b)係利用由不含磷之處理氣體形成之電漿進行蝕刻之一例之基板的局部放大剖視圖。

圖5(a)係可應用圖1所示之蝕刻方法之另一例之基板的局部放大剖視圖，圖5(b)係應用圖1所示之蝕刻方法之另一例之基板的局部放大剖視圖。

圖6係表示第1實驗中求出之、處理氣體中之 PF_3 氣體之流量與氧化矽膜之蝕刻速率的關係之曲線圖。

圖7係表示第1實驗中求出之、處理氣體中之 PF_3 氣體之流量與形成於氧化矽膜之開口之最大寬度的關係之曲線圖。

圖8係表示第3實驗中求出之、 PF_3 氣體之流量比率與蝕刻速率之比的曲線圖。

【實施方式】

【0007】 以下，對各種例示性實施方式進行說明。

【0008】 一例示性實施方式提供一種蝕刻方法。蝕刻方法包含如下步驟，即，於電漿處理裝置之腔室內準備基板。基板包含含矽膜。蝕刻方法進而包含如下步驟，即，藉由源自在腔室內由處理氣體所形成之電漿之化學物種，對含矽膜進行蝕刻。處理氣體含有鹵素元素及磷。

【0009】 根據上述實施方式，於劃分形成開口之側壁面上形成包含矽及處理氣體中所含之磷之保護膜，該開口係藉由蝕刻而形成於含矽膜

中。一面藉由該保護膜保護側壁面，一面對含矽膜進行蝕刻。因此，能夠於含矽膜之電漿蝕刻時抑制橫向蝕刻。

【0010】於一例示性實施方式中，蝕刻方法可進而包含如下步驟，即，於劃分形成由蝕刻形成之開口之側壁面上形成保護膜。該保護膜含有處理氣體中所含之磷。

【0011】於一例示性實施方式中，進行蝕刻之步驟與形成保護膜之步驟可同時進行。

【0012】於一例示性實施方式中，處理氣體可包含 PF_3 、 PCl_3 、 PF_5 、 PCl_5 、 POCl_3 、 PH_3 、 PBr_3 或 PBr_5 中之至少一者作為含磷分子。

【0013】於一例示性實施方式中，處理氣體可進而含有碳及氫。

【0014】於一例示性實施方式中，處理氣體可包含 H_2 、 HF 、 C_xH_y 、 CH_xF_y 或 NH_3 中之至少一者作為含氫分子。此處， x 及 y 分別為自然數。

【0015】於一例示性實施方式中，鹵素元素可為氟。

【0016】於一例示性實施方式中，處理氣體可進而含有氧。

【0017】於一例示性實施方式中，含矽膜可為含矽之介電膜。

【0018】於一例示性實施方式中，含矽膜亦可包含氧化矽膜、氮化矽膜或矽膜中之至少一種膜。

【0019】於一例示性實施方式中，含矽膜亦可包含兩個以上之具有互不相同之膜種之含矽膜。

【0020】於一例示性實施方式中，兩個以上之含矽膜可包含氧化矽膜及氮化矽膜。或者，兩個以上之含矽膜亦可包含氧化矽膜及矽膜。或者，兩個以上之含矽膜亦可包含氧化矽膜、氮化矽膜及矽膜。

【0021】 於一例示性實施方式中，基板可進而具有設置於含矽膜上之遮罩。

【0022】 於一例示性實施方式中，蝕刻步驟開始時，基板之溫度可設定為 0°C 以下之溫度。

【0023】 另一例示性實施方式提供一種電漿處理裝置。電漿處理裝置具備腔室、基板支持器、氣體供給部及高頻電源。基板支持器構成於腔室內支持基板。氣體供給部構成於將用以對含矽膜進行蝕刻之處理氣體供給至腔室內。處理氣體含有鹵素元素及磷。高頻電源構成於產生高頻電力以於腔室內由處理氣體生成電漿。

【0024】 以下，參照圖式對各種例示性實施方式詳細地進行說明。再者，各圖式中對相同或相當之部分標註相同之符號。

【0025】 圖1係一例示性實施方式之蝕刻方法之流程圖。圖1所示之蝕刻方法(以下稱作「方法MT」)包含步驟ST1及步驟ST2。方法MT適用於具有含矽膜之基板。方法MT係對含矽膜進行蝕刻。

【0026】 圖2係可應用圖1所示之蝕刻方法之一例之基板的局部放大剖視圖。圖2所示之基板W可用於製造如DRAM(Dynamic Random Access Memory，動態隨機存取記憶體)、3D(three dimensional，三維)-NAND(Not AND，反及)之器件。基板W具有含矽膜SF。基板W可進而具有基底區域UR。含矽膜SF可設置於基底區域UR上。含矽膜SF可為含矽之介電膜。含矽之介電膜可包含氧化矽膜或氮化矽膜。含矽之介電膜只要為含有矽之膜，則亦可為具有其他膜種之膜。又，含矽膜SF亦可包含矽膜(例如多晶矽膜)。又，含矽膜SF亦可包含兩個以上之具有互不相同之膜種之含矽膜。兩個以上之含矽膜可包含氧化矽膜及氮化矽膜。含矽膜SF

例如可為包含交替積層之一個以上之氧化矽膜及一個以上之氮化矽膜的多層膜。或者，兩個以上之含矽膜亦可包含氧化矽膜及矽膜。含矽膜SF例如亦可為包含交替積層之一個以上之氧化矽膜及一個以上之矽膜的多層膜。或者，兩個以上之含矽膜亦可包含氧化矽膜、氮化矽膜及矽膜。

【0027】 基板W可進而具有遮罩MK。遮罩MK設置於含矽膜SF上。遮罩MK係由具有較步驟ST2中之含矽膜SF之蝕刻速率低之蝕刻速率的材料形成。遮罩MK可由有機材料形成。遮罩MK例如可由非晶形碳膜、光阻膜、或SOC膜(旋塗碳膜)形成。或者，遮罩MK亦可為由氮化鈦、鎢、碳化鎢之類的含金屬材料形成之含金屬遮罩。遮罩MK可具有3 μm 以上之厚度。

【0028】 遮罩MK被圖案化。即，遮罩MK具有步驟ST2中轉印至含矽膜SF之圖案。當遮罩MK之圖案轉印至含矽膜SF時，於含矽膜SF上形成孔或溝槽之類的開口。步驟ST2中形成於含矽膜SF之開口之縱橫比可為20以上，亦可為40或50以上。

【0029】 方法MT中使用電漿處理裝置來對含矽膜SF進行蝕刻。圖3係概略地表示一例示性實施方式之電漿處理裝置之圖。圖3所示之電漿處理裝置1具備腔室10。腔室10中提供內部空間10s。腔室10包含腔室本體12。腔室本體12具有大致圓筒形狀。腔室本體12例如由鋁形成。於腔室本體12之內壁面上設置有具有耐腐蝕性之膜。具有耐腐蝕性之膜可由氧化鋁、氧化鈮等陶瓷形成。

【0030】 於腔室本體12之側壁形成有通路12p。基板W通過通路12p於內部空間10s與腔室10外部之間被搬送。通路12p藉由閘閥12g開閉。閘閥12g沿著腔室本體12之側壁設置。

【0031】 於腔室本體12之底部上設置有支持部13。支持部13由絕緣材料形成。支持部13具有大致圓筒形狀。支持部13於內部空間10s內，從腔室本體12之底部朝上方延伸。支持部13支持基板支持器14。基板支持器14構成於內部空間10s內支持基板W。

【0032】 基板支持器14具有下部電極18及靜電吸盤20。基板支持器14可進而具有電極板16。電極板16由鋁等導體形成，具有大致圓盤形狀。下部電極18設置於電極板16上。下部電極18由鋁等導體形成，具有大致圓盤形狀。下部電極18電連接於電極板16。

【0033】 靜電吸盤20設置於下部電極18上。基板W載置於靜電吸盤20之上表面之上。靜電吸盤20具有本體及電極。靜電吸盤20之本體具有大致圓盤形狀，由介電體形成。靜電吸盤20之電極為膜狀電極，設置於靜電吸盤20之本體內。靜電吸盤20之電極經由開關20s而連接於直流電源20p。當對靜電吸盤20之電極施加來自直流電源20p之電壓時，於靜電吸盤20與基板W之間產生靜電引力。基板W藉由該靜電引力被靜電吸盤20吸引而由靜電吸盤20保持。

【0034】 於基板支持器14上配置邊緣環25。邊緣環25為環狀構件。邊緣環25可由矽、碳化矽或石英等形成。基板W配置於靜電吸盤20上且由邊緣環25包圍之區域內。

【0035】 於下部電極18之內部設置有流路18f。從設置於腔室10外部之冷卻器單元經由配管22a將熱交換介質(例如冷媒)供給至流路18f。供給至流路18f之熱交換介質經由配管22b返回至冷卻器單元。於電漿處理裝置1中，藉由熱交換介質與下部電極18之熱交換而調整載置於靜電吸盤20上之基板W之溫度。

【0036】於電漿處理裝置1中設置有氣體供給管線24。氣體供給管線24將來自傳熱氣體供給機構之傳熱氣體(例如He氣體)供給至靜電吸盤20之上表面與基板W背面之間隙。

【0037】電漿處理裝置1進而具備上部電極30。上部電極30設置於基板支持器14之上方。上部電極30隔著構件32支持於腔室本體12之上部。構件32由具有絕緣性之材料形成。上部電極30及構件32將腔室本體12之上部開口封閉。

【0038】上部電極30可包含頂板34及支持體36。頂板34之下表面係內部空間10s一側之下表面，劃分形成內部空間10s。頂板34可由產生較少焦耳熱之低電阻導電體或半導體形成。頂板34具有於頂板34之板厚方向上貫通該頂板34之複數個氣體噴出孔34a。

【0039】支持體36將頂板34裝卸自如地支持。支持體36由鋁等導電性材料形成。於支持體36之內部設置有氣體擴散室36a。支持體36具有從氣體擴散室36a朝下方延伸之複數個氣體孔36b。複數個氣體孔36b分別連通於複數個氣體噴出孔34a。於支持體36形成有氣體導入口36c。氣體導入口36c連接於氣體擴散室36a。於氣體導入口36c連接有氣體供給管38。

【0040】於氣體供給管38，經由流量控制器群41及閥群42連接有氣體源群40。流量控制器群41及閥群42構成氣體供給部。氣體供給部可進而包含氣體源群40。氣體源群40包含複數個氣體源。複數個氣體源包含方法MT中所使用之處理氣體之供給源。流量控制器群41包含複數個流量控制器。流量控制器群41之複數個流量控制器分別為質量流量控制器或壓力控制式之流量控制器。閥群42包含複數個開閉閥。氣體源群40之複數個氣體源分別經由流量控制器群41之對應之流量控制器及閥群42之對應

之開閉閥而連接於氣體供給管38。

【0041】於電漿處理裝置1中，沿著腔室本體12之內壁面及支持部13之外周，裝卸自如地設置有防護罩46。防護罩46防止反應副產物附著於腔室本體12。防護罩46例如係藉由在由鋁形成之母材之表面形成具有耐腐蝕性之膜而構成。具有耐腐蝕性之膜可由氧化鈮等陶瓷形成。

【0042】於支持部13與腔室本體12之側壁之間設置有隔板48。隔板48例如係藉由在由鋁形成之構件之表面形成具有耐腐蝕性之膜(氧化鈮等膜)而構成。隔板48中形成有複數個貫通孔。於隔板48之下方且腔室本體12之底部設置有排氣口12e。排氣裝置50經由排氣管52而連接於排氣口12e。排氣裝置50包含壓力調整閥及渦輪分子泵等真空泵。

【0043】電漿處理裝置1具備第1高頻電源62及第2高頻電源64。第1高頻電源62係產生第1高頻電力之電源。第1高頻電力具有適於電漿生成之頻率。第1高頻電力之頻率例如為27 MHz~100 MHz之範圍內之頻率。第1高頻電源62經由匹配器66及電極板16而連接於下部電極18。匹配器66具有用以使第1高頻電源62之輸出阻抗與負載側(下部電極18側)之阻抗匹配之電路。再者，第1高頻電源62亦可經由匹配器66而連接於上部電極30。第1高頻電源62構成一例之電漿生成部。

【0044】第2高頻電源64係產生第2高頻電力之電源。第2高頻電力具有低於第1高頻電力之頻率的頻率。第2高頻電力與第1高頻電力一起使用時，第2高頻電力作為用以對基板W饋入離子之偏壓用高頻電力使用。第2高頻電力之頻率例如為400 kHz~13.56 MHz之範圍內之頻率。第2高頻電源64經由匹配器68及電極板16而連接於下部電極18。匹配器68具有用以使第2高頻電源64之輸出阻抗與負載側(下部電極18側)之阻抗匹配之

電路。

【0045】再者，亦可不使用第1高頻電力而使用第2高頻電力生成電漿，即，僅使用單一之高頻電力生成電漿。於此情形時，第2高頻電力之頻率可為大於13.56 MHz之頻率，例如為40 MHz。又，於此情形時，電漿處理裝置1亦可不具備第1高頻電源62及匹配器66。於此情形時，第2高頻電源64構成一例之電漿生成部。

【0046】於電漿處理裝置1中進行電漿處理時，將氣體從氣體供給部供給至內部空間10s。又，藉由供給第1高頻電力及/或第2高頻電力，於上部電極30與下部電極18之間產生高頻電場。所產生之高頻電場使內部空間10s中之氣體生成電漿。

【0047】電漿處理裝置1可進而具備控制部80。控制部80可為具備處理器、記憶體等記憶部、輸入裝置、顯示裝置、信號之輸入輸出介面等之電腦。控制部80控制電漿處理裝置1之各部。控制部80中，操作員可使用輸入裝置進行指令之輸入操作等，以此來管理電漿處理裝置1。又，控制部80中，可藉由顯示裝置顯示電漿處理裝置1之運轉狀況使之可視化。進而，記憶體中儲存有控制程式及製程配方資料。藉由處理器執行控制程式，以此於電漿處理裝置1中執行各種處理。處理器執行控制程式，按照製程配方資料來控制電漿處理裝置1之各部。

【0048】再次參照圖1。以下，針對方法MT，列舉使用電漿處理裝置1對圖2所示之基板W應用該方法MT之情形為例進行說明。於使用電漿處理裝置1之情形時，藉由控制部80之對電漿處理裝置1之各部之控制，可於電漿處理裝置1中執行方法MT。於以下說明中，亦對用以執行方法MT之控制部80之對電漿處理裝置1之各部之控制進行說明。

【0049】 方法MT係以步驟ST1開始。步驟ST1係於腔室10內準備基板W。基板W於腔室10內載置於靜電吸盤20上，且由靜電吸盤20保持。再者，基板W可具有300 mm之直徑。

【0050】 方法MT中，繼而執行步驟ST2。步驟ST2係藉由源自在腔室10內由處理氣體所形成之電漿之化學物種，對含矽膜SF進行蝕刻。

【0051】 步驟ST2中使用之處理氣體含有鹵素元素及磷。處理氣體中所含之鹵素元素可為氟。處理氣體可包含氟碳或氫氟碳之至少一者。氟碳例如為 CF_4 、 C_3F_8 、 C_4F_6 或 C_4F_8 中之至少一者。氫氟碳例如為 CH_2F_2 、 CHF_3 或 CH_3F 中之至少一者。氫氟碳亦可包含兩個以上之碳原子。處理氣體可包含含磷分子。含磷分子可為十氧化四磷(P_4O_{10})、八氧化四磷(P_4O_8)、六氧化四磷(P_4O_6)之類的氧化物。十氧化四磷有時被稱作五氧化二磷(P_2O_5)。含磷分子亦可為三氟化磷(PF_3)、五氟化磷(PF_5)、三氯化磷(PCl_3)、五氯化磷(PCl_5)、三溴化磷(PBr_3)、五溴化磷(PBr_5)、碘化磷(PI_3)之類的鹵化物。即，含磷分子可含有氟作為鹵素元素。或者，含磷分子亦可含有氟以外之鹵素元素作為鹵素元素。含磷分子亦可為磷醯氟(POF_3)、磷醯氯($POCl_3$)、磷醯溴($POBr_3$)之類的磷醯鹵。含磷分子亦可為磷化氫(PH_3)、磷化鈣(Ca_3P_2 等)、磷酸(H_3PO_4)、磷酸鈉(Na_3PO_4)、六氟磷酸(HPF_6)等。含磷分子亦可為氟化磷類(H_xPF_y)。此處，x與y之和為3或5。作為氟化磷類，可例示 HPF_2 、 H_2PF_3 。處理氣體可包含該等分子中之一個以上之分子作為含磷分子。例如，處理氣體可包含 PF_3 、 PCl_3 、 PF_5 、 PCl_5 、 $POCl_3$ 、 PH_3 、 PBr_3 或 PBr_5 中之至少一者作為含磷分子。再者，當含磷分子為液體或固體時，可藉由加熱等使之氣化後將其供給至腔室10內。

【0052】 步驟ST2中使用之處理氣體可進而含有碳及氫。處理氣體可包含 H_2 、氟化氫(HF)、烴(C_xH_y)、氫氟碳(CH_xF_y)或 NH_3 中之至少一者作為含氫分子。烴例如為 CH_4 或 C_3H_6 。此處，x及y分別為自然數。處理氣體可包含氟碳或烴(例如 CH_4)作為含碳分子。處理氣體亦可進而含有氧。處理氣體例如亦可包含 O_2 。

【0053】 步驟ST2中使用之處理氣體包含含磷氣體作為磷之供給源。含磷氣體係上述含磷分子之氣體。一實施方式中，如上所述，步驟ST2適用於包含氧化矽膜及氮化矽膜之含矽膜SF。步驟ST2中，藉由設定含磷氣體之流量相對於處理氣體之總流量的比率，而設定(控制)氧化矽膜與氮化矽膜之交替積層膜之蝕刻速率相對於氧化矽膜之蝕刻速率的比。步驟ST2中，能以氧化矽膜之蝕刻速率與氧化矽膜和氮化矽膜之交替積層膜之蝕刻速率之間的差變小的方式，設定含磷氣體之流量相對於處理氣體之總流量的比率。一實施方式中，以氧化矽膜與氮化矽膜之交替積層膜之蝕刻速率相對於氧化矽膜之蝕刻速率的比為0.8以上1.2以下的方式，設定含磷氣體之流量相對於處理氣體之總流量的比率。含磷氣體之流量相對於處理氣體之總流量之比率例如可設定為10%以上50%以下。再者，亦可藉由於步驟ST2之蝕刻中變更含磷氣體之流量，而變更氧化矽膜與氮化矽膜之交替積層膜之蝕刻速率相對於氧化矽膜之蝕刻速率的比。

【0054】 步驟ST2中，將腔室10內之氣體壓力設定為所指定之壓力。步驟ST2中，腔室10內之氣體壓力可設定為10 mTorr(1.3 Pa)以上100 mTorr(13.3 Pa)以下之壓力。又，步驟ST2中，供給第1高頻電力及/或第2高頻電力，以於腔室10內由處理氣體生成電漿。第1高頻電力之位準可設定為2 kW以上10 kW以下之位準。第2高頻電力之位準可設定為2 kW(基

板W之每單位面積之電力位準為 2.83 W/cm^2)以上之位準。第2高頻電力之位準亦可設定為 10 kW (基板W之每單位面積之電力位準為 14.2 W/cm^2)以上之位準。

【0055】 控制部80以將處理氣體供給至腔室10內之方式控制氣體供給部，以此執行步驟ST2。又，控制部80以將腔室10內之氣體壓力設定為所指定之壓力之方式控制排氣裝置50。又，控制部80以供給第1高頻電力及/或第2高頻電力之方式控制第1高頻電源62及第2高頻電源64。

【0056】 一實施方式之方法MT中，步驟ST2開始時之基板W之溫度可設定為 0°C 以下之溫度。若將基板W之溫度設定為此種溫度，則步驟ST2中之含矽膜SF之蝕刻速率變高。控制部80可控制冷卻器單元，以此設定步驟ST2開始時之基板W之溫度。

【0057】 步驟ST2係藉由源自由處理氣體所形成之電漿之鹵素化學物種，對含矽膜SF進行蝕刻。一實施方式中，含矽膜SF之整個區域中從遮罩MK露出之部分被蝕刻(參照圖4(a))。

【0058】 於一實施方式中，如圖1所示，方法MT亦可進而包含步驟ST3。步驟ST3係於劃分形成開口之側壁面上形成保護膜PF，該開口係藉由步驟ST2之蝕刻而形成於含矽膜SF(參照圖4(a))。保護膜PF含有矽及步驟ST2中使用之處理氣體中所含之磷。一實施方式中，步驟ST3與步驟ST2同時進行。一實施方式中，保護膜PF亦可進而含有處理氣體中所含之碳及/或氫。一實施方式中，保護膜PF亦可進而含有處理氣體中所含或含矽膜SF中所含之氧。根據步驟ST2中對氧化矽膜進行蝕刻之實驗例，保護膜PF之XPS(X-ray photoelectron spectroscopy, X射線光電子光譜)分析之結果為，觀察到Si-O之鍵結峰(bond peak)與P-O之鍵結峰。又，根據步

驟ST2中對氮化矽膜進行蝕刻之實驗例，保護膜PF之XPS分析之結果為，觀察到Si-P之鍵結峰與P-N之鍵結峰。

【0059】 若處理氣體中不含磷，則如圖4(b)所示，含矽膜SF亦被朝橫向蝕刻。其結果為，形成於含矽膜SF之開口之寬度局部變寬。例如，形成於含矽膜SF之開口之寬度於遮罩MK附近局部變寬。

【0060】 另一方面，於方法MT中，於劃分形成開口之側壁面上形成保護膜PF，該開口係藉由蝕刻而形成於含矽膜SF。一面藉由該保護膜PF保護側壁面，一面對含矽膜SF進行蝕刻。因此，根據方法MT，能夠於含矽膜SF之電漿蝕刻時抑制橫向蝕刻。

【0061】 以下，參照圖5(a)及圖5(b)。圖5(a)係可應用圖1所示之蝕刻方法之另一例之基板的局部放大剖視圖，圖5(b)係應用圖1所示之蝕刻方法之另一例之基板的局部放大剖視圖。圖5(a)所示之基板W中，含矽膜SF具有單層膜SL及多層膜ML。單層膜SL例如為氧化矽膜、氮化矽膜或多晶矽膜。多層膜ML可包含所積層之一個以上之氧化矽膜及一個以上之氮化矽膜。多層膜ML亦可包含交替積層之複數個氧化矽膜及複數個氮化矽膜。或者，多層膜ML亦可包含所積層之一個以上之氧化矽膜及一個以上之多晶矽膜。多層膜ML亦可包含交替積層之複數個氧化矽膜及複數個多晶矽膜。或者，多層膜ML亦可包含所積層之一個以上之氧化矽膜、一個以上之多晶矽膜、及一個以上之氮化矽膜。

【0062】 上述方法MT可應用於圖5(a)所示之基板W。方法MT之步驟ST2中，同時對單層膜SL及多層膜ML進行蝕刻。如上所述，步驟ST2中使用含有鹵素元素及磷之處理氣體。作為一例，處理氣體可含有 H_2 、 $C_xH_yF_z$ (x 、 y 、 z 為0以上之整數)、 $C_xH_yF_z$ 以外之氟分子或含氟分子、氟以

外之鹵素元素或含有氟以外之鹵素之分子、及上述含磷分子。處理氣體中之含氟分子例如為 NF_3 、 SF_6 、 HF 。處理氣體中之鹵素元素或含鹵素之分子例如為 Cl_2 、 HBr 、 HI 、 ClF_3 、 IF_7 。即，處理氣體中之鹵素元素或含鹵素之分子亦可不含氟。或者，處理氣體中之鹵素元素或含鹵素之分子亦可含有氟。包含含磷分子之氣體之流量相對於處理氣體之總流量的比率例如為3%以上20%以下。又，步驟ST2開始時，基板W之溫度設定為 0°C 以下之溫度，例如設定為 -40°C 或 -70°C 。

【0063】方法MT中，如圖5(b)所示，一面藉由保護膜PF保護側壁面，一面對單層膜SL及多層膜ML進行蝕刻。因此，根據方法MT，能夠於同時對單層膜SL及多層膜ML進行電漿蝕刻時抑制橫向蝕刻。又，藉由於步驟ST2中使用上述處理氣體，而降低單層膜SL之蝕刻速率與多層膜ML之蝕刻速率之差。

【0064】以下，對用以評估方法MT之第1實驗進行說明。第1實驗中，準備複數個樣本基板。複數個樣本基板分別具有氧化矽膜及設置於該氧化矽膜上之遮罩。第1實驗中，執行方法MT，對複數個樣本基板之氧化矽膜進行蝕刻。用以對複數個樣本基板各自之氧化矽膜進行蝕刻(步驟ST2)之處理氣體包含流量互不相同之 PF_3 氣體。步驟ST2中之其他條件如下。

<步驟ST2之條件>

步驟ST2中之腔室10內之氣體壓力：25 mTorr(3.3 Pa)

步驟ST2中使用之處理氣體：50 sccm之 CH_4 氣體、100 sccm之 CF_4 氣體、50 sccm之 O_2 氣體

步驟ST2中之第1高頻電力：40 MHz、4500 W

步驟ST2中之第2高頻電力：400 kHz、7000 W

步驟ST2中之基板溫度(蝕刻開始前之基板支持器之溫度)：-30°C

步驟ST2之執行期間之時長：600秒

【0065】 第1實驗中，針對複數個樣本基板之各者，求出形成於氧化矽膜之開口之最大寬度及氧化矽膜之蝕刻速率。並且，求出步驟ST2中使用之處理氣體中之PF₃氣體之流量與氧化矽膜之蝕刻速率的關係。又，求出步驟ST2中使用之處理氣體中之PF₃氣體之流量與形成於氧化矽膜之開口之最大寬度的關係。圖6中示出處理氣體中之PF₃氣體之流量與氧化矽膜之蝕刻速率的關係。又，圖7中示出處理氣體中之PF₃氣體之流量與形成於氧化矽膜之開口之最大寬度的關係。如圖6所示，可確認出，藉由在處理氣體中含有磷，氧化矽膜之蝕刻速率變高。再者，可確認出，於處理氣體中之PF₃氣體之流量為20 sccm以上之情形時，與未添加PF₃之情形相比，蝕刻速率成為1.5倍左右。又，如圖7所示，可確認出，藉由在處理氣體中含有磷，側壁面得以保護，氧化矽膜之開口之最大寬度變小，即，能夠抑制氧化矽膜之開口寬度局部變寬。可確認出，尤其在處理氣體中之PF₃氣體之流量為15 sccm之情形時，抑制氧化矽膜之開口寬度局部變寬之效果、即側壁面之保護效果變大。又，可確認出，於處理氣體中之PF₃氣體之流量為50 sccm以上之情形時，可更顯著地抑制氧化矽膜之開口寬度局部變寬。即，可確認出，於處理氣體中之PF₃氣體之流量為50 sccm以上之情形時，側壁面之保護效果更為顯著。

【0066】 以下，對用以評估方法MT之第2實驗進行說明。第2實驗中，準備第1樣本基板及第2樣本基板。第1樣本基板具有作為氧化矽膜之單層膜。第2樣本基板具有包含交替積層之複數個氧化矽膜及複數個氮化

矽膜之多層膜。第2實驗中，使用電漿處理裝置1執行方法MT，對第1樣本基板之單層膜及第2樣本基板之多層膜進行蝕刻。用於蝕刻(步驟ST2)之處理氣體含有H₂、氫氟碳、含氟分子、含鹵素分子、及上述含磷分子。又，進行比較實驗。比較實驗中，使用與第2實驗之步驟ST2中使用之處理氣體不同之處理氣體，對第1樣本基板之單層膜及第2樣本基板之多層膜進行蝕刻。比較實驗中使用之處理氣體與第2實驗之步驟ST2中使用之處理氣體之不同點在於，不包含含磷分子。

【0067】 第2實驗及比較實驗中，求出多層膜之蝕刻速率相對於單層膜之蝕刻速率之比值。比較實驗中，於蝕刻開始時之第1樣本基板及第2樣本基板各自之溫度為-40℃之情形時，比值約為1.3。另一方面，第2實驗中，於蝕刻開始時之第1樣本基板及第2樣本基板各自之溫度為-40℃之情形時，比值約為1.17。又，第2實驗中，於蝕刻開始時之第1樣本基板及第2樣本基板各自之溫度為-70℃之情形時，比值約為1.05。根據該等實驗結果可確認，藉由在步驟ST2中使用含有含磷分子之處理氣體，而能夠降低單層膜之蝕刻速率與多層膜之蝕刻速率之間的差。又，可確認出，蝕刻開始時之基板溫度越低，單層膜之蝕刻速率與多層膜之蝕刻速率之間的差越小。

【0068】 以下，對用以評估方法MT之第3實驗進行說明。第3實驗中，準備複數個第1樣本基板及複數個第2樣本基板。複數個第1樣本基板分別具有氧化矽膜(單層膜)。複數個第2樣本基板分別具有氧化矽膜與氮化矽膜之交替積層膜。第3實驗中，使用電漿處理裝置1執行方法MT，對複數個第1樣本基板之單層膜及複數個第2樣本基板之積層膜進行蝕刻。用於蝕刻(步驟ST2)之處理氣體包含H₂氣體、氫氟碳氣體、含氟分子之氣

體、不含氟之含鹵素分子之氣體、及含鹵素及磷之氣體(PF₃氣體)。第3實驗中，於複數個第1樣本基板之單層膜之蝕刻中使用蝕刻時之溫度及PF₃氣體之流量之比率互不相同之複數個組合。蝕刻時之溫度係蝕刻開始時之樣本基板之溫度(熱媒之溫度)。又，PF₃氣體之流量之比率係PF₃氣體之流量相對於處理氣體之總流量之比率。又，於複數個第2樣本基板之積層膜之蝕刻中使用在複數個第1樣本基板之單層膜之蝕刻中使用的蝕刻時之溫度及PF₃氣體之流量之比率互不相同的複數個組合。再者，複數個第1樣本基板之單層膜及複數個第2樣本基板之交替積層膜之蝕刻時的第2高頻電力之有效功率為6 kW。

【0069】 第3實驗中，根據複數個第1樣本基板之單層膜之蝕刻結果，求出複數個第1樣本基板之單層膜各自之蝕刻速率。又，根據複數個第2樣本基板之積層膜之蝕刻結果，求出複數個第2樣本基板之積層膜各自之蝕刻速率。並且，求出上述複數個組合之各自情況下的氧化矽膜與氮化矽膜之交替積層膜之蝕刻速率相對於氧化矽膜(單層膜)之蝕刻速率之比。並且，求出PF₃氣體之流量之比率與蝕刻速率之比的關係。圖8之曲線圖中示出了第3實驗中求出的PF₃氣體之流量比率與蝕刻速率之比。如圖8所示，根據第3實驗之結果可確認，藉由調整PF₃氣體之流量比率，能夠調整蝕刻速率之比。又，可確認出，藉由將PF₃氣體之流量比率設為10%以上50%以下，能夠在不依賴於蝕刻開始時之樣本基板溫度的情況下將蝕刻速率之比設定為0.8以上1.2以下。

【0070】 以上，對各種例示性實施方式進行了說明，但並不限定於上述所例示之實施方式，亦可進行多種追加、省略、替換及變更。又，能夠將不同實施方式中之要素組合而形成其他實施方式。

【0071】 例如，方法MT中使用之電漿處理裝置亦可為電漿處理裝置1以外之電容耦合型電漿處理裝置。或者，方法MT中使用之電漿處理裝置亦可為感應耦合型電漿處理裝置、電子回旋共振(ECR)電漿處理裝置、或使用微波等表面波生成電漿之電漿處理裝置等。

【0072】 又，電漿處理裝置亦可代替第2高頻電源64或者除第2高頻電源64以外，還具備直流電源，該直流電源構成將負極性直流電壓之脈衝斷續或週期性地施加至下部電極18。

【0073】 根據以上說明，應當理解的是，本發明之各種實施方式係以說明為目的於本說明書中進行說明，可在不脫離本發明之範圍及主旨之情況下進行各種變更。因此，本說明書中所揭示之各種實施方式並不意圖進行限定，真正之範圍及主旨由隨附之申請專利範圍表示。

【符號說明】

【0074】

1:電漿處理裝置

10:腔室

10s:內部空間

12:腔室本體

12e:排氣口

12g:閘閥

12p:通路

13:支持部

14:基板支持器

16:電極板

- 18:下部電極
- 18f:流路
- 20:靜電吸盤
- 20p:直流電源
- 20s:開關
- 22a:配管
- 22b:配管
- 24:氣體供給管線
- 25:邊緣環
- 30:上部電極
- 32:構件
- 34:頂板
- 34a:複數個氣體噴出孔
- 36:支持體
- 36a:氣體擴散室
- 36b:複數個氣體孔
- 36c:氣體導入口
- 38:氣體供給管
- 40:氣體源群
- 41:流量控制器群
- 42:閥群
- 46:防護罩
- 48:隔板

50:排氣裝置

52:排氣管

62:第1高頻電源

64:第2高頻電源

66:匹配器

68:匹配器

80:控制部

MK:遮罩

ML:多層膜

PF:保護膜

SF:含矽膜

SL:單層膜

UR:基底區域

W:基板

【發明申請專利範圍】

【請求項1】

一種蝕刻方法，其包括如下步驟：

於電漿處理裝置之腔室內準備基板，該基板包含含矽膜；及

藉由源自在上述腔室內由處理氣體所形成之電漿之化學物種，對上述含矽膜進行蝕刻，上述處理氣體含有鹵素元素及磷。

【請求項2】

如請求項1之蝕刻方法，其進而包括如下步驟，即，於劃分形成由上述蝕刻形成之開口之側壁面上形成保護膜，

上述保護膜含有上述處理氣體中所含之磷。

【請求項3】

如請求項2之蝕刻方法，其中進行蝕刻之上述步驟與形成保護膜之上述步驟同時進行。

【請求項4】

如請求項1至3中任一項之蝕刻方法，其中上述處理氣體包含 PF_3 、 PCl_3 、 PF_5 、 PCl_5 、 POCl_3 、 PH_3 、 PBr_3 或 PBr_5 中之至少一者作為含有上述磷之分子。

【請求項5】

如請求項1至3中任一項之蝕刻方法，其中上述處理氣體進而含有碳及氫。

【請求項6】

如請求項5之蝕刻方法，其中上述處理氣體包含 H_2 、 HF 、 C_xH_y 、 CH_xF_y 或 NH_3 中之至少一者作為含有上述氫之分子，此處， x 及 y 分別為自

然數。

【請求項7】

如請求項1至3中任一項之蝕刻方法，其中上述鹵素元素為氟。

【請求項8】

如請求項1至3中任一項之蝕刻方法，其中上述處理氣體進而含有氧。

【請求項9】

如請求項1至3中任一項之蝕刻方法，其中上述含矽膜係含矽之介電膜。

【請求項10】

如請求項1至3中任一項之蝕刻方法，其中上述含矽膜包含氧化矽膜、氮化矽膜或矽膜中之至少一種膜。

【請求項11】

如請求項1至3中任一項之蝕刻方法，其中上述含矽膜包含兩個以上之具有互不相同之膜種之含矽膜。

【請求項12】

如請求項11之蝕刻方法，其中上述兩個以上之含矽膜包含氧化矽膜及氮化矽膜。

【請求項13】

如請求項12之蝕刻方法，其中上述處理氣體包含作為上述磷之供給源之含磷氣體，

於對上述含矽膜進行蝕刻之上述步驟中，藉由設定上述含磷氣體之流量相對於上述處理氣體之總流量的比率，而設定上述氧化矽膜與上述氮

化矽膜之交替積層膜之蝕刻速率相對於上述氧化矽膜之蝕刻速率的比。

【請求項14】

如請求項13之蝕刻方法，其中以上述積層膜之蝕刻速率相對於上述氧化矽膜之蝕刻速率的上述比為0.8以上1.2以下之方式，設定上述含磷氣體之流量相對於上述處理氣體之總流量的上述比率。

【請求項15】

如請求項11之蝕刻方法，其中上述兩個以上之含矽膜包含氧化矽膜及矽膜。

【請求項16】

如請求項11之蝕刻方法，其中上述兩個以上之含矽膜包含氧化矽膜、氮化矽膜及矽膜。

【請求項17】

如請求項1至3中任一項之蝕刻方法，其中上述含矽膜具有單層膜及多層膜，

於進行蝕刻之上述步驟中，同時對上述單層膜及上述多層膜進行蝕刻。

【請求項18】

如請求項17之蝕刻方法，其中上述多層膜包含所積層之一個以上之氧化矽膜及一個以上之氮化矽膜、所積層之一個以上之氧化矽膜及一個以上之多晶矽膜、或者所積層之一個以上之氧化矽膜、一個以上之多晶矽膜及一個以上之氮化矽膜。

【請求項19】

如請求項17之蝕刻方法，其中上述單層膜為氧化矽膜、氮化矽膜或

多晶矽膜。

【請求項20】

如請求項1至3中任一項之蝕刻方法，其中上述基板進而具有設置於上述含矽膜上之遮罩。

【請求項21】

如請求項1至3中任一項之蝕刻方法，其中於進行蝕刻之上述步驟開始時，上述基板之溫度設定為 0°C 以下之溫度。

【請求項22】

一種電漿處理裝置，其具備：

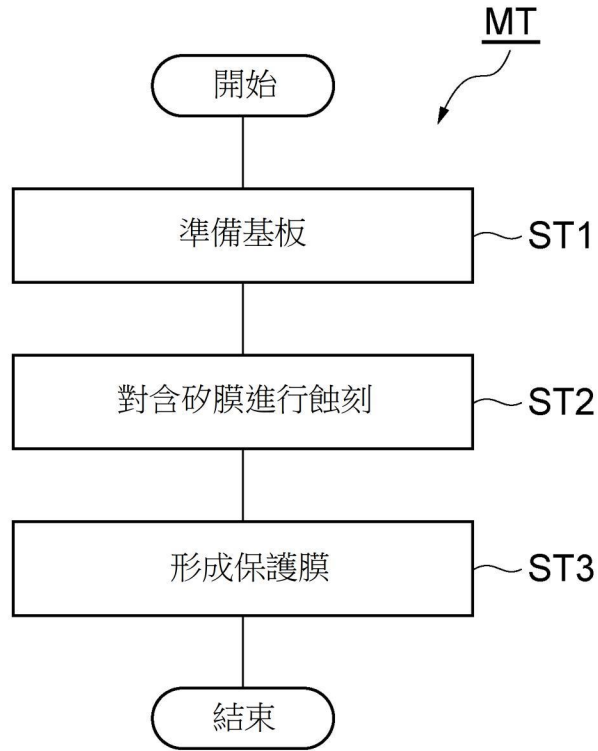
腔室；

基板支持器，其構成為於上述腔室內支持基板；

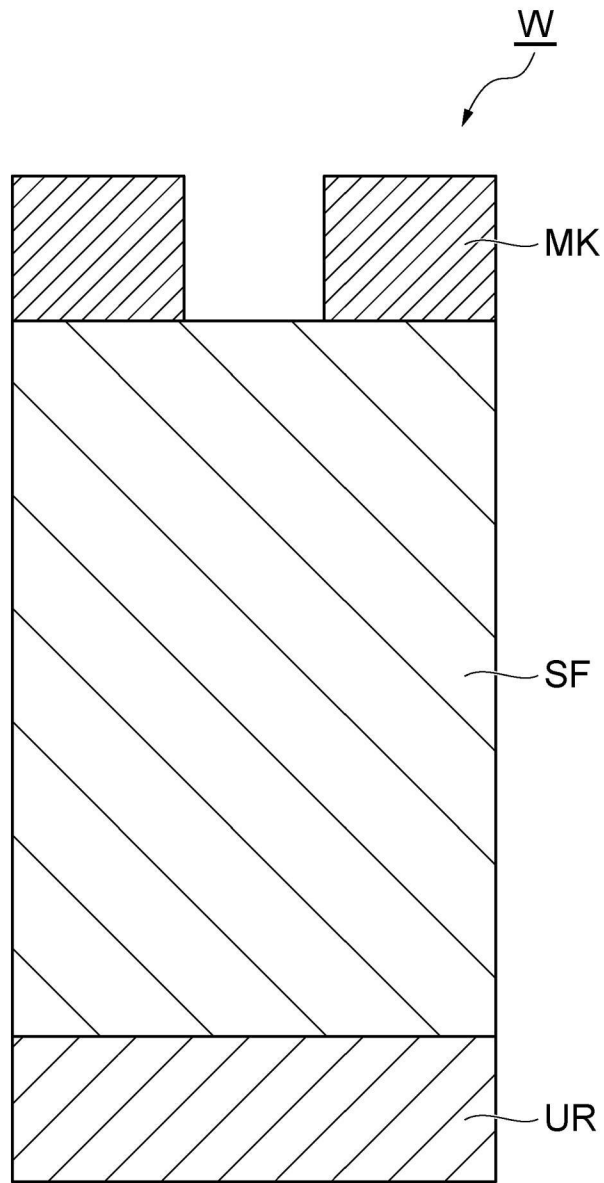
氣體供給部，其構成為將用以對含矽膜進行蝕刻之處理氣體供給至上述腔室內，該處理氣體含有鹵素元素及磷；及

高頻電源，其構成為產生高頻電力，以於上述腔室內由上述處理氣體生成電漿。

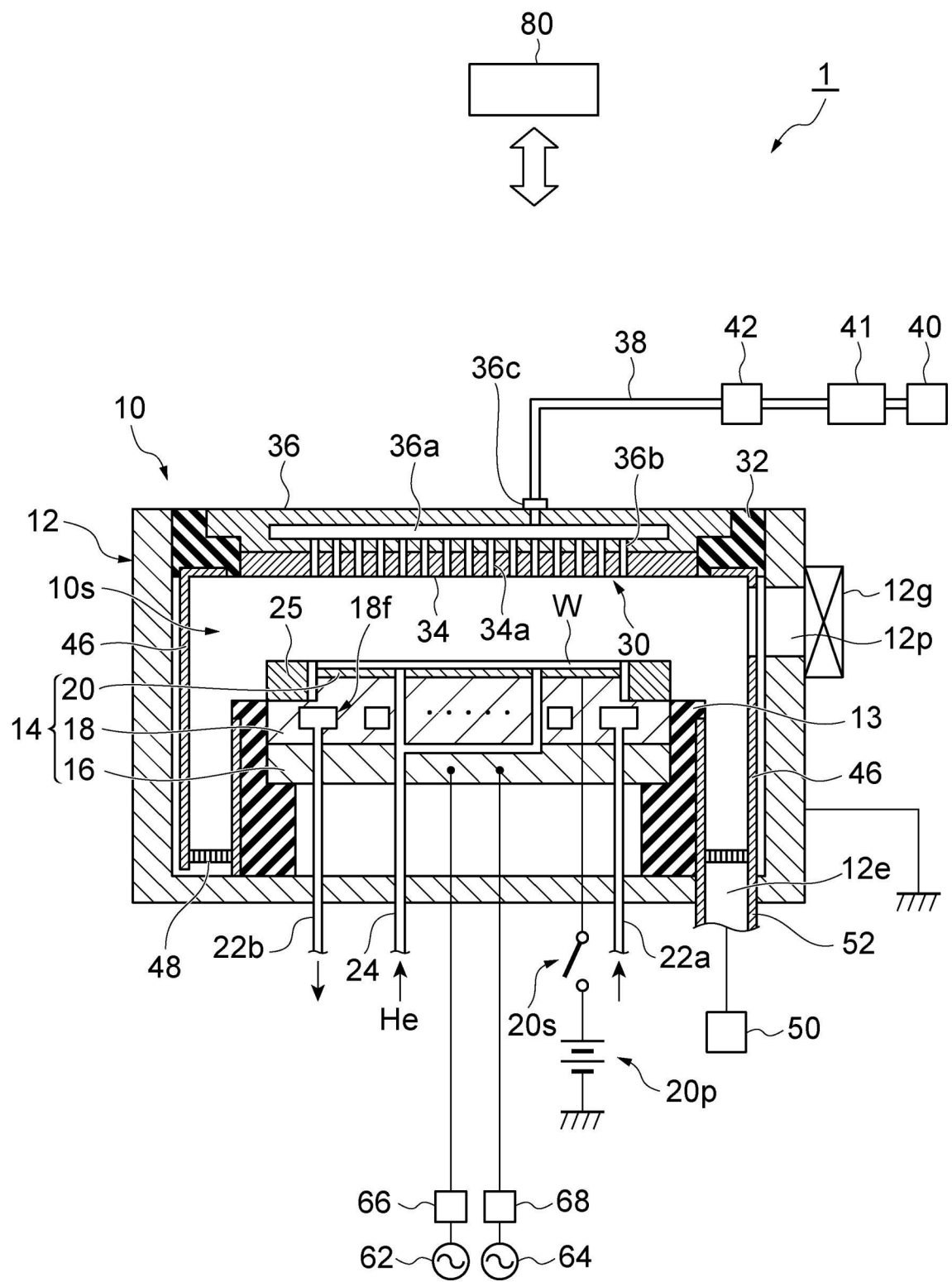
【發明圖式】



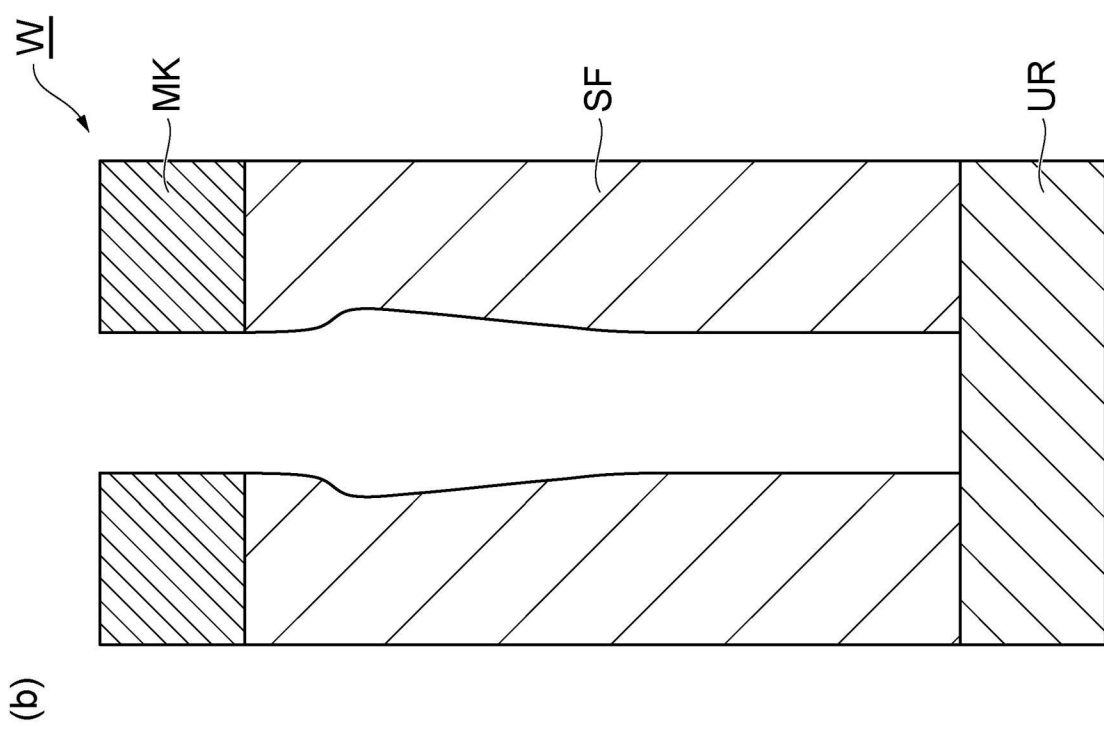
【圖1】



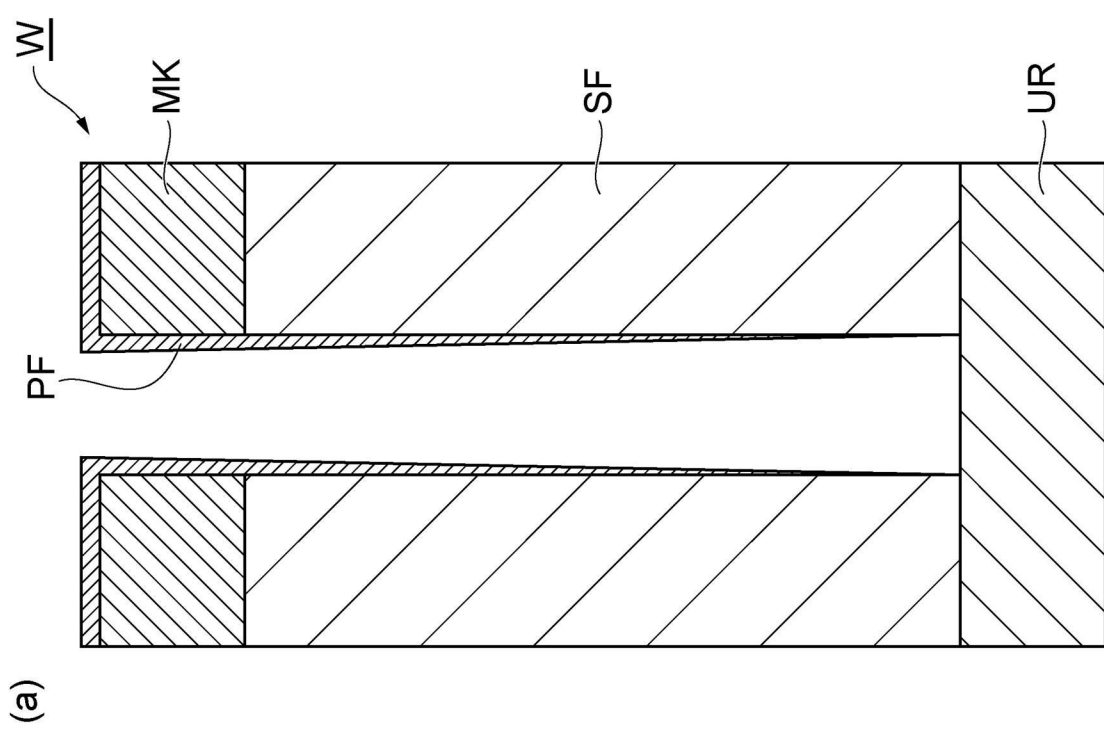
【圖2】



【圖3】

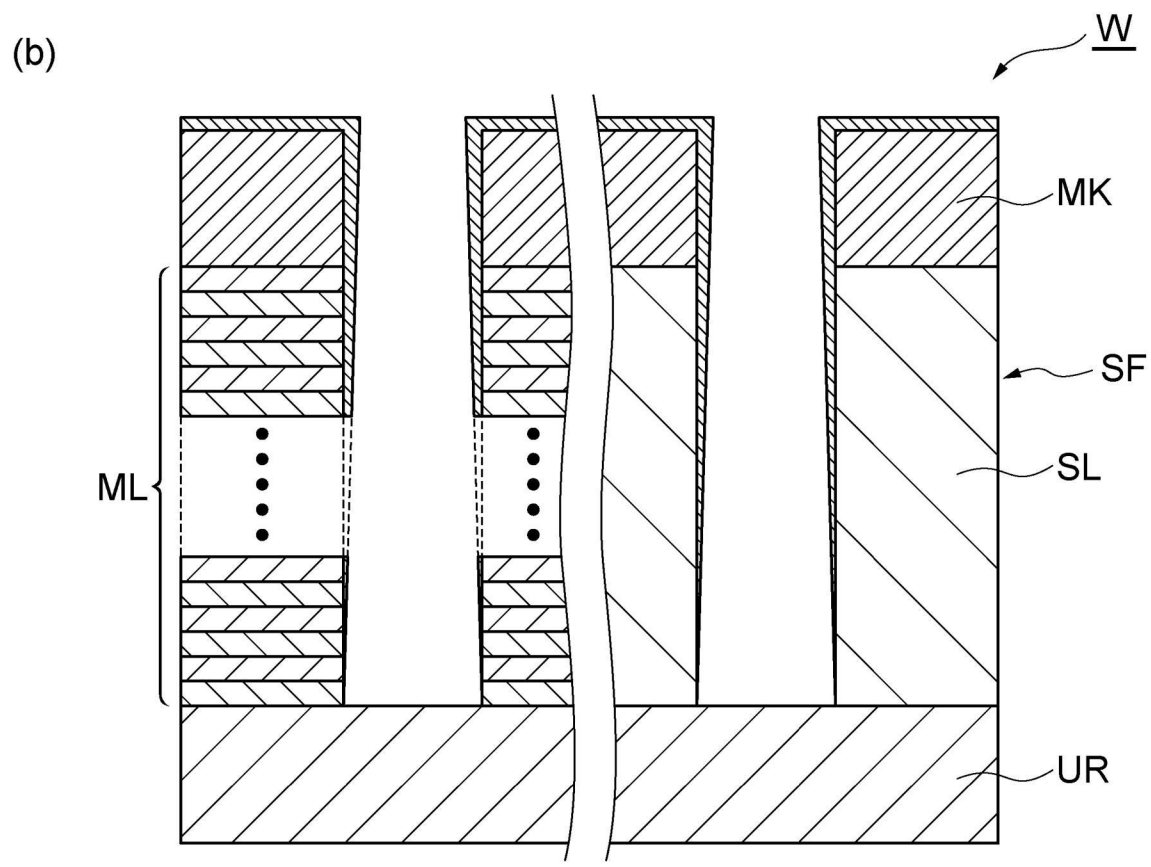
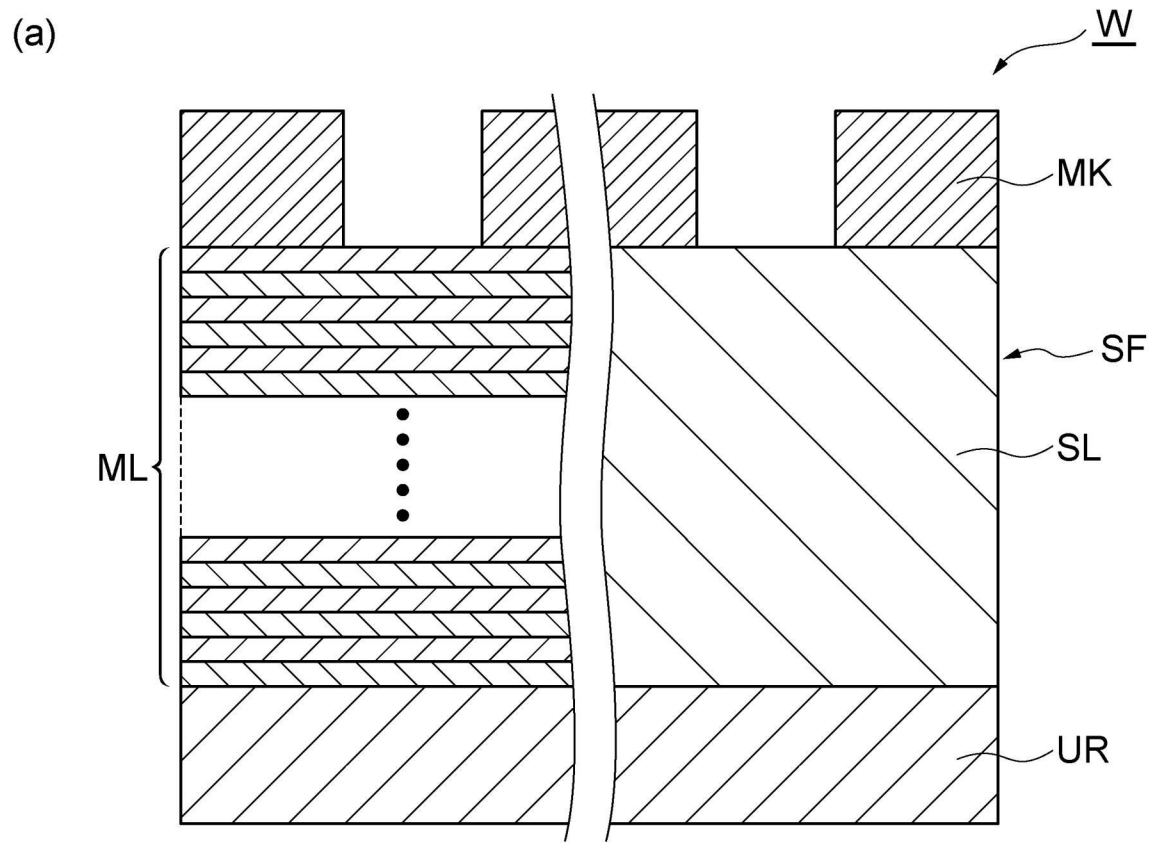


(b)

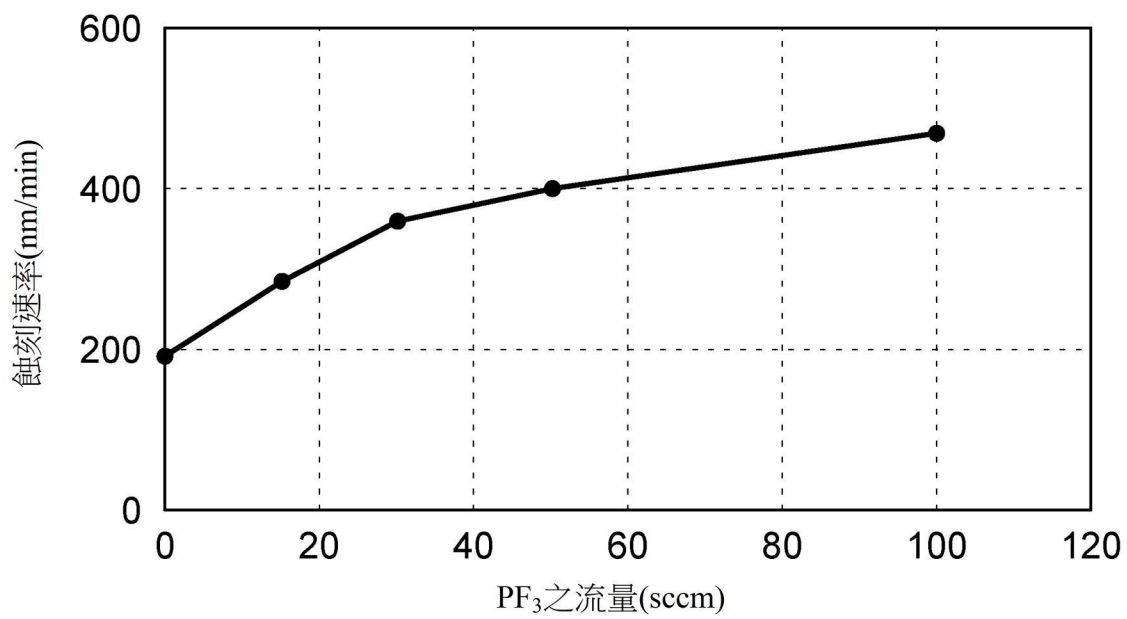


(a)

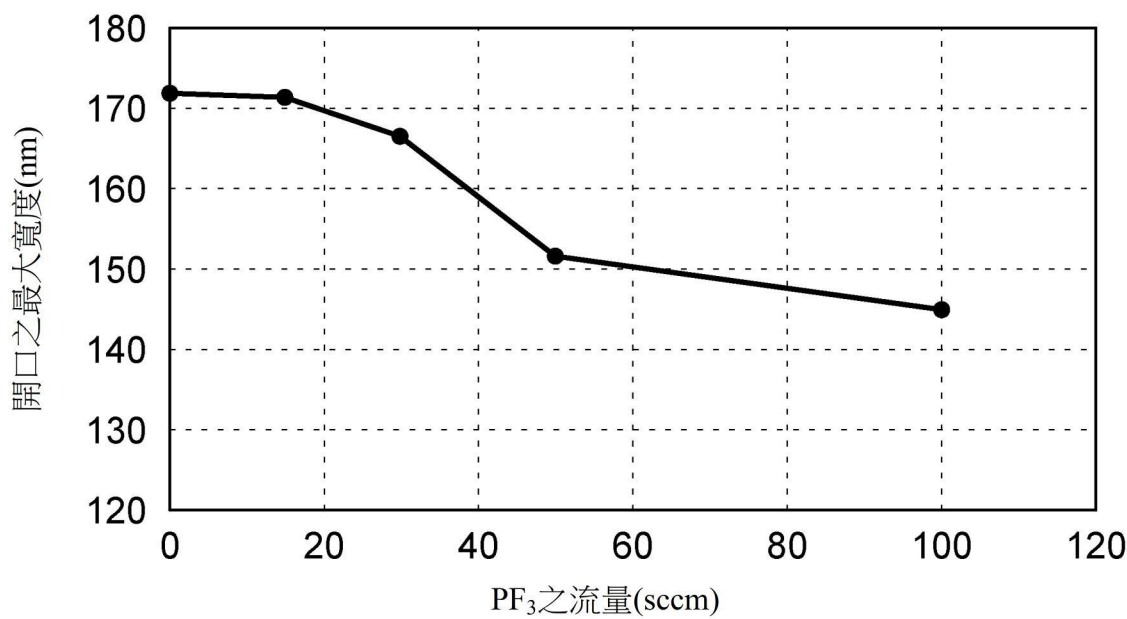
【圖4】



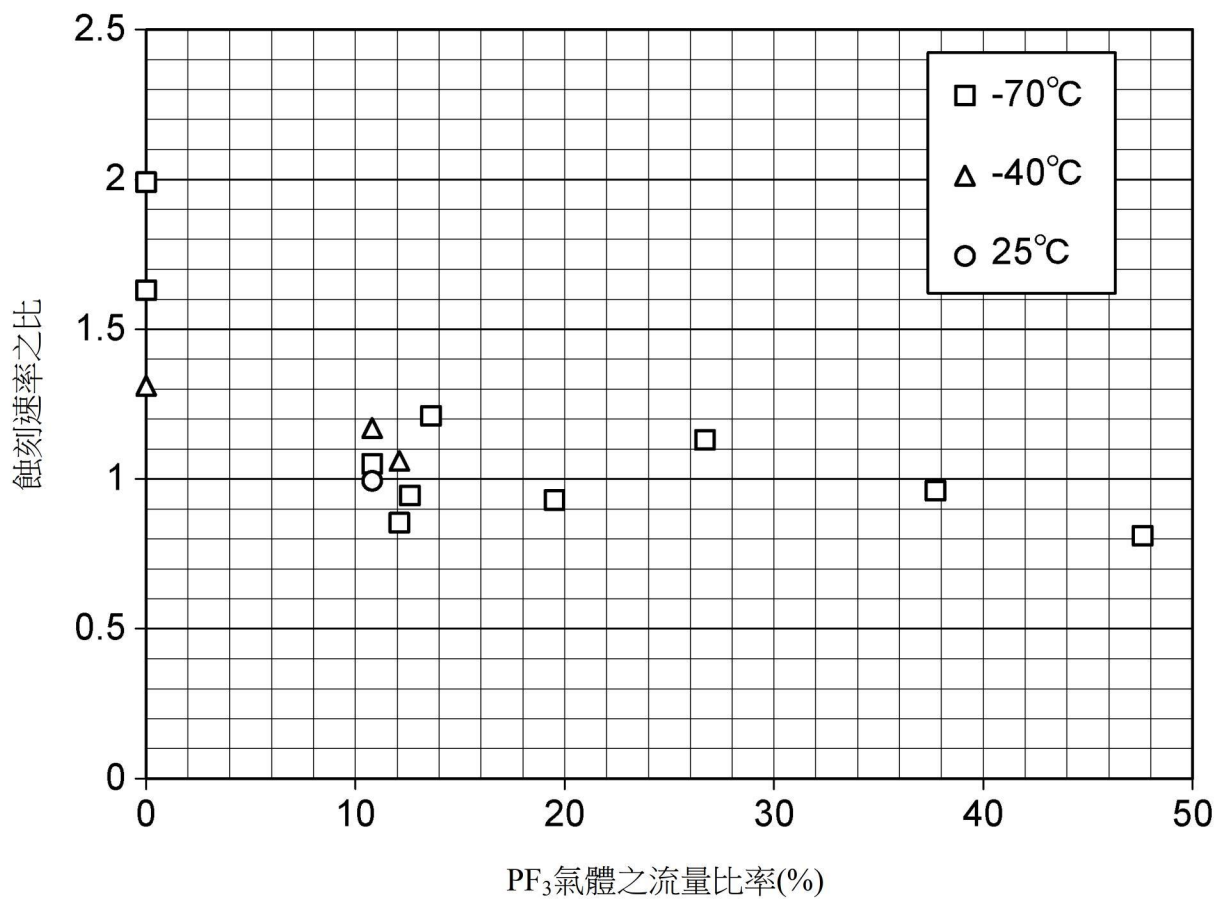
【圖5】



【圖6】



【圖7】



【圖8】