

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2012 年 1 月 19 日(19.01.2012)

PCT

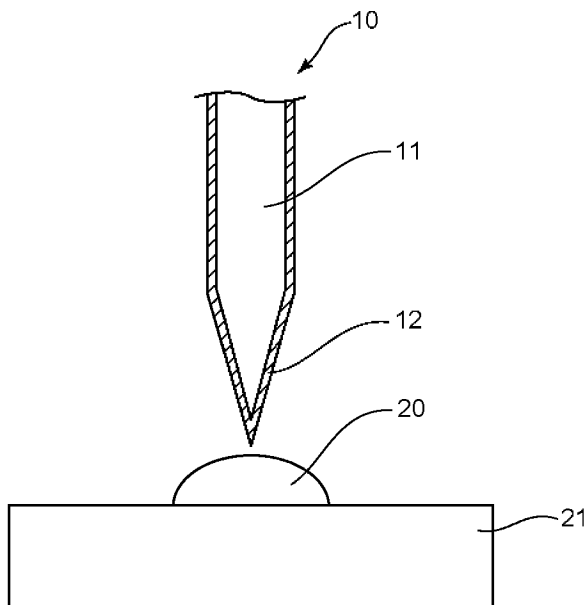
(10) 国際公開番号
WO 2012/008128 A1

- (51) 国際特許分類:
G01R 1/067 (2006.01)
- (21) 国際出願番号: PCT/JP2011/003911
- (22) 国際出願日: 2011 年 7 月 7 日(07.07.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-161086 2010 年 7 月 15 日(15.07.2010) JP
特願 2011-137406 2011 年 6 月 21 日(21.06.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社神戸製鋼所 (KABUSHIKI KAISHA KOBE SEIKO SHO) [JP/JP]; 〒6518585 兵庫県神戸市中央区脇浜町 2 丁目 1 〇 番 2 6 号 Hyogo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 伊藤 弘高 (ITO, Hirotaka). 山本 兼司 (YAMAMOTO, Kenji).
- (74) 代理人: 小谷 悦司, 外 (KOTANI, Etsuji et al.); 〒5300005 大阪府大阪市北区中之島 2 丁目 2 番 2 号大阪中之島ビル 2 階 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: PROBE PIN FOR SEMICONDUCTOR INSPECTION DEVICES, METHOD FOR PRODUCING SAME, AND SEMICONDUCTOR INSPECTION METHOD

(54) 発明の名称: 半導体検査装置用プローブピン、その製造方法及び半導体検査方法

[図1]



(57) Abstract: Provided is a probe pin for semiconductor inspection devices, wherein tin, which is the main component of a solder, is prevented from adhering to the contact section of the probe pin when the probe pin comes into contact with the solder, and a conductive film exhibiting excellent resistance to tin adhesion is formed on the surface of a base material. Specifically provided is a probe pin for semiconductor inspection devices which comprises a conductive base material and a copper-zirconium film containing copper and zirconium, wherein the proportion of the number of zirconium atoms relative to the total number of zirconium and copper atoms is 15 to 85 atom% in the copper-zirconium film, and the thickness of the film is 0.05 to 3 μm . Moreover, the copper-zirconium film also contains carbon atoms and, preferably, the proportion of the number of carbon atoms relative to the total number of atoms in the copper-zirconium film is 40 atom% or less.

(57) 要約: 【課題】プローブピンがはんだと接触した際に、はんだの主成分であるスズがプローブピンの接触部に凝着することを防ぎ、耐スズ凝着性に優れた導電性皮膜を基材表面に形成して成る半導体検査装置用プローブピンを提供することを目的とする。【解決手段】導電性基材と、銅およびジルコニウムを含む銅-ジルコニウム皮膜とを含む半導体検査装置用プローブピンであって、前記銅-ジルコニウム皮膜において、ジルコニウムと銅の総原子数に

対するジルコニウム原子数の割合が、15～85原子%であり、前記皮膜の膜厚が、0.05～3 μm であることを特徴とする半導体検査装置用プローブピン。前記銅-ジルコニウム皮膜はさらに炭素原子を含み、前記銅-ジルコニウム皮膜の総原子数に対する炭素原子数の割合が、40原子%以下であることが好適である。

明 細 書

発明の名称：

半導体検査装置用プローブピン、その製造方法及び半導体検査方法

技術分野

[0001] 本発明は、導電性基材と、銅ージルコニウム皮膜とを含む半導体検査装置用プローブピン、その製造方法及び半導体検査方法に関する。

背景技術

[0002] 半導体検査装置用プローブピンは、半導体検査において、プローブピンの相手側材料であるはんだと繰り返し接触する。その際、はんだの主成分であるスズがプローブピンの接触部に凝着する場合がある。この凝着したスズが酸化されると、抵抗の増大が発生し、検査の際に不具合を引き起こすこととなる。このため、スズの凝着は、プローブピンとしての寿命を短くする原因となっているだけでなく、半導体の生産性を低下させる原因ともなっている。

[0003] プローブピンの先端側の接触部に着目した先行技術として、例えば、特許文献1、2では、ダイヤモンドライクカーボン中に金属元素を添加した皮膜をプローブの接触端子表面に被覆する技術が提案されている。上記技術において、プローブ端子部の接触抵抗を低くするとともに、接触端子の摩耗を低減させることができるとされている。しかし、炭素皮膜自体の表面性状がスズ凝着性に与える影響については検討されていない。

先行技術文献

特許文献

[0004] 特許文献1：特開2002-318247号公報

特許文献2：特開2001-289874号公報

発明の概要

[0005] 半導体検査装置用プローブピンを高寿命化する観点から、はんだの主成分であるスズがプローブピンの接触部に凝着することを防止する必要がある。

しかしながら、これまでなされてきた提案では、満足のいくものは得られていない。

[0006] 本発明は、このような課題に鑑みてなされたものであり、導電性基材表面に導電性皮膜を形成して成る半導体検査装置用プローブピンであって、プローブピンがはんだと接触した際に、はんだの主成分であるスズがプローブピンの接触部に凝着することを防ぎ、耐スズ凝着性に優れた導電性皮膜を基材表面に形成して成る半導体検査装置用プローブピンを提供することを目的とする。

[0007] 本発明者等は、半導体検査装置用プローブピン表面に形成した皮膜の表面性状と耐スズ凝着性との関係について検討する過程において、皮膜の性質が耐スズ凝着性に与える影響に着目し、該皮膜に使用する金属に特定の金属を選択し、かつその原子数を特定の割合にすることにより耐スズ凝着性が著しく改善されることを見出し、本発明に到達した。

[0008] すなわち、本発明の第一の主題は、導電性基材と、銅およびジルコニウムを含有する銅-ジルコニウム皮膜とを含む半導体検査装置用プローブピンであって、前記銅-ジルコニウム皮膜において、ジルコニウムと銅の総原子数に対するジルコニウム原子数の割合が15～85原子%であり、前記皮膜の膜厚が、0.05～3 μm であることを特徴とする半導体検査装置用プローブピンである。

[0009] また、本発明の第二の主題は、導電性基材を含む半導体検査装置用プローブピンを製造する方法であって、ターゲットを用いてスパッタリングを行うことにより、前記導電性基材上に、銅およびジルコニウムを含有する銅-ジルコニウム皮膜を形成し、前記銅-ジルコニウム皮膜において、ジルコニウムと銅の総原子数に対するジルコニウム原子数の割合が15～85原子%であり、膜厚が0.05～3 μm であることを特徴とする半導体検査装置用プローブピンの製造方法である。

[0010] また、本発明の第三の主題は、前記半導体検査装置用プローブピンの先端を、半導体素子の通電部に存在するはんだに接触させ、前記半導体素子の動

作確認を行う半導体検査方法である。

[0011] 上記並びにその他の本発明の目的、特徴および利点は、以下の詳細な記載と添付図面から明らかになるであろう。

図面の簡単な説明

[0012] [図1]本実施形態にかかる半導体検査装置用プローブピンの模式図である。

[図2]本実施形態にかかる導電性皮膜を、スパッタ法により、基板表面の上に形成するためのチャンバ内の構造を示す模式図である。

発明を実施するための形態

[0013] [半導体検査装置用プローブピン]

本発明の第一の主題は、導電性基材と、銅およびジルコニウムを含有する銅-ジルコニウム皮膜とを含む半導体検査装置用プローブピンであって、前記銅-ジルコニウム皮膜において、ジルコニウムと銅の総原子数に対するジルコニウム原子数の割合が15～85原子%であり、前記皮膜の膜厚が、0.05～3 μ mであることを特徴とする半導体検査装置用プローブピンである。

[0014] 以下、本発明にかかる実施の形態を図面に基づいて説明する。

[0015] 図1は、半導体検査装置用プローブピンの模式図である。プローブピン10は、導電性基材11と銅-ジルコニウム皮膜12を含む。プローブピンの先端部は、基板21に接続させたはんだ20と接触させることによって、半導体素子の動作確認を行う。

[0016] 導電性基材11は銅-ジルコニウム皮膜12によって被覆されている。

[0017] はんだ20は、公知のはんだ材料であれば特に限定はされないが、一般にBGA（ボールグリッドアレイ）構成のはんだ材料などが使用される。

[0018] （導電性基材）

導電性基材の材質としては、特に限定はされないが、高い導電性と高い弾性率を有する金属が用いられる。一般に、該金属として、材質が硬くて弾力性のあるベリリウム銅などの銅合金、タングステン、レニウムタングステン、鋼などが使用される。また、基材の表面にはめっきが施されていてもよい。

。めっきとしては、例えば、クロム、コバルト、ニッケル、ロジウム、パラジウム、金などからなる群から選択される１種の純金属または２種以上の合金を含むものを使用することができる。

[0019] なお、図１ではプローブピンの先端部を単純なポイント型としているが、先端の形状は検査対象に応じて、王冠型、三角錐型、円錐型などへ任意に適用することができ、特に制限されるものではない。

[0020] (銅－ジルコニウム皮膜)

銅－ジルコニウム皮膜におけるジルコニウム原子数の割合は、ジルコニウムと銅の総原子数に対して１５～８５原子％であり、３０～７０原子％であることが好ましい。ジルコニウム原子数が１５原子％未満の場合、銅の割合が多くなることで表面粗さが大きくなり、スズの付着量が多くなる。一方、ジルコニウム原子数が８５原子％より多い場合、アモルファス構造が得られにくくなることで表面粗さが大きくなるために、スズの付着量が多くなる。

[0021] また、前記の銅－ジルコニウム皮膜は、さらに炭素原子を含むことが好ましく、前記銅－ジルコニウム皮膜の総原子数に対する炭素原子数の割合が４０原子％以下であることが好ましい。該炭素原子数の割合が４０原子％を超えると、銅及びジルコニウムの炭化物が生成し、結晶成長が起こるためにスズの凝着が生じてしまう。

[0022] 本発明にかかる半導体検査装置用プローブピンにおいて、被覆する銅－ジルコニウム皮膜の膜厚は、プローブピンの形状、導電性基材の種類等によっても異なるが、０．０５～３μmであり、０．１～１．０μmであることが好ましい。前記膜厚が３μmより大きい場合には、プローブピンの表面の粗さが増加したり、膜厚の均一性に劣ることがある。また、０．０５μmより小さい場合には、皮膜が薄いために耐久性が低下することがある。

[0023] 半導体検査装置用プローブピンは、半導体検査の際に、半導体素子に接続されたはんだと繰り返し接触する。従来の半導体検査装置用プローブピンにおいては、前記はんだとの接触において主成分であるスズがプローブピンの先端部に付着していた。このことにより、付着したスズが酸化することで抵

抗の増大が発生し、半導体検査の際に不具合となることが問題となっていた。

[0024] 従来の半導体検査用プローブピンにおいては、プローブピンの先端部の表面粗さを小さくすることでスズの付着を低減できることが知られている。そこで、ダイヤモンドライクカーボンのようなアモルファス炭素に導電性を付与したタングステン添加ダイヤモンドライクカーボン皮膜をプローブピンに皮膜することでスズ付着の低減を実現していた。

[0025] 前記タングステン添加ダイヤモンドライクカーボン皮膜は、タングステンの原子数の割合を多くしなければ電気抵抗を低減できない。しかし、タングステンの原子数の割合を多くしすぎると表面粗さが粗くなりスズの付着が多くなる傾向にあった。

[0026] これらの問題に鑑み、本発明者らは、プローブピンの導電性の観点から金属系皮膜について、表面性の観点から検討を行った。その結果、銅－ジルコニウム皮膜が、アモルファス構造を得られ、これにより従来技術に比べてスズの付着を低減できることを見出した。

[0027] ジルコニウム原子数の割合が15～85原子%である銅－ジルコニウム皮膜をプローブピンの導電性基材表面に被覆した場合、その他の2元皮膜（例えば、ニッケル－ジルコニウム皮膜や金属添加のアモルファス炭素（例えば、タングステン添加ダイヤモンドライクカーボン））に比べて、よりスズ付着量の少ないプローブピンが得られる。この理由について、本発明者等は次のように考えている。

[0028] 特定原子数の割合における銅－ジルコニウム皮膜を用いた成膜では、アモルファス構造が得られやすいために、平滑な表面が形成されやすい。これに対して、ニッケル－ジルコニウム皮膜を被覆した場合には、アモルファス構造が得られにくく、結晶成分が残るために表面粗さが大きくなり、スズの凝着が発生しやすくなる。一方で、タングステン添加ダイヤモンドライクカーボン皮膜では、皮膜形成の際に添加された金属を中心として、クラスター状の構造が形成されやすくなる。このクラスターに起因した微細な凹凸が皮膜

表面に形成されやすい。結果として、これら特定の銅ージルコニウム皮膜以外の皮膜や、金属を添加したアモルファス炭素で被覆した場合の皮膜表面の粗さは、銅ージルコニウム皮膜で被覆した場合のそれに比べて増大するものと考えられる。

[0029] 銅ージルコニウム皮膜は、非平衡プロセスによりアモルファス状態が得られやすいため、気相成膜方法を用いることが好ましい。また、気相成膜方法は、真空蒸着法、アーキイオンプレーティング法、スパッタ法などの方法が挙げられる。これらの方法によって作製された銅ージルコニウム系皮膜は、幅広い原子数の割合域で表面平滑なアモルファス構造の皮膜を得ることができる。

[0030] 本発明にかかる導電性皮膜は、基材や基材上にコートされた皮膜との間の密着性を強化するために各種金属薄膜（銅、ジルコニウム、クロム、タングステン、チタン、アルミニウム、タンタル、金、白金、銀、ロジウム等）を下地層として成膜しても良い。下地層薄膜に用いられる金属としては、0.05～0.5 μm が好ましい。

[0031] [製造方法]

本発明の第二の主題は、半導体検査装置用プローブピンの基材上に銅ージルコニウム皮膜を製造する方法であって、前記銅ージルコニウム皮膜は、ターゲットを用いてスパッタリングを行うことにより導電性基材上に形成されることを特徴とする半導体検査装置用プローブピンの製造方法である。

[0032] 前記スパッタリングは、例えば、図2に示すようなスパッタ装置30で行うことができる。具体的には、まず基材36を各ターゲットからそれぞれ45度の角度をなす基材ホルダー35に並べて配置する。次に、真空チャンバ31内を排気した後、不活性ガスを含むプロセスガスを導入し、基材36表面に対し、所定の割合に調整した銅ターゲット32とジルコニウムターゲット33を用いて銅ージルコニウム皮膜を成膜する。かかる装置によって、銅ージルコニウム皮膜の被覆作業を行うことで、本発明のプローブピンを製造することができる。これらの手法の場合には、基材設定位置により原子数の

割合を変化させることができる。

[0033] なお、前記銅ターゲット 3 2 又はジルコニウムターゲット 3 3 は、銅ージルコニウム複合ターゲットに置き換えても良い。すなわち、ジルコニウムに銅を埋め込んだ複合金属の複合ターゲット、あるいは銅にジルコニウムを埋め込んだ複合金属の複合ターゲットを用いて、基材 3 6 に対して銅ージルコニウム皮膜の被覆作業を行うことができる。複合ターゲットを用いた場合には、基板 3 4 を回転させて成膜させても良い。複合ターゲットにおいては、ジルコニウムへ埋め込む銅の個数、もしくは銅へ埋め込むジルコニウムの個数を変化させることで銅ージルコニウム皮膜の原子数の割合を変化させることができる。

[0034] 膜厚については、いずれの手法においても成膜時間やターゲットへの印加電力を制御することによって、任意の膜厚の銅ージルコニウム皮膜を形成できる。

[0035] また、銅ージルコニウムー炭素皮膜を製造する場合においては、前述の銅ージルコニウム成膜と同様の方法を用いることができる。ただし、プロセスガスとして炭化水素などの炭素を含む反応性ガスを追加し、ガス全量に対する炭化水素の比率を調整することで、含有する炭素原子数の割合の制御を行うことができる。

[0036] (ターゲット)

本発明にかかるスパッタリング法に用いるターゲットは、銅ターゲット又はジルコニウムターゲットである。すなわち、両ターゲットを用いてスパッタリングを行うことにより、導電性基材に対して銅ージルコニウム皮膜を形成する。

[0037] なお、ターゲットは前述のように、銅ージルコニウム複合ターゲットに置き換えて用いることができる。すなわち、ターゲットに、ジルコニウムに銅を埋め込んだ複合金属を調整し、導電性基材に銅ージルコニウム皮膜を形成することもできる。

[0038] (プロセスガス)

本発明にかかるスパッタリング法においては、プロセスガスとして、アルゴンガスなどの不活性ガスを用いる。すなわち、アルゴンガスを真空チャンバ内に導入して、所定の条件でスパッタリングを行うことにより、銅ージルコニウム皮膜を形成する。なお、銅ージルコニウムー炭素皮膜を形成する場合は、プロセスガスとして、アルゴンなどの不活性ガスと炭化水素などの炭素を含むガスとの混合ガスを用いる。

[0039] (スパッタリング)

本発明において、銅ージルコニウム皮膜は、銅ターゲット及びジルコニウムターゲット、又は銅ージルコニウム複合ターゲットを用いて、アルゴンガス中でスパッタリングを行うことにより、コンタクトプローブピンの基材上に形成される。

[0040] スパッタリングとしては、銅ージルコニウム皮膜の表面性状を平滑にする観点からは、マグネトロンスパッタリングが好ましく、アンバランスマグネトロンスパッタリングがより好ましい。この方法によれば、プラズマ空間を基板付近まで広げることができるため、基材へ $A r$ イオンを照射することが可能となる。 $A r$ イオンの照射によって $A r$ イオンの運動エネルギーは、基板へ到達したスパッタ粒子の熱エネルギー向上へ寄与する。スパッタ粒子の熱エネルギーが向上することで、基板上での粒子の移動が容易になり、膜が緻密化し平滑な膜が得られる。これらの効果をさらに増大させるために、基板へバイアスを印加することで $A r$ イオンのエネルギーを制御でき、表面平滑性をさらに高めることができる。

[0041] (銅ージルコニウム皮膜の形成)

本発明の製造方法を用いると、コンタクトプローブピンの基材上に被覆される銅ージルコニウム皮膜に、表面性状上の平滑さを付与させることができる。その結果、プローブピンの接触部に凝着するはんだ中のスズの量を低減させることができる。

[0042] 本発明の製造方法によって得られた銅ージルコニウム皮膜としては、その外表面の表面粗さ ($R a$) が、原子間力顕微鏡 ($A F M$) で $4 \mu m^2$ の走査範

囲において0.2 nm以下である表面性状を有する銅ージルコニウム皮膜が形成されることが好ましい。表面粗さ(Ra)が前記範囲であれば、はんだ中のスズがプローブピンの接触部に凝着することをより効果的に防ぐことができる。

[0043] なお、上記の表面粗さ(Ra)は、JIS B0601で定義される算術平均粗さを3次元で求めたものであり、例えば、次のようにして算出することができる。すなわち、画像データとしては、AFM装置(SII社製SPI4000)を用いて2 μm×2 μmの走査範囲における画像を、この装置に付属の表面処理ソフトで、平均傾き補正をX方向、Y方向の両方向で施した画像データを用い、表面処理ソフト(ProAna3D)にて処理を行って、算出することができる。

[0044] [検査方法]

本発明の第三の主題は、前記半導体検査装置用プローブピンの先端を、半導体素子の通電部に存在するはんだに接触させ、前記半導体素子の動作確認を行うことを特徴とする半導体検査方法である。

[0045] 具体的には、プリント基板を設けた検査パッドに、銅ージルコニウム皮膜12を被覆したプローブピン10を当てて交流信号源より交流信号を印加する。そして、配置したプローブ10で、当該パッドに誘起される電界を検出することにより、断線及び動作不良の検出を行う。

[0046] 以上、本発明の実施の形態が詳細に説明されたが、上記の説明は全ての局面において例示であって、本発明はそれらに限定されるものではない。例示されていない無数の変形例が、本発明の範囲から外れることなく想定され得るものと解される。

実施例

[0047] 以下に、実施例を挙げて本発明をさらに詳しく説明する。本発明はこれらの実施例に限定されるものではない。

[0048] [実施例1]

(導電性皮膜の形成)

神戸製鋼所社製アンバランストマグネトロンスパッタ装置（UBM202）を用いて成膜を行った。図2に、導電性皮膜を基材の上に形成した真空チャンバ1の内部の構造を示した。基材を装置内に導入後、 1×10^{-3} Pa以下に排気した後に、成膜を実施した。

[0049] 本実験では純銅皮膜、純ジルコニウム皮膜、銅-ジルコニウム皮膜、銅-ジルコニウム-炭素皮膜をそれぞれ作製した。純銅皮膜、及び純ジルコニウム皮膜の作製には、各ターゲットの前面にガラス基板を該ターゲットに対して平行に配置して成膜を行った。

[0050] また、銅-ジルコニウム皮膜、及び銅-ジルコニウム-炭素皮膜の作製には、ターゲットとして銅ターゲット32とジルコニウムターゲット33を用いて成膜を行った。

[0051] 銅-ジルコニウム皮膜の成膜においては、基材36はガラス基板を用いて各ターゲットからそれぞれ45度の角度をなす位置に並べて設置し、基材ステージ34を回転させずに試料を作製することで、原子数の割合を種々変化させた資料を作成した。上記成膜において、プロセスガスはArガスを用いた。さらに、銅-ジルコニウム-炭素皮膜の成膜には、前述の銅-ジルコニウム成膜と同様の方法を用いた。ただし、プロセスガスとしてアルゴンとアセチレンの混合ガスを用い、ガス（ $\text{Ar} + \text{C}_2\text{H}_2$ ）全量に対するアセチレンガスの比率を変化させることで炭素量の制御を行った。成膜時のガス圧は全て0.6 Paで一定とし、成膜時の基板印加バイアスを-100 Vで一定とした。各ターゲットへの投入電力は2.0 kWとした。

[0052] また、比較用試料として、ニッケル-ジルコニウム皮膜とタングステン含有ダイヤモンドライクカーボン（W-DLC）皮膜を作製した。これらの皮膜は、銅-ジルコニウムと同様にバルク材においてアモルファス構造が得られることが知られている。

[0053] ニッケル-ジルコニウム皮膜の作製は、前述の銅-ジルコニウム皮膜の作製と同一の方法を用い、銅ターゲットの位置にニッケルターゲットを配置して成膜した。W-DLCの成膜には銅ターゲットの位置にカーボンターゲット

トを配置し、タングステンワイヤーをカーボンターゲット上に配置した複合ターゲットを用い、ターゲットと平行の位置に配置したガラス基板上に成膜した。成膜時のガス圧、成膜時の基板印加バイアス、各ターゲットへの投入電力については、いずれも上述の銅－ジルコニウム系皮膜作製と同様の条件に統一して成膜した。

[0054] 表 1 に、銅及びジルコニウムからなる皮膜を各々異なる原子数量の割合に成膜した試料（試料番号 1 ～ 9）、銅、ジルコニウム及び炭素からなる皮膜を各々異なる原子量に成膜した試料（試料番号 10 ～ 14）について、表 2 にはニッケル及びジルコニウムからなる皮膜を成膜した試料（試料番号 15 ～ 16）、タングステン含有ダイヤモンドライクカーボン（W-DLC）皮膜を成膜した試料（試料番号 17 ～ 18）について、下記に示す各試料の皮膜構成、測定値及び評価を示した。

[0055] （皮膜構成）

皮膜の膜厚は 0.5 μm から 1.0 μm の範囲内に調整した。

[0056] 皮膜の各原子数の割合はエネルギー分散型 X 線分析装置付き走査電子顕微鏡 SEM-EDX による分析結果を示した。

[0057] （比抵抗の測定）

比抵抗の測定は、4 探針法による電気抵抗測定により行った。

[0058] なお、比抵抗の算出には、銅－ジルコニウム皮膜の膜厚が必要である。この膜厚測定は、成膜前に基板上に修正液を塗布しておき、成膜後修正液を除去することで修正液塗布部の基材を露出させ、皮膜と基材の段差を測定して求めた膜厚を用いた。

[0059] （スズ凝着性の評価）

スズ付着性の評価にはスズボールを用いた摺動試験を実施した。摺動試験は、ボールオンディスク試験装置（CSM 社製：Tribometer）により回転摺動試験を実施した。回転半径は 1.5 mm で、回転速度は 0.2 cm/s、荷重は 0.2 N とし、ボールには SUJ2（直径 9.5 mm）上に 10 μm のスズめっきしたものを使用した。摺動距離は 0.5 m 一定とし

、摺動試験後のスズ付着量によって評価を行った。スズ付着量の評価には、摺動円周上の３点を表面粗さ計で測定し、各箇所の付着断面積を求め３点の平均値を表中に示した。付着量が０のものは、スズの付着が発生していないものである。

[0060] （結果）

結果を表１、表２に示した。

[0061]

[表1]

試料番号	被膜構成			測定評価	
	膜種	ジルコニウムと銅の 総原子数に対する ジルコニウム原子数 (原子%)	全原子数に対する 炭素原子数 (原子%)	比抵抗 ($\Omega \cdot \text{cm}$)	スズ付着量 (μm^2)
1	Cu	0	0	2.3E-06	596
2	Cu-Zr	13.5	0	3.0E-05	106
3	Cu-Zr	17.3	0	5.3E-05	0
4	Cu-Zr	33.4	0	1.6E-04	0
5	Cu-Zr	56.2	0	1.7E-04	0
6	Cu-Zr	75.1	0	1.6E-04	0
7	Cu-Zr	84.2	0	1.4E-04	0
8	Cu-Zr	89.1	0	1.0E-04	5
9	Zr	100	0	8.5E-05	15
10	Cu-Zr-C	11.3	15.3	1.7E-04	98
11	Cu-Zr-C	88.3	10.2	1.8E-04	54
12	Cu-Zr-C	52.8	23.9	1.4E-04	0
13	Cu-Zr-C	31.7	36.0	6.3E-05	0
14	Cu-Zr-C	50.1	43.5	2.5E-04	287

- [0062] 表1の結果から、ジルコニウム原子量が0原子%である試料1（純銅皮膜）では、他の合金皮膜に比べ比抵抗が低いもののスズ付着量が多くなることが分かった。これは銅がスズと反応しやすいことに加え、純銅の結晶成長の結果、表面の粗さが増加したためであると考えられる。したがって、純銅にジルコニウムを加えることで、ジルコニウムの抵抗が銅に比べて高いため、抵抗が増加するもののスズ付着量は小さくなる。次に、ジルコニウムの原子数の割合が13.5原子%である試料2では、スズの付着が発生した。
- [0063] また、ジルコニウム原子数の割合17.3原子%の試料3はスズの付着は発生しなかった。これはジルコニウムの原子数の割合が13.5原子%である銅-ジルコニウム皮膜は、未だアモルファス化が進行しておらず、結晶成長が起こるために表面の粗さが増加してスズの付着が発生したと考えられるためである。これに対し、ジルコニウム原子数の割合17.3原子%の試料3は、アモルファス化が進行したために表面の粗さが平滑になり、スズの付着が抑えられたものと考えられる。
- [0064] さらに、ジルコニウム原子数の割合が33.4原子%から84.2原子%までの試料3～7は比抵抗の変化の少ない、安定した値を示し、スズの付着も全く起こらないことからアモルファス皮膜が得られているものとされる。
- [0065] 一方で、ジルコニウム原子数の割合が89.1原子%の試料8は、比抵抗がわずかに低減するものの、スズの付着が発生する。これはジルコニウムの構造に近い結晶性の構造を示すために表面の粗さが増したことが原因と考えられる。さらに、ジルコニウム原子数の割合が100原子%である試料9においても、純銅である試料1に比べればスズの付着は小さいものの、スズの付着が発生した。このことは、結晶成長による表面粗さの増加が原因と考えられる。
- [0066] さらに、試料10～14は銅とジルコニウムの成膜中にアルゴンとアセチレンの混合ガスを導入して作製したものである。試料10ではジルコニウム量が少ない、すなわち銅量が多くなることに加えて炭素が混入したことで炭化銅が生成したために結晶成長が起こり、このことに起因して表面が粗くな

り、スズの凝着が発生したものと考えられる。さらに試料 1 1 では、ジルコニウム量が多いため、ジルコニウムあるいは炭化ジルコニウムの結晶成長に起因して表面が粗くなり、スズの凝着が発生したものと考えられる。試料 1 2、1 3 では炭素が追加されてもアモルファス構造を示し、炭化物の生成も起こらないことからスズの凝着が起こらない。試料 1 4 では、炭素量が多いため銅とジルコニウムの炭化物が生成することで、結晶成長が起こり、表面が荒れることでスズ凝着が発生したものと考えられる。

[0067]

[表2]

試料番号	被膜構成			測定評価	
	膜種	ジルコニウムとニッケルの 総原子数に対する ジルコニウム原子数 (原子%)	炭素とタンゲステンの 総原子数に対する タンゲステン原子数 (原子%)	比抵抗 ($\Omega \cdot \text{cm}$)	スズ付着量 (μm^2)
15	Ni-Zr	36.7	-	2.3E-04	23
16	Ni-Zr	59.6	-	2.4E-04	45
17	W-DLC	-	18.5	7.2E-04	0
18	W-DLC	-	24.6	1.0E-04	63

[0068] また、表2には銅-ジルコニウム皮膜と同様にアモルファス構造が得られやすいニッケル-ジルコニウム皮膜の測定評価結果を、試料15, 16として比較のために示す。表2の結果から、ニッケル-ジルコニウム皮膜ではスズの付着が発生することが分かった。これはニッケル-ジルコニウム皮膜が、アモルファス構造を銅-ジルコニウム皮膜よりも得られにくいからであると考えられる。また、結晶性成分が残るために表面粗さが増し、スズの付着が発生したものと考えられる。

[0069] さらに、タングステン含有ダイヤモンドライクカーボン皮膜の測定評価結果についても、表2に試料17, 18として示す。タングステン量が18.5原子%である試料17は、スズの付着が発生しないが、比抵抗値においては上記銅-ジルコニウム合金よりも非常に高かった。一方で、比抵抗を下げるためにタングステン含有量24.6原子%に上げた試料18は、スズの付着が発生してしまった。

[0070] [実施例2]

上記実施例1と同様の方法で、ターゲットには1つの銅-ジルコニウム複合ターゲットを用いて（1つのターゲットは使用せず）銅-ジルコニウム皮膜を成膜した試料（試料番号19～24）を形成した。ターゲットにはジルコニウム内に銅を埋めこんだジルコニウム-銅の複合ターゲットを用いて、ターゲット印加電力が2.0kWで成膜を実施した。成膜時には基材ステージの回転を行い、基材内での組成ムラが無いように成膜を行った。なお、成膜ガスにはアルゴンガスを用い、炭化水素ガスを用いていないため炭素成分は含んでいない。

[0071] なお、試料19～24は、それぞれ成膜時間を制御することで膜厚を変化させた皮膜とした。また、これらの製法で成膜した皮膜は、全て銅とジルコニウムの合計に対するジルコニウム原子数の割合が47.0原子%である。

[0072] 表3には各試料の評価を示す。

[0073] （結果）

結果を表3に示した。

[0074] [表3]

試料番号	銅－ジルコニウム被膜膜厚 (μm)	スズ付着量 (μm^2)
19	0.45	0
20	1.31	0
21	2.23	0
22	2.89	0
23	3.11	2
24	5.24	26

[0075] 表3の結果から、銅－ジルコニウム皮膜の膜厚が2.89 μm 以下である試料19～22は、スズ付着は発生しなかった。しかしながら、膜厚が3.11 μm である試料23は、微量のスズ付着が発生した。さらに、膜厚が5.24 μm である試料24は、スズの付着量がさらに多くなった。これは表面が平滑な銅－ジルコニウム皮膜であっても、膜厚を厚くすることで表面の粗さが増加したためにスズの付着が発生したものと考えられる。

[0076] 本明細書は、上記のように様々な態様の技術を開示しているが、そのうち主な技術を以下に纏める。

[0077] 本発明の第一の主題は、導電性基材と、銅およびジルコニウムを含有する銅－ジルコニウム皮膜とを含む半導体検査装置用プローブピンであって、前記銅－ジルコニウム皮膜において、ジルコニウムと銅の総原子数に対するジルコニウム原子数の割合が15～85原子%であり、前記皮膜の膜厚が、0.05～3 μm であることを特徴とする半導体検査装置用プローブピンである。

[0078] このような構成によれば、導電性基材表面に形成される導電性皮膜は、前記導電性皮膜の外表面へのスズ凝着性を著しく低減させることができ、これにより、半導体検査装置用プローブピンの不具合発生を低下させて、高寿命化を図ることができる。

- [0079] 前記半導体検査装置用プローブピンにおいて、前記銅ージルコニウム皮膜がさらに炭素原子を含み、前記銅ージルコニウム皮膜の総原子数に対する炭素原子数の割合が40原子%以下であることが好ましい。
- [0080] このような構成によれば、前記導電性皮膜の外表面へのスズ凝着性をさらに低減させることができる。
- [0081] 前記半導体検査装置用プローブピンにおいて、銅ージルコニウム皮膜が、気相成膜法によって形成されることが好ましい。
- [0082] このような構成によれば、アモルファス状態の皮膜を容易に得ることができる。
- [0083] また、本発明の第二の主題は、導電性基材を含む半導体検査装置用プローブピンを製造する方法であって、ターゲットを用いてスパッタリングを行うことにより、前記導電性基材上に、銅およびジルコニウムを含有する銅ージルコニウム皮膜を形成し、前記銅ージルコニウム皮膜において、ジルコニウムと銅の総原子数に対するジルコニウム原子数の割合が15～85原子%であり、膜厚が0.05～3 μm であることを特徴とする半導体検査装置用プローブピンの製造方法である。
- [0084] このような製造方法によれば、はんだ中のスズがプローブピンの接触部に凝着するのを防ぐことができ、耐スズ凝着性に優れたアモルファス状態の銅ージルコニウム皮膜を、半導体検査装置用コンタクトプローブピンの基材上に効果的にかつ容易に形成することができる。
- [0085] 前記導電性基材を含む半導体検査装置用プローブピンを製造する方法において、ターゲットを用いて炭素を含む反応性ガス中でスパッタリングを行うことにより、前記導電性基材上に、銅、ジルコニウム、及び炭素を含有する銅ージルコニウムー炭素皮膜を形成する半導体検査装置用プローブピンの製造方法であって、前記銅ージルコニウムー炭素皮膜におけるジルコニウム原子数が、ジルコニウムと銅の総原子数に対して15～85原子%であり、前記炭素原子の数が、前記銅ージルコニウムー炭素皮膜の総原子数に対して40原子%以下であり、膜厚が0.05～3 μm であることが好ましい。

[0086] このような構成によれば、前記導電性皮膜の外表面へのスズ凝着性をさらに低減させる製造方法を提供することができる。

[0087] 前記製造方法において、前記スパッタリングが、アンバランスマグネトロンスパッタリングであることが好ましい。

[0088] このような構成によれば、銅ージルコニウム皮膜の表面性状が、平滑な銅ージルコニウム皮膜を基材上に形成することができる。

[0089] また、本発明の第三の主題は、前記半導体検査装置用プローブピンの先端を、半導体素子の通電部に存在するはんだに接触させ、前記半導体素子の動作確認を行う半導体検査方法である。

[0090] このような構成によれば、はんだ中のスズがプローブピンの接触部に凝着せずに、半導体素子の動作確認を長期間行うことができる。

産業上の利用可能性

[0091] 本発明によれば、プローブピンがはんだと接触した際に、はんだの主成分であるスズがプローブピンの接触部に凝着することを防ぎ、耐スズ凝着性に優れた導電性皮膜を基材表面に形成して成る半導体検査装置用プローブピンを提供することができる。

請求の範囲

- [請求項1] 導電性基材と、銅およびジルコニウムを含有する銅－ジルコニウム皮膜とを含む半導体検査装置用プローブピンであって、
- 前記銅－ジルコニウム皮膜において、ジルコニウムと銅の総原子数に対するジルコニウム原子数の割合が15～85原子%であり、
- 前記皮膜の膜厚が、0.05～3 μm であることを特徴とする半導体検査装置用プローブピン。
- [請求項2] 前記銅－ジルコニウム皮膜がさらに炭素原子を含み、
- 前記銅－ジルコニウム皮膜の総原子数に対する炭素原子数の割合が、40原子%以下であることを特徴とする請求項1に記載の半導体検査装置用プローブピン。
- [請求項3] 前記銅－ジルコニウム皮膜が、気相成膜法によって形成されたことを特徴とする請求項1に記載の半導体検査装置用プローブピン。
- [請求項4] 導電性基材を含む半導体検査装置用プローブピンを製造する方法であって、
- ターゲットを用いてスパッタリングを行うことにより、前記導電性基材上に、銅およびジルコニウムを含有する銅－ジルコニウム皮膜を形成し、
- 前記銅－ジルコニウム皮膜において、ジルコニウムと銅の総原子数に対するジルコニウム原子数の割合が15～85原子%であり、膜厚が0.05～3 μm であることを特徴とする半導体検査装置用プローブピンの製造方法。
- [請求項5] 導電性基材を含む半導体検査装置用プローブピンを製造する方法であって、
- ターゲットを用いて炭素を含む反応性ガス中でスパッタリングを行うことにより、前記導電性基材上に、銅、ジルコニウム、及び炭素を含有する銅－ジルコニウム－炭素皮膜を形成する半導体検査装置用プローブピンの製造方法であって、

前記銅－ジルコニウム－炭素皮膜におけるジルコニウム原子数が、
ジルコニウムと銅の総原子数に対して 15～85 原子%であり、

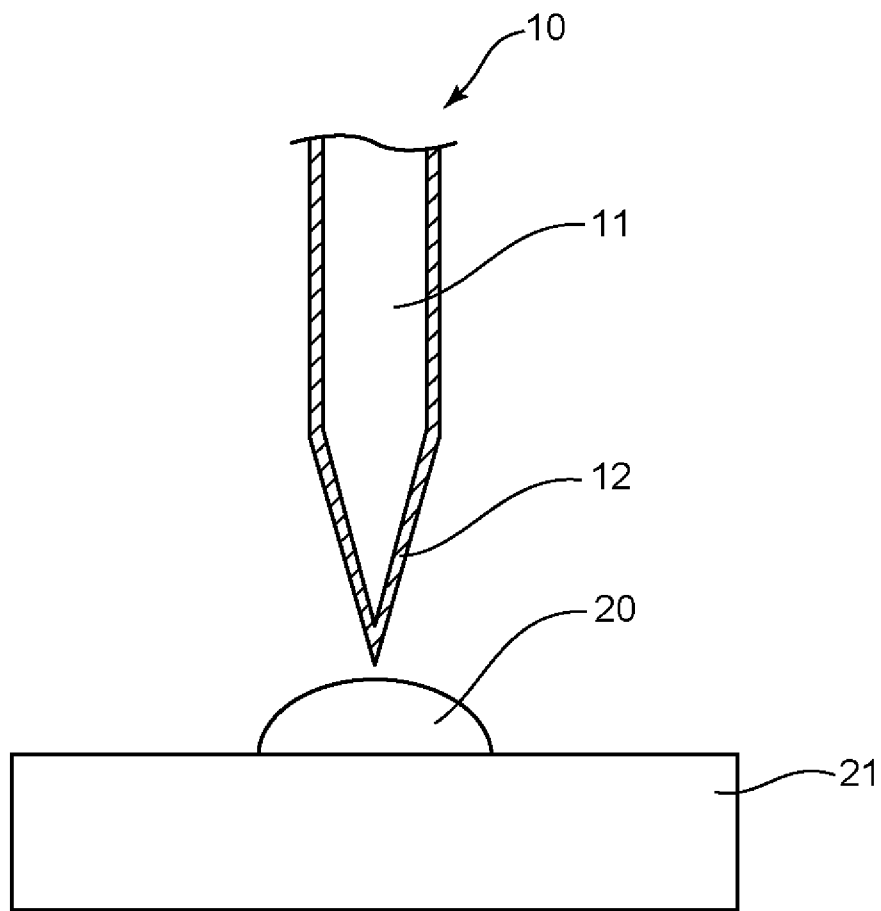
前記炭素原子の数が、前記銅－ジルコニウム－炭素皮膜の総原子数
に対して 40 原子%以下であり、

膜厚が 0.05～3 μm であることを特徴とする請求項 4 に半導体
検査装置用プローブピンの製造方法。

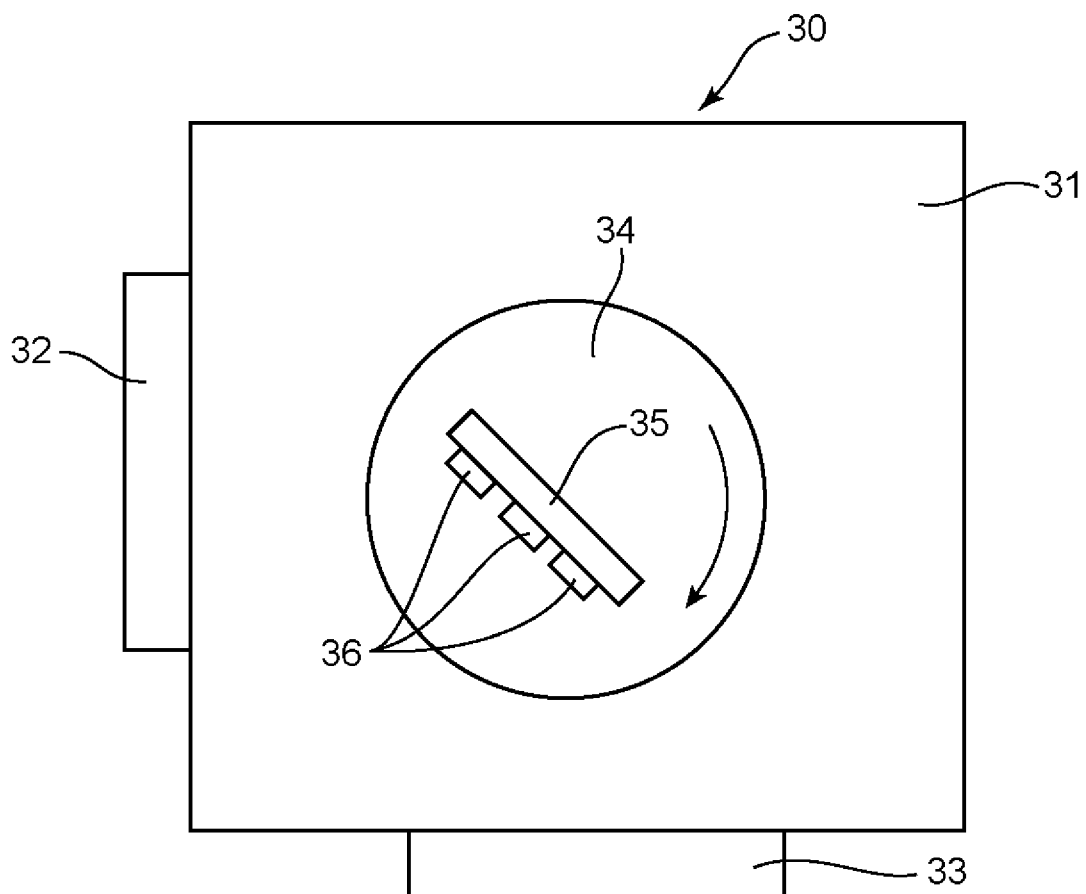
[請求項6] 前記スパッタリングが、アンバランスマグネトロンスパッタリ
ングである請求項 4 または 5 に記載の製造方法。

[請求項7] 請求項 1～3 のいずれかに記載の半導体検査装置用プローブピンの
先端を、半導体素子の通電部に存在するはんだに接触させ、前記半導
体素子の動作確認を行う半導体検査方法。

[図1]



[図2]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/003911

A. CLASSIFICATION OF SUBJECT MATTER

G01R1/067 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R1/067

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2000-317900 A (President of Tokyo Institute of Technology), 21 November 2000 (21.11.2000), paragraphs [0031] to [0038]; page 14, claim 13; fig. 4, 9, 10 & US 6759261 B2	1, 3, 4, 6, 7 2, 5
Y A	JP 2002-277485 A (Akira SHIMOKAWABE), 25 September 2002 (25.09.2002), paragraph [0014]; fig. 1 (Family: none)	1, 3, 4, 6, 7 2, 5
Y	JP 2006-082191 A (Sumitomo Electric Hardmetal Corp.), 30 March 2006 (30.03.2006), paragraph [0040] (Family: none)	6



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
09 September, 2011 (09.09.11)

Date of mailing of the international search report
20 September, 2011 (20.09.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G01R1/067 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G01R1/067

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2000-317900 A（東京工業大学長）2000. 11. 21, 段落 0031-0038, 第 14 頁請求項 13, 図 4, 9, 10 & US 6759261 B2	1, 3, 4, 6, 7 2, 5
Y A	JP 2002-277485 A（下河辺 明）2002. 09. 25, 段落 0014, 図 1（ファミリーなし）	1, 3, 4, 6, 7 2, 5
Y	JP 2006-082191 A（住友電工ハードメタル株式会社）2006. 03. 30, 段落 0040（ファミリーなし）	6

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 9 . 0 9 . 2 0 1 1

国際調査報告の発送日

2 0 . 0 9 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

荒井 誠

2 S

3 2 0 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 8