

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年8月1日(01.08.2019)



(10) 国際公開番号

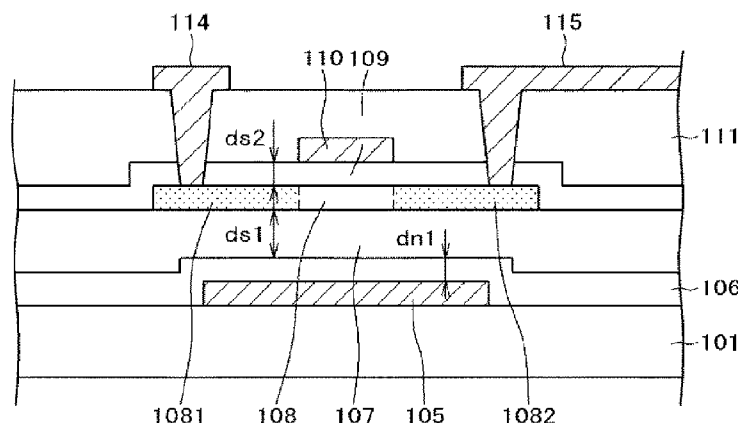
WO 2019/146264 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) *H01L 29/786* (2006.01)
G09F 9/00 (2006.01) *H01L 51/50* (2006.01)
G09F 9/30 (2006.01) *H05B 33/10* (2006.01)
H01L 27/32 (2006.01)
- (21) 国際出願番号: PCT/JP2018/044515
- (22) 国際出願日: 2018年12月4日(04.12.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2018-011464 2018年1月26日(26.01.2018) JP
- (71) 出願人:株式会社ジャパンディスプレイ(JAPAN DISPLAY INC.) [JP/JP]; 〒1050003 東京都港区西新橋三丁目7番1号 Tokyo (JP).
- (72) 発明者: 花田 明 紘 (HANADA Akihiro); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 山口 陽平(YAMAGUCHI Yohei); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 渡邊 裕一(WATANABE Hirokazu); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 鈴木 功(SUZUMURA Isao); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP).
- (74) 代理人: ポレール特許業務法人(POLAIRE I.P.C.); 〒1030025 東京都中央区日本橋茅場町二丁目13番11号 Tokyo (JP).

(54) Title: DISPLAY DEVICE AND PRODUCTION METHOD THEREFOR

(54) 発明の名称: 表示装置及びその製造方法

図4



(57) Abstract: The problem to be addressed by the present invention is to achieve a display device having a TFT that uses an oxide semiconductor which is highly reliable. In summary, the present invention is a display device containing a base board having a display region on which is formed a plurality of pixels each containing a first thin film transistor that uses an oxide semiconductor 108 and is characterized in that a first gate insulation film 107 comprising silicon oxide is formed on one of the surfaces of the oxide semiconductor 108, a second gate insulation film 109 comprising silicon oxide is formed on the other surface of the oxide semiconductor 108, the film-thickness of the first gate insulation film 107 is greater than that of the second gate insulation film 109, and the amount of oxygen released per unit surface area is greater for the first gate insulation film than for the second gate insulation film, as measured by TDS (Thermal Desorption Spectrometry) under the conditions of 100°C to 500°C for the quantification range, at M/z = 32.

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約: 本発明の課題は、信頼性の高い、酸化物半導体を用いたTFT有する表示装置を実現することである。本発明の概要は、酸化物半導体108による第1の薄膜トランジスタを含む画素が複数形成された表示領域を有する基板を含む表示装置であって、前記酸化物半導体108の一方の面には酸化シリコンによる第1のゲート絶縁膜107が形成され、前記酸化物半導体108の他方の面には酸化シリコンによる第2のゲート絶縁膜109が形成され、前記第1のゲート絶縁膜107の膜厚が前記第2のゲート絶縁膜109よりも大きく、TDS (Thermal Desorption Spectrometry) により、 $M/z=32$ において、定量範囲が100℃乃至500℃の条件で測定した場合の単位面積当たりの酸素放出量が、前記第1のゲート絶縁膜の方が、前記第2のゲート絶縁膜よりも大きいことを特徴とする表示装置である。

明 細 書

発明の名称：表示装置及びその製造方法

技術分野

[0001] 本発明は表示装置に係り、特に酸化物半導体を用いたTFTを有する表示装置に関する。

背景技術

[0002] 液晶表示装置や有機EL表示装置では各画素のスイッチング素子や駆動回路に薄膜トランジスタ（TFT：Thin Film Transistor）を用いている。TFTには、a-Si（非晶質シリコン）、LTPS（Low Temperature Poly Silicon）、あるいは酸化物半導体等が用いられている。

[0003] a-Siは移動度が小さいので、これを用いたTFTを周辺駆動回路に使用することには問題がある。LTPSは移動度が大きく、これを用いたTFTを周辺駆動回路に使用することが出来るが、画素のスイッチング素子として用いる場合は、リーク電流が大きいという問題がある。酸化物半導体は移動度がa-Siよりも大きく、また、リーク電流も小さいが、膜の格子欠陥の制御に関連する信頼性に課題がある。

[0004] 特許文献1には、ゲート電極を含み酸化物半導体で形成されたTFT全体を無機絶縁膜、例えば酸化アルミニウム膜、酸化チタン膜、または酸化インジウム膜で覆う構成が記載されている。

[0005] 特許文献2には、酸化物半導体を用いたTFTの性能を向上させるためにゲート絶縁膜を薄くする場合のトンネル効果によるゲートリークを抑える構成が記載されている。ゲート絶縁膜として、誘電率の高い酸化ハフニウム、酸化タンタル等の高誘電率材料を用いるが、これと積層して、酸化シリコン、窒化シリコン、酸化アルミニウムなどを含む膜を積層することが記載されている。

[0006] 特許文献3には、酸化物半導体を用いたTFTの特性を安定化するために

、酸化物半導体をチャネル部において、無機絶縁膜でサンドイッチする構成が記載されている。この場合の無機絶縁膜として、酸化アルミニウム、酸化チタン、酸化インジウム等が例示されている。

先行技術文献

特許文献

[0007] 特許文献1：特開2012-15436号公報

特許文献2：特開2015-92638号公報

特許文献3：WO2010/041686号公報

発明の概要

発明が解決しようとする課題

[0008] 酸化物半導体はリーク電流が小さいため、画素電極の電位変動を抑えることが出来るので、低周波駆動が可能であり、表示領域の消費電力を低減することが出来る。また、酸化物半導体はa-Siに比べてキャリアの移動度が10倍以上高い。したがって、a-Siの場合よりも高速駆動が可能である。

[0009] また、酸化物半導体はポリシリコンに比べて、低温で成膜出来る。したがって、ポリイミド等の樹脂を使用した基板の場合にも対応できるという特徴を有している。

[0010] 酸化物半導体の特性を安定化するためには、酸化物半導体が安定して酸素を保持していることが必要である。このために、酸化物半導体と直接接する酸化シリコン（以後SiOで代表させる）で形成するゲート絶縁膜から酸素を供給する必要がある。酸素を供給することが出来るSiO膜は格子欠陥が多い。このようなゲート絶縁膜に対し、ゲート電極から繰り返し、ゲート電圧がON/OFFされると、ゲート絶縁膜の膜質が変化し、TFTの特性が変動する。例えば、スレッショルド電圧が変化する等である。

[0011] ゲート絶縁膜の特性を変化させないようにするには、ゲート絶縁膜の格子欠陥を抑えたような、緻密な膜質とすることが必要である。しかし、このような緻密な膜質のSiOからは、酸化物半導体に十分な酸素を供給できない

ので、酸化物半導体の特性が変化し、結局TFTの特性が変動する。

[0012] したがって、信頼性の高い酸化物半導体を用いたTFTを実現するには、以上で述べたようなジレンマを克服する必要がある。本発明の課題は、以上で述べたようなジレンマを克服し、信頼性の高い酸化物半導体を用いたTFTを実現することである。また、このようなTFTを用いた、表示品質の優れた、信頼性の高い表示装置を実現することである。

課題を解決するための手段

[0013] 本発明は上記問題を克服するものであり、具体的な手段は次のとおりである。

[0014] (1) 酸化物半導体による第1の薄膜トランジスタを含む画素が複数形成された表示領域を有する基板を含む表示装置であって、前記酸化物半導体の一方の面には酸化シリコンによる第1の絶縁膜が形成され、前記酸化物半導体の他方の面には酸化シリコンによる第2の絶縁膜が形成され、前記第1の絶縁膜の膜厚が前記第2の絶縁膜よりも大きく、TDS (Thermal Desorption Spectrometry) により、質量電荷比 $M/z = 32$ において、定量範囲が 100°C 乃至 500°C の条件で測定した場合の単位面積当たりの酸素放出量が、前記第1の絶縁膜の方が、前記第2の絶縁膜よりも大きいことを特徴とする表示装置。

[0015] (2) 酸化物半導体による薄膜トランジスタを含む画素が複数形成された表示領域を有する基板を含む表示装置の製造方法であって、前記酸化物半導体の一方の面に酸化シリコンによる第1の絶縁膜を形成し、前記酸化物半導体の他方の面に酸化シリコンによる第2の絶縁膜を形成し、前記第1の絶縁膜を構成する酸化シリコンを第1の温度条件を有するCVDによって形成し、前記第2の絶縁膜を構成する酸化シリコンを第2の温度条件を有するCVDによって形成し、前記第2のCVDの温度条件は、前記第1のCVDの温度条件よりも高いことを特徴とする表示装置の製造方法。

[0016] (3) ポリシリコンによる第1の薄膜トランジスタと、酸化物半導体による第2の薄膜トランジスタとを有する基板を含む表示装置の製造方法であっ

て、前記第1の薄膜トランジスタを先に形成し、その後、平面で視て、前記第1の薄膜トランジスタと離れた場所に形成する前記第2の薄膜トランジスタのための第1のゲート絶縁膜を、第1の温度条件によるCVDによって形成し前記第1のゲート絶縁膜の上に前記酸化物半導体を形成し、前記酸化物半導体の上に第2のゲート絶縁膜を前記第1の温度条件よりも高い温度の第2の温度条件によるCVDによって形成することを特徴とする表示装置の製造方法。

図面の簡単な説明

[0017] [図1]有機EL表示装置の平面図である。

[図2]有機EL表示装置の表示領域の断面図である。

[図3]本発明による有機EL表示装置の表示領域の断面図である。

[図4]本発明によるTFT及びその付近の断面図である。

[図5]TDS測定における、第1のゲート絶縁膜からの酸素放出量である。

[図6]TDS測定における、第2のゲート絶縁膜からの酸素放出量である。

[図7]実施例1の第2の形態を示す断面図である。

[図8]実施例1の第3の形態を示す断面図である。

[図9]実施例1の第4の形態を示す断面図である。

[図10]実施例1の第5の形態を示す断面図である。

[図11]実施例1の第6月の形態を示す断面図である。

[図12]実施例2を示す断面図である。

[図13]実施例2の第2の形態を示す断面図である。

[図14]実施例2の第3の形態を示す断面図である。

[図15]実施例2の第4の形態を示す断面図である。

[図16]液晶表示装置の平面図である。

[図17]本発明による液晶表示装置の表示領域の断面図である。

発明を実施するための形態

[0018] 折り曲げる、あるいは、湾曲することが可能な液晶表示装置や有機EL表示装置の実現が期待されている。このような湾曲することが可能な表示装置

の基板は、樹脂、例えばポリイミドで形成する。可視光領域で透明となるポリイミド（以下、ポリイミド）は温度が 350°C を超えると変質するので、ポリイミドを基板とした表示装置のプロセスは 350°C 以下とする必要がある。

[0019] 従来から使用されている a-S i は低温プロセスであるが、移動度が $1\text{ cm}^2/\text{Vs}$ と低く、また、しきい値電圧シフトの制御も難しい。LTPTS は移動度が高いが高性能な LTPTFT を製造するためには、 400°C 以上の熱工程が必要である。これに対して、酸化物半導体を用いた TFT は、移動度が約 $10\text{ cm}^2/\text{Vs}$ 程度の特性を 350°C 以下の低温プロセスで取得することが可能である。

[0020] 本発明は、このような樹脂基板を用いた表示装置にも適用することが出来る。以下に、実施例によって本発明を詳細に説明する。

実施例 1

[0021] 図 1 は本発明が適用されるフレキシブル基板 100 を有する有機 EL 表示装置の平面図である。図 1 の有機 EL 表示装置は、表示領域 10 と端子領域 30 が存在している。表示領域 10 には横方向（x 方向）に走査線 11 が延在し、縦方向（y 方向）に配列している。また、映像信号線 12 が縦方向に延在して横方向に配列している。そして、電源線 13 が縦方向に延在し、横方向に配列している。走査線 11 と、映像信号線 12 または電源線 13 で囲まれた領域に画素 14 が形成されている。

[0022] 図 1 において、表示領域 10 以外の部分に端子領域 30 が形成され、端子領域 30 にはドライバ IC 31 が搭載されている。映像信号はドライバ IC 31 においてアレンジされ、表示領域 10 に供給される。また、端子領域 30 には、有機 EL 表示装置に電源や信号を供給するためのフレキシブル配線基板 32 が接続している。

[0023] 図 1 において、表示領域 10 の両側には走査線駆動回路 20 が形成されている。また、表示領域 10 の上側（y 方向上側）には、電流供給領域 21 が形成されている。電流は端子領域 30 に接続しているフレキシブル配線基板

32から電流バスラインに供給され、電流バスラインは、表示領域10の上側（y方向の上側）の電流供給領域21に配線される。そして、電流は、電流供給領域21から電源線13によって各画素14に供給される。表示領域10のy方向下側に配線が集中することを回避するためである。

[0024] 図2は、図1に示す有機EL表示装置の表示領域の層構造の例を示す断面図である。図2等はTF基板100に樹脂を用いた場合について説明するが、TF基板100にガラスを用いた場合も同様である。図2はフレキシブル表示装置であるから、ガラス基板90は、フレキシブル表示装置が完成した後除去される。つまり、樹脂基板だけでは、プロセスを通すことが出来ないで、製造工程では、ガラス基板の上に有機EL表示装置の各要素を形成し、有機EL表示装置が完成した後、レーザアブレーション等によってガラス基板90が除去される。

[0025] 図2において、ガラス基板90の上に樹脂で形成されたTF基板100が形成されている。樹脂にはポリイミドが使用されている。ポリイミドは機械的強度、耐熱性等から、フレキシブル表示装置の基板としては、すぐれた性質を有している。以後、樹脂基板はポリイミド基板として説明する。

[0026] ポリアミド酸を含むポリイミド材料は、スリットコーター、ロッドコーターあるいはインクジェット等によって塗布され、焼成されてイミド化して固化する。ポリイミド基板100の厚さは10 μ m乃至20 μ mである。図2において、TF基板100の上に、下地膜101が形成されている。ポリイミドからの水分や不純物が半導体層108や有機EL層を汚染することを防止するためである。下地膜101は、例えば、酸化シリコン（SiO）によって窒化シリコン（SiN）をサンドイッチしたような3層の積層膜で形成される。これに加えて、酸化アルミニウム（AlO_x）が使用される場合もある。

[0027] 下地膜101の上に半導体層108が形成されている。半導体層108は例えば酸化物半導体で形成される。酸化物半導体108は、ポリイミドの耐熱温度である350℃程度の温度で形成することが可能である。酸化物半導

体のうち光学的に透明でかつ結晶質でないものをTAOS (Transparent Amorphous Oxide Semiconductor) と呼ぶ。TAOSには、IGZO (Indium Gallium Zinc Oxide)、ITZO (Indium Tin Zinc Oxide)、ZnON (Zinc Oxide Nitride)、IGO (Indium Gallium Oxide) 等がある。本発明では、酸化物半導体108にIGZOを用いた例で説明する。

[0028] 半導体層108にはイオンドーピング等によって、ドレイン1081、ソース1082が形成されている。半導体層108を覆ってゲート絶縁膜109が形成され、ゲート絶縁膜109の上にゲート電極110が形成される。ゲート電極110は、例えば、MoW等で形成されるが、抵抗を小さくしたい場合は、AlをTi等でサンドイッチした構成が用いられる。その後、ゲート電極110をマスクにして、Ar原子等のイオンインプランテーションを行い、半導体層108に、ドレイン領域1081とソース領域1082を形成する。半導体層108の内、ゲート電極110の直下がチャンネルとなる。

[0029] ゲート絶縁膜109は酸化物半導体108に酸素を供給する役割を有しており、SiO₂で形成されている。酸素を多く含むSiO₂は格子欠陥を多く含む。SiO₂はCVD (Chemical Vapor Deposition) で形成されるが、酸素を放出するようなSiO₂は、200℃乃至250℃の低温CVDによって形成される。このような、ゲート絶縁膜109は、繰り返し、ゲート電極110からのゲート電圧による電界がかかることによって特性が変動しやすい。したがって、TFTの閾値電圧が変化する等、TFTの特性変動が問題になる。後で説明する本発明は、この問題を対策するものである。

[0030] ゲート電極110を覆って層間絶縁膜111が形成される。層間絶縁膜111の上にドレイン電極114とソース電極115が形成される。層間絶縁膜111およびゲート絶縁膜109にスルーホール131を形成し、ドレイ

ン電極 114 とドレイン領域 1081 を接続し、スルーホール 132 を形成してソース電極 115 とソース領域 1082 を接続している。

[0031] ドレイン電極 114、ソース電極 115、層間絶縁膜 111 を覆って有機パッシベーション膜 120 が形成される。有機パッシベーション膜 120 は、アクリル等の透明樹脂またはポリイミドで形成される。有機パッシベーション膜 120 は平坦化膜を兼ねているので、 $2\mu\text{m}$ 乃至 $4\mu\text{m}$ と、厚く形成される。

[0032] 有機パッシベーション膜 120 の上に、反射膜 1211 とアノード 1212 が積層して形成される。反射膜 1211 とアノード 1212 の積層体を下部電極 121 と呼ぶ。反射膜 1211 は例えば反射率の高い銀で形成され、アノード 1212 は ITO (Indium Tin Oxide) で形成される。なお、有機パッシベーション膜 120 にスルーホール 130 を形成して、ソース電極 115 と下部電極 121 を接続している。

[0033] 下部電極 121 を覆って、バンク 122 が形成される。バンク 122 は、アクリル等の透明樹脂またはポリイミドで形成される。バンク 122 の役割は、下部電極 121 の上に形成される有機 EL 層 123 が下部電極 121 の端部によって段切れ生ずることを防止することと、各画素を区画することである。

[0034] バンク 122 に形成されたホールに有機 EL 層 123 を形成する。有機 EL 層 123 は、ホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層等の複数の層で形成され、各層は数 nm ~ 100 nm 程度の非常に薄い膜である。

[0035] 有機 EL 層 123 を覆って上部電極（カソード）124 が形成される。カソードは表示領域全面に共通に形成される。カソード 124 は、透明導電膜である IZO (Indium Zinc Oxide)、ITO (Indium Tin Oxide) 等によって形成されるほか、銀等の金属の薄膜で形成される場合もある。

[0036] その後、カソード 124 側からの水分の侵入を防止するために、カソード

124を覆って保護膜125を、CVDを用いてSiNによって形成する。有機EL層123は熱に弱いために保護膜125を形成するためのCVDは100℃程度の低温CVDによって形成される。保護膜125には、この他、機械的な保護のために、アクリル等の透明樹脂膜が積層される場合もある。

[0037] トップエミッション型の有機EL表示装置は、反射電極1211が存在しているために、画面は、外光を反射する。これを防止するために、表面に偏光板127を配置して、外光による反射を防止している。偏光板127は、一方の面に粘着材126を有しており、保護膜125に圧着することによって、有機EL表示装置に接着させている。粘着材126の厚さは30μm程度であり、偏光板127の厚さは100μm程度である。

[0038] このようにしてガラス基板上にフレキシブル表示装置を形成した後、ポリイミドによるTF基板100とガラス基板90の界面にレーザを照射してTF基板100からガラス基板90を除去する。これによって、樹脂基板を有するフレキシブル表示装置が完成する。

[0039] 図3は、酸化物半導体を用いたTFの、ゲート絶縁膜に起因する特性変動を対策した有機EL表示装置の断面図である。図3が図2と異なる点は、下地膜101から第2ゲート電極110（図2のゲート電極に対応）までの構成である。図3において、下地膜101の上に第1ゲート電極105が形成されている。第1ゲート電極105は、例えば第2ゲート電極110と同じ材料である、MoW等で形成される。

[0040] 第1ゲート電極105を覆ってバリア膜106が窒化シリコン（以後SiNで代表する）で、例えば、100nm程度の厚さで形成される。バリア膜106は、TF基板100等から侵入する水分が酸化物半導体108の特性を劣化させることを防止する。図3において、下地膜101にSiNで形成されたバリア膜が存在する場合は、バリア膜は省略される場合もある。バリア膜106の上に第1ゲート絶縁膜107がSiOによって形成される。第1ゲート絶縁膜107は例えば、200nm以上の厚さで形成される。第

1 ゲート絶縁膜 107 は比較的格子欠陥が多い膜であり、上に形成される酸化物半導体 108 に対する酸素の供給源になる。

[0041] バリア膜 106 と第 1 ゲート絶縁膜 108 を合わせてゲート絶縁膜と呼ぶことも出来るが、本明細書では、便宜上分けて呼ぶ。第 1 ゲート電極 105 は上層に形成される酸化物半導体 108 に対する遮光膜としての役割を有している。なお、第 1 ゲート電極 105 に単なる遮光膜としての役割だけを持たせたい場合もあるが、この場合は、第 1 ゲート電極 105 に例えば、基準電圧が印加されるかフロート状態におかれる。

[0042] 第 1 ゲート絶縁膜 107 の上に酸化物半導体 108 が形成される。酸化物半導体 108 の構成は図 2 で説明したとおりである。図 3 において、酸化物半導体 108 を覆って第 2 ゲート絶縁膜 109 が形成されている。第 2 ゲート絶縁膜 109 は、SiO₂ で形成されるが、格子欠陥の少ない、緻密な膜である。第 2 ゲート絶縁膜 109 も CVD で形成されるが、この場合の CVD の温度は、第 1 ゲート絶縁膜 107 を形成する CVD の温度よりも高く、300℃乃至350℃である。

[0043] 第 2 ゲート絶縁膜 109 を構成する SiO₂ は緻密な膜なので、特性変動が少ない。したがって、TFET の特性変動も抑えることが出来る。一方、第 2 ゲート絶縁膜 109 は緻密な膜であるから、酸化物半導体 108 に対して十分に酸素を供給できない。しかし、図 3 の構成では、結晶格子の欠陥密度の大きい SiO₂ で形成された第 1 ゲート絶縁膜 107 から酸化物半導体 108 に酸素が供給されるので、酸化物半導体 108 の特性は保たれ、TFET の特性の変動も防止することが出来る。

[0044] 第 2 ゲート絶縁膜 109 の膜厚は、例えば、100nm 程度である。これに対して、第 1 ゲート絶縁膜 107 の膜厚は200nm である。さらに、第 1 ゲート電極 105 と第 1 ゲート絶縁膜 107 の間に100nm 程度の SiN で形成されたバリア膜 106 が存在している。したがって、第 1 ゲート電極 105 に第 2 ゲート電極 110 と同じゲート電圧を加えた場合であっても、TFET の特性に対しては、第 2 ゲート電極 110 による影響が主になる。

したがって、仮に、第1ゲート絶縁膜107の特性が変化することであっても、TFETの特性は、大きくは変動しない。また、第1ゲート絶縁膜にかかる電界も小さいので、絶縁膜の特性変動も生じにくい。

[0045] 第1ゲート絶縁膜107の膜厚を200nmよりもさらに大きくすることによって、第1ゲート電極105の影響をさらに小さくし、また、酸化物半導体108に対する第1ゲート絶縁膜107からの酸素供給も多くなる。一方、第1ゲート絶縁膜107の影響をより小さくしたい場合は、例えば、第2ゲート電極110に印加するゲート電圧よりも、第1ゲート電極105に印加するゲート電圧を小さくしてもよい。

[0046] 図4は、図3のTFET付近の拡大図である。図4において、第1ゲート電極105を覆ってSiNによるバリア膜106が形成され、その上に比較的格子欠陥の多いSiOによる第1ゲート絶縁膜107が形成されている。第1ゲート絶縁膜107の上に酸化物半導体108が形成され、酸化物半導体108を覆って緻密なSiOによる第2ゲート絶縁膜109が形成されている。

[0047] 第2ゲート絶縁膜109の上に第2ゲート電極110が形成されている。第2ゲート電極110をマスクにしてイオンインプランテーションによって、アルゴン(Ar)、リン(P)、ボロン(B)等を酸化物半導体108に打ち込み、ドレイン1081とソース1082を形成する。第2ゲート電極110の直下の酸化物半導体108がチャネルとなっている。

[0048] 図4において、第1ゲート電極105を覆うSiN膜106の厚さ d_{n1} は例えば100nmである。格子欠陥の多いSiO膜で形成された第1ゲート絶縁膜107の厚 d_{s1} は例えば200nmである。緻密なSiO膜で形成された第2ゲート絶縁膜109の厚さは例えば100nmである。したがって、TFETの特性に対する影響は第2ゲート電極110が主になる。なお、第1ゲート絶縁膜107の厚さは200nm以上であることが望ましい。 d_{s1}/d_{s2} は2以上であることが望ましい。また、 $d_{s1} > d_{n1}$ である。

- [0049] 第1ゲート絶縁膜107はCVDで形成される。第1ゲート絶縁膜107を形成するCVDの条件は、例えば、ガス流量比： $\text{N}_2\text{O}/\text{SiH}_4 \leq 50/1$ 、プラズマへの入力パワー： $0.15\text{W}/\text{cm}^2$ 以上、圧力： 200 乃至 300Pa 、基板温度： 200°C 乃至 250°C である。第2ゲート絶縁膜109もCVDで形成され、基板温度は 300°C 乃至 350°C であり、その他の条件は、第1ゲート絶縁膜107の成膜と同じである。すなわち、第1ゲート絶縁膜107と第2ゲート絶縁膜109の膜質の差は、CVDによる成膜時の基板温度によって制御することが出来る。
- [0050] 図5はCVDにおいて、基板温度 230°C で成膜した場合の、第1ゲート絶縁膜107の酸素放出量をTDS (Thermal Desorption Spectrometry) で測定した結果である。図5において、縦軸は酸素分子に基づく測定強度であり、単位はアンペアである。横軸は、基板温度 ($^\circ\text{C}$) である。図5において、基板温度が 250°C を超えると、酸素放出量が急激に増加する。図5では、 $M/z = 32$ において、定量範囲が 100°C 乃至 500°C において、酸素放出量は、 $1.2\text{E}14$ 分子/ cm^2 である。第1ゲート絶縁膜の特性としては、 $1.0\text{E}14$ 分子/ cm^2 以上であることが望ましい。
- [0051] 図6はCVDにおいて、基板温度 300°C で成膜した場合の第2ゲート絶縁膜の酸素放出量をTDS (Thermal Desorption Spectrometry) で測定した結果である。図6において、縦軸は酸素分子に基づく測定強度であり、単位はアンペアである。横軸は、基板温度 ($^\circ\text{C}$) である。図6において、基板温度が 400°C を超えても、酸素放出量は殆ど増加しない。図6では、 $M/z = 32$ において、定量範囲が 100°C 乃至 500°C において、酸素放出量は、 $1.5\text{E}13$ 分子/ cm^2 である。第2ゲート絶縁膜の特性としては、 $1.5\text{E}13$ 分子/ cm^2 以下であることが望ましい。
- [0052] 以上のデータは、表示装置が完成した状態における第1ゲート絶縁膜107、あるいは、第2ゲート絶縁膜109の特性である格子欠陥が多いSiO

膜はTDS試験においてSiO成膜時のプロセスガスに起因するガスが放出される。完成品における第2ゲート絶縁膜109、第1ゲート絶縁膜107の特性を測定するには、第2ゲート絶縁膜109あるいは第1ゲート絶縁膜107の上の膜を剥離し、TDS試験を行えばよい。

[0053] このように、本発明では、第1ゲート電極107と第2ゲート電極109に役割を分担させることによって、酸化物半導体108を用いた、信頼性の高いTFETを実現することが出来る。

[0054] 酸化物半導体108を用いたTFETとしては、図4の構成に限らず、目的に応じて種々の構成をとることが出来る。図7は、実施例1における第2の態様を示すTFET部分の断面図である。図7では、第1ゲート電極105は存在せず、TFETは第2ゲート電極110のみで駆動される。図7において、下地膜101の上にバリア膜106としてのSiNが厚さ d_{n1} で形成されている。その上に第1ゲート絶縁膜に相当するSiO膜107が厚さ d_{s1} で形成されている。

[0055] 図7において、SiO膜107の上に酸化物半導体108が形成されている。酸化物半導体108を覆って第2ゲート絶縁膜109が厚さ d_{s2} で形成されている。図7における d_{s1} 、 d_{s2} 及び d_{n1} の厚さ、および、これらの膜厚の関係は図4で説明したのと同じである。図7において、バリア膜106は、下地膜101に、バリア膜としてのSiN膜106が含まれていれば省略することが出来る。しかし、SiO膜107は省略することはできない。

[0056] ただし、下地膜101内の最上層がSiO膜で形成され、かつ、厚さが200nm以上であれば、これによって代用することが出来る。この時のSiO膜は、図4で説明した、第1ゲート絶縁膜107と同様な成膜条件で行うことが望ましい。また、膜の性質も、図5で説明したような条件を満足する必要がある。

[0057] 図8は、酸化物半導体108を用いたTFETの第3の態様を示す断面図である。図8において、第2ゲート絶縁膜109は、酸化物半導体108のチ

ャネルに対応する部分にのみ形成され、第2ゲート絶縁膜109は、酸化物半導体108のドレイン1081、ソース1082等は覆っていない。図8の構造は次のようにして形成される。酸化物半導体108を覆って第2ゲート絶縁膜109を形成する。第2ゲート絶縁膜109の形成方法は図4で説明したとおりである。その後第2ゲート電極110を形成し、第2ゲート電極110をマスクにして第2ゲート絶縁膜109をパターニングする。

[0058] その後、露出した酸化物半導体108を、シラン SiH_4 ガスに晒すと、第2ゲート電極109で覆われた部分以外の酸化物半導体108が還元され、酸化物半導体108にドレイン1081及びソース1082が形成される。その後、層間絶縁膜111によって酸化物半導体108を覆う。この時の層間絶縁膜111は SiN のような、酸化物半導体のドレイン1081、ソース1082に水素を供給して、ドレイン1081、ソース1082を還元することが可能な材料であることが望ましい。ドレイン1081及びソース1082の抵抗を上昇させないためである。

[0059] 層間絶縁膜111を SiO で形成する場合も、 SiO は、第1ゲート絶縁膜107の SiO と異なり、酸素を供給しないような SiO である必要がある。つまり、酸素を酸化物半導体108のソース1082およびドレイン1081に供給すると、この部分の抵抗が大きくなり、TFTのON電流が小さくなるからである。酸素を供給しないような SiO 膜は、例えば、第2ゲート絶縁膜109を成膜する時のCVD条件を制御して形成することが出来る。図8のTFTの動作は、図4において説明したのと同様である。層間絶縁膜111は SiO と SiN の積層膜でもよい。

[0060] 図9は、実施例1の第4の形態による酸化物半導体108を用いたTFTの断面図である。図9はボトムゲートタイプのTFTである。図9において、下地膜101の上に第1ゲート電極105が形成されている。第1ゲート電極105を覆って第1ゲート絶縁膜107が形成されている。第1ゲート絶縁膜107の上に酸化物半導体108が形成されている。

[0061] 酸化物半導体108は、例えば、チャネルに該当する部分にレジストを形

成し、例えば、P、B、Ar等のイオンインプランテーションを行ってドレイン1081及びソース1082を形成する。その後第2ゲート絶縁膜109を形成する。そして、第2ゲート絶縁膜109を覆って層間絶縁膜111を形成する。図9の構成では、層間絶縁膜111は省略することも出来る。

[0062] 図9は、ボトムゲートであるから、第1ゲート絶縁膜107を格子欠陥の少ないSiO₂で形成する。したがって、ゲート絶縁膜の特性変化によるTFETの特性への影響は抑えることが出来る。図9では、第2ゲート絶縁膜109を格子欠陥の多いSiO₂膜で形成し、酸化物半導体のチャネル108への酸素供給源としている。図9において、第2ゲート絶縁膜109の厚さ d_{s2} は第1ゲート絶縁膜107の厚さ d_{s1} の2倍以上である。また、第2ゲート絶縁膜109の厚さは200nm以上であることが望ましい。酸化物半導体108のチャネルに十分に酸素を供給するためである。

[0063] 図10は、実施例1の第5の形態を示すTFETの断面図である。図10もボトムゲートタイプのTFETである。図10が図9と異なる点は、第2ゲート絶縁膜109が酸化物半導体109のチャネル部分以外からは除去されている点である。図9あるいは図10における第2酸化物半導体109は、格子欠陥が多いSiO₂で形成され、酸素の供給量が多いために、酸化物半導体108のチャネルの特性を安定させることが出来る。

[0064] しかし、図9の構成は、酸化物半導体108のドレイン1081及びソース1082の上にも、酸素を多く供給する第2ゲート絶縁膜109が存在しているので、長期間の間に酸化物半導体のドレイン及びソースに酸素を供給し、ドレイン1081およびソース1082の抵抗が増大する場合がある。

[0065] 図10では、酸化物半導体108のドレイン1081およびソース1082の上からは、第2ゲート絶縁膜109は除去されているので、第2ゲート絶縁膜109からの酸素の供給を防止することが出来る。したがって、ドレイン1081及びソース1082の抵抗増大を防止することが出来る。

[0066] 第1ゲート絶縁膜107の膜厚 d_{s1} と第2ゲート絶縁膜109の膜厚 d_{s2} の関係は図9で説明したとおりである。図10の構成によれば、第2ゲ

ート絶縁膜109を厚くして、酸素供給量を増大させても、酸化物半導体108のドレイン1081及びソース1082の抵抗増大は無いので、より安定したボトムゲートタイプの、酸化物半導体によるTF Tを実現することが出来る。

[0067] 図11は、実施例1の第6の形態を示すTF Tの断面図である。図11において、下地膜101の上に第1ゲート電極105が形成されている。第1ゲート電極105を覆って第1ゲート絶縁膜107が形成されている。第1ゲート絶縁膜107の上に酸化物半導体108が形成され、酸化物半導体108のドレイン1081とソース1082の上にエッチングストッパー140が形成されている。その後第2ゲート絶縁膜109を形成する。そして、第2ゲート絶縁膜109を覆って層間絶縁膜111を形成する。第1ゲート絶縁膜107の膜厚 d_{s1} と第2ゲート絶縁膜109の膜厚 d_{s2} の関係は図9で説明したとおりである。

実施例 2

[0068] 酸化物半導体108を用いたTF Tは、リーク電流が小さいという特徴を有している。これは、画素電極の電位を長時間安定して保持できることを意味する。したがって、TF Tに酸化物半導体108を用いることによって、低周波駆動を行い、消費電力を低減することが出来る。しかし、酸化物半導体108の移動度は、走査線駆動回路等の周辺駆動回路を構成するには十分でない場合がある。

[0069] 一方、LT PSは、移動度が大きい。しかし、LT PSは、酸化物半導体に比べてリーク電流が多いという問題を有している。そこで、酸化物半導体によるTF Tを、画素における駆動TF TあるいはスイッチングTF Tに用い、LT PSによるTF Tを周辺駆動回路に用いることが合理的である。この構成をハイブリッド構造と呼ぶ。

[0070] 図12は、酸化物半導体108によるTF TとLT PS102によるTF Tを同じ基板100上に形成した場合のTF T付近の構成を示す断面図である。酸化物半導体108を用いたTF Tは表示領域に形成され、LT PS1

02を用いたTF Tは、周辺駆動回路に形成されるので、実際には、両TF Tは離れて配置されるが、図12では、層構成をわかり易くするために、LTPS102によるTF Tと酸化物半導体108によるTF Tを隣り合わせて記載している。

[0071] 図12において、左側はLTPS102によるTF Tであり、右側が酸化物半導体108によるTF Tである。図12における酸化物半導体108によるTF Tは、実施例1における図4で説明した構成で代表して説明するが、実施例1の他の形態による酸化物半導体108によるTF Tについても同様に適用することが出来る。

[0072] 図12において、ガラス基板90の上にポリイミドで形成されたTF T基板100が形成され、その上に下地膜101が形成されている。下地膜101の構成は図2で説明したとおりである。下地膜101の上にLTPSによる半導体層102が形成されている。LTPSは、まず、a-Siを下地膜101の上にCVDによって被着し、このa-Si膜にエキシマレーザを照射することによってポリシリコンに変換したものである。LTPSは50nm程度の厚さで形成される。

[0073] LTPS102を覆って第3ゲート絶縁膜103が形成され、その上に第3ゲート電極104が形成されている。第3ゲート電極104は例えばMo、MoW等の金属又は合金、あるいは、Ti-Al-Ti等の積層膜によって形成される。図5において、LTPS102の第3ゲート電極104に対応する部分にチャネルが形成され、その両脇にドレイン1021およびソース1022が形成される。ドレイン1021及びソース1022は、第3ゲート電極104をマスクにして、LTPSにリン(P)あるいはボロン(B)をイオンインプランテーションによりドーピングすることによって形成する。

[0074] 第3ゲート電極104の形成と同時に、右側に存在する酸化物半導体によるTF Tの第1ゲート電極105を形成する。第1ゲート電極105より上側の層に酸化物半導体108が形成されるが、この酸化物半導体108の構成は、図4で説明したのと同じである。すなわち、第1ゲート電極105及

び第3ゲート電極104を覆ってバリア膜106をSiNによって形成する。図3で説明したように、バリア膜106は、酸化物半導体108を、基板100等から侵入する水分から保護する効果を有している。また、SiNは水素の供給源なので、図12の左側のTFETにおけるポリシリコンに水素を供給して、ポリシリコンの特性を安定させる役割も有する。

[0075] バリア膜106の上に、酸化物半導体108のための第1ゲート絶縁膜107を形成する。酸化物半導体108は水素と接触すると還元されて特性が変化するので、SiOで形成された第1ゲート絶縁膜107によって、酸化物半導体に対する、SiNで形成されたバリア膜106の影響を防止する。第1ゲート絶縁膜107は、格子欠陥が多いSiOで、かつ厚く形成され、第1ゲート絶縁膜107の上に形成される酸化物半導体108に対する酸素の供給源になる。

[0076] 第1ゲート絶縁膜107の上に酸化物半導体108が形成されている。酸化物半導体108の構成は図3及び図4で説明したとおりである。酸化物半導体108の上に第2ゲート絶縁膜109が形成されている。第2ゲート絶縁膜109は、格子欠陥の少ない、緻密なSiOで形成されている。したがって、第2ゲート絶縁膜109の特性変動は少ない。

[0077] その後、第2ゲート絶縁膜109の上に第2ゲート電極110を形成し、第2ゲート電極110をマスクにしてイオンインプランテーションによって、酸化物半導体108にドレイン1081及びソース1082を形成する。その後、第2ゲート絶縁膜109及び第2ゲート電極110の上に層間絶縁膜111を形成する。層間絶縁膜111は、SiN膜または格子欠陥の少ないSiO膜、あるいは、SiN膜とSiO膜の積層構造で形成される。

[0078] その後、LTPS側のTFETに、層間絶縁膜111、第2ゲート絶縁膜109、第1ゲート絶縁膜107、バリア膜106、第1ゲート絶縁膜103の5層にスルーホール116および117を形成し、ドレイン1021とドレイン電極112を接続し、ソース1022とソース電極113を接続する。一方、酸化物半導体108によるTFET側には、層間絶縁膜111及び第

2ゲート絶縁膜109にスルーホール118及び119を形成し、ドレイン1081とドレイン電極114を接続し、ソース1081とソース電極115を接続する。

[0079] これによって、ハイブリッド構造を有するTF T基板が形成される。その後、層間絶縁膜111の上に図3に示すような要素を形成して有機EL表示装置が完成する。

[0080] 図13は、本実施例による第2の形態を示す断面図である。図13が図12と異なる点は、酸化物半導体108のドレイン1081とソース1082の上にエッチングストッパー140が形成されていることである。エッチングストッパー140は例えば金属で形成されている。この金属を介して、ドレイン電極114がドレイン1081と接続し、ソース電極115がソース1082を接続している。エッチングストッパー140を形成する理由は次のとおりである。

[0081] 図12において、LT P S 102用のスルーホール116、117、及び、酸化物半導体108用スルーホール118、119は同時に形成される。LT P S 102用スルーホールを形成する時に、佛酸(H F)洗浄をおこなう。この時に酸化物半導体108用スルーホール118、119も同時に洗浄される。酸化物半導体108は佛酸に容易に溶けるので、スルーホール118、119において酸化物半導体108が消失してしまう。

[0082] 図13では、スルーホール118、119の底部に金属等によるエッチングストッパー140が形成されているので、酸化物半導体108が消失する現象を免れることが出来る。

[0083] 図14は、実施例2の第3の形態を示す断面図である。図14における左側の、LT P S 102によるTF Tは図12等と同じである。図14の右側の酸化物半導体108によるTF Tにおいて、第2ゲート電極109が島状に、酸化物半導体108のチャネルに対応する部分にのみ形成されている。この構成は、実施例1において、図8によって説明した構成と同じである。すなわち、図14におけるハイブリッド構成においても、図8で説明した本

発明の効果を得ることが出来る。

[0084] 図14において、LTPS102によるTFTには、層間絶縁膜111、第1ゲート絶縁膜107、バリア膜106、第3ゲート絶縁膜103の4層にスルーホール116及び117が形成され、酸化物半導体108によるTFTには、層間絶縁膜111にスルーホール118及び119が形成されている。図12において説明したように、スルーホール116、117、及び、スルーホール118、119は同時に形成される。LTPS102用スルーホールを形成する時に、 fluorine acid (HF) 洗浄をおこなう。この時に酸化物半導体108用スルーホール118、119も同時に洗浄される。酸化物半導体108は fluorine acid に容易に溶けるので、スルーホール118、119において酸化物半導体108が消失してしまう場合がある。

[0085] 図15は、これを防止するために、酸化物半導体108のドレイン1081及びソース1082の上に金属等によるエッチングストッパー140が形成されている。これによって、スルーホール118、119を形成する時に酸化物半導体108が消失する現象を防止することが出来る。図15のその他の構成は図14と同じである。

[0086] 本実施例において、酸化物半導体の構成は、実施例1における形態1と形態3を適用した場合について説明した。ハイブリッド構成においても、実施例1で説明した他の構成の酸化物半導体によるTFTを用いることが出来る。

実施例 3

[0087] 実施例1及び2は有機EL表示装置について本発明を適用した場合である。本発明は、液晶表示装置についても適用することが出来る。図16は液晶表示装置の平面図である。図16において、TFT基板100と対向基板200がシール材40によって接着し、内部に液晶が封入されている。TFT基板100と対向基板200が重なっている部分に表示領域10が形成されている。表示領域10には走査線11が横方向（x方向）に延在し、縦方向（y方向）に配列している。また、映像信号線12が縦方向（y方向）に延

在し、横方向（x方向）に配列している。走査線11と映像信号線12で囲まれた領域が画素14になっている。

[0088] TFT基板100と対向基板200が重なっていない部分が端子領域30となっている。端子領域30には、ドライバIC31が載置され、フレキシブル配線基板32が接続している。

[0089] 図17は、本発明における液晶表示装置の画素部の断面図である。図17に示すTFTはスイッチングTFTであるが、断面構成は図2の駆動TFTと同じである。すなわち、TFTはトップゲートで、半導体層108には酸化半導体を用いられている。図17において、TFTの構成を含む、有機パッシベーション膜120までは、図3と同じ構成である。

[0090] 図17において、有機パッシベーション膜150の上にはITOによってコモン電極150が平面状に形成され、コモン電極150を覆って容量絶縁膜151がSiNによって形成されている。容量絶縁膜151の上にITOによって画素電極152が形成されている。画素電極152は櫛歯状の平面形状となっている。画素電極152を覆って液晶を初期配向させるための配向膜153が形成されている。

[0091] 画素電極152に映像信号が印加されると、画素電極152とコモン電極150の間に矢印のような電気力線が発生して液晶分子301を回転させて画素における光の透過率を制御する。また、画素電極152とコモン電極150の間に容量絶縁膜151を挟んで保持容量が形成される。

[0092] 図17において、液晶層300を挟んで対向基板200が形成され、対向基板200の内側にカラーフィルタ201とブラックマトリクス202が形成されている。カラーフィルタ201とブラックマトリクス202を覆ってオーバーコート膜203が形成され、オーバーコート膜203を覆って配向膜204が形成されている。

[0093] 図17において、TFT基板100および対向基板200はポリイミド等の樹脂で形成されている。製造工程においては、ポリイミドで形成されたTFT基板100はガラス基板の上に形成されるが、液晶表示装置が完成した

後、レーザアブレーション等によってガラス基板は除去されている。

[0094] TFTに酸化物半導体を用いる利点は液晶表示装置においても同様である。また、液晶表示装置においても、ハイブリッド構成を用いる利点は有機EL表示装置と同様である。

符号の説明

[0095] 10…表示領域、 11…走査線、 12…映像信号線、 13…電源線、 14…画素、 20…周辺駆動回路、 21…電流供給領域、 30…端子領域、 31…ドライバIC、 32…フレキシブル配線基板、 40…シール材、 90…ガラス基板、 100…TFT基板、 101…下地膜、 102…LTPS半導体層、 103…第3ゲート絶縁膜、 104…第3ゲート電極、 105…第1層間絶縁膜、 106…バリア層、 107…第1ゲート絶縁膜、 108…酸化物半導体、 109…第2ゲート絶縁膜、 110…第2ゲート電極、 111…層間絶縁膜、 112…第1ドレイン電極、 113…第1ソース電極、 114…第2ドレイン電極、 115…第2ソース電極、 116…スルーホール、 117…スルーホール、 118…スルーホール、 119…スルーホール、 120…有機パッシベーション膜、 121…下部電極、 122…バンク、 123…有機EL層、 124…上部電極、 125…保護層、 126…粘着材、 127…円偏光板、 130…スルーホール、 131…スルーホール、 132…スルーホール、 150…コモン電極、 151…容量絶縁膜、 152…画素電極、 153…配向膜、 200…対向基板、 201…カラーフィルタ、 202…ブラックマトリクス、 203…オーバーコート膜、 204…配向膜、 300…液晶層、 301…液晶分子、 1021…ドレイン、 1022…ソース、 1081…ドレイン、 1082…ソース、 1211…反射電極、 1212…アノード

請求の範囲

- [請求項1] 酸化物半導体による第1の薄膜トランジスタを含む画素が複数形成された表示領域を有する基板を含む表示装置であって、
- 前記酸化物半導体の一方の側には酸化シリコンによる第1の絶縁膜が形成され、前記酸化物半導体の他方の側には酸化シリコンによる第2の絶縁膜が形成され、
- 前記第1の絶縁膜の膜厚が前記第2の絶縁膜よりも大きく、
- TDS (Thermal Desorption Spectrometry) により、 $M/z = 32$ において、定量範囲が 100°C 乃至 500°C の条件で測定した場合の単位面積当たりの酸素放出量が、前記第1の絶縁膜の方が、前記第2の絶縁膜よりも大きいことを特徴とする表示装置。
- [請求項2] 前記第1の絶縁膜からの前記酸素放出量は、 1.0×10^{14} 分子/ cm^2 以上であることを特徴とする請求項1に記載の表示装置。
- [請求項3] 前記第2の絶縁膜からの前記酸素放出量は、 1.5×10^{13} 分子/ cm^2 以下であることを特徴とする請求項1に記載の表示装置。
- [請求項4] 前記第1の絶縁膜の膜厚が前記第2の絶縁膜の膜厚の2倍以上であることを特徴とする請求項1に記載の表示装置。
- [請求項5] 前記第1の絶縁膜の厚さは、 200nm 以上であることを特徴とする請求項1に記載の表示装置。
- [請求項6] 前記第1の絶縁膜の側には、第1のゲート電極が形成され、前記第2の絶縁膜の側には、第2のゲート電極が形成されていることを特徴とする請求項1に記載の表示装置。
- [請求項7] 前記第1の絶縁膜と前記第1のゲート電極の間に、窒化シリコンによる絶縁膜が形成されていることを特徴とする請求項6に記載の表示装置。
- [請求項8] 前記第2の絶縁膜は、前記酸化物半導体のチャネル部分と重複して形成され、前記酸化物半導体のドレインおよびソースには形成されて

いないことを特徴する請求項 1 に記載の表示装置。

[請求項9] 前記第 2 の絶縁膜は、前記酸化物半導体よりも前記基板から離れた側に形成されていることを特徴とする請求項 1 に記載の表示装置。

[請求項10] 前記第 2 の絶縁膜は、前記酸化物半導体よりも前記基板に近い側に形成されていることを特徴とする請求項 1 に記載の表示装置。

[請求項11] 前記基板にはさらにポリシリコンによる第 2 の薄膜トランジスタが形成され、

平面で視て、前記第 2 の薄膜トランジスタは、前記第 1 の薄膜トランジスタとは別な場所に形成され、断面で視て、前記第 1 の薄膜トランジスタは、前記第 1 の薄膜トランジスタよりも前記基板に近く形成されていることを特徴とする請求項 1 に記載の表示装置。

[請求項12] 前記第 2 の薄膜トランジスタは、第 3 のゲート電極を有し、前記第 3 のゲート電極は、前記第 1 のゲート電極と同じ材料で、かつ、同じ層の上に形成されていることを特徴とする請求項 6 に記載の表示装置。

[請求項13] 前記第 1 の絶縁膜と前記第 1 のゲート電極の間には、窒化シリコンで形成される絶縁膜が形成されていることを特徴とする請求項 6 に記載の表示装置。

[請求項14] 酸化物半導体による薄膜トランジスタを含む画素が複数形成された表示領域を有する基板を含む表示装置の製造方法であって、

前記酸化物半導体の一方の面に酸化シリコンによる第 1 の絶縁膜を形成し、前記酸化物半導体の他方の面に酸化シリコンによる第 2 の絶縁膜を形成し、

前記第 1 の絶縁膜を構成する酸化シリコンを第 1 の温度条件を有する C V D によって形成し、前記第 2 の絶縁膜を構成する酸化シリコンを第 2 の温度条件を有する C V D によって形成し、前記第 2 の温度条件は、前記第 1 の温度条件よりも高いことを特徴とする表示装置の製造方法。

[請求項15] 前記第1のCVDの温度条件は、200℃乃至250℃であることを特徴とする請求項14に記載の表示装置の製造方法。

[請求項16] 前記第2のCVDの温度条件は、300℃乃至350℃であることを特徴とする請求項14に記載の表示装置の製造方法。

[請求項17] ポリシリコンによる第1の薄膜トランジスタと、酸化物半導体による第2の薄膜トランジスタとを有する基板を含む表示装置の製造方法であって、

前記第1の薄膜トランジスタを先に形成し、その後、平面で見て、前記第1の薄膜トランジスタと離れた場所に形成する前記第2の薄膜トランジスタのための第1のゲート絶縁膜を、第1の温度条件によるCVDによって形成し、

前記第1のゲート絶縁膜の上に前記酸化物半導体を形成し、

前記酸化物半導体の上に第2のゲート絶縁膜を前記第1の温度条件よりも高い温度の第2の温度条件によるCVDによって形成することを特徴とする表示装置の製造方法。

[請求項18] 前記第1のCVDの温度条件は、200℃乃至250℃であることを特徴とする請求項17に記載の表示装置の製造方法。

[請求項19] 前記第2のCVDの温度条件は、300℃乃至350℃であることを特徴とする請求項17に記載の表示装置の製造方法。

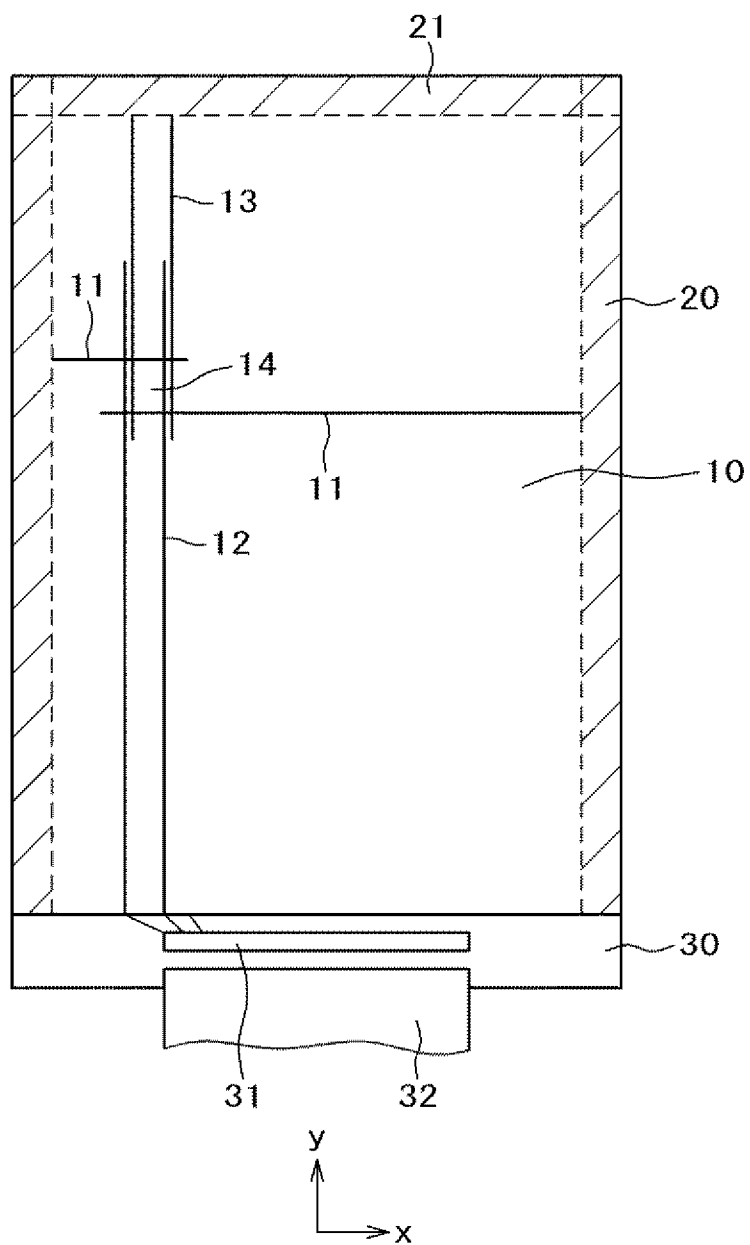
[請求項20] 前記第2のTFTには、前記第1のゲート絶縁膜の側に第1のゲート電極を形成し、

前記第1のTFTには、第2のゲート電極を形成し、

前記第1のゲート電極と前記第2のゲート電極は、同じ材料で、同時に形成することを特徴とする請求項17に記載の表示装置の製造方法。

[図1]

図 1



[図2]

図 2

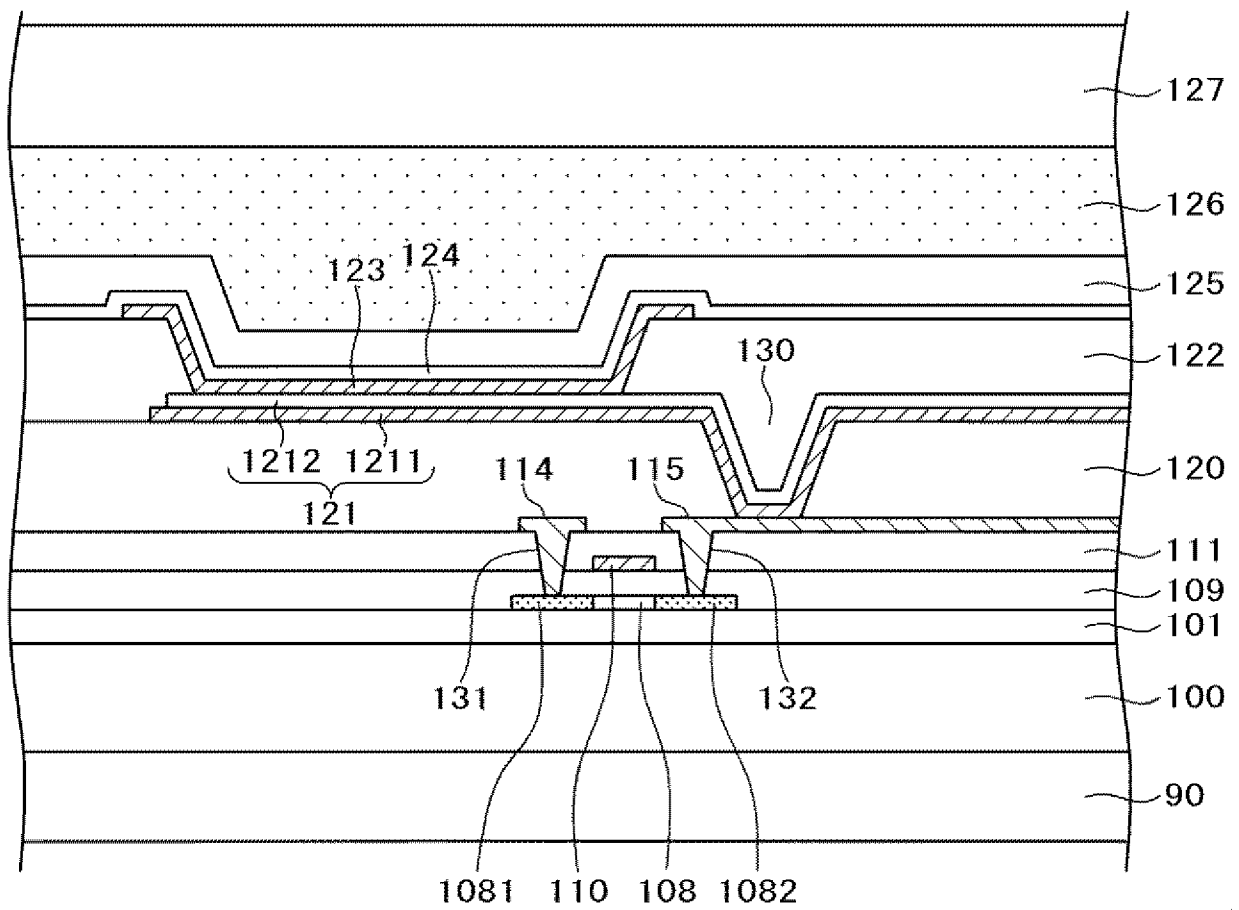
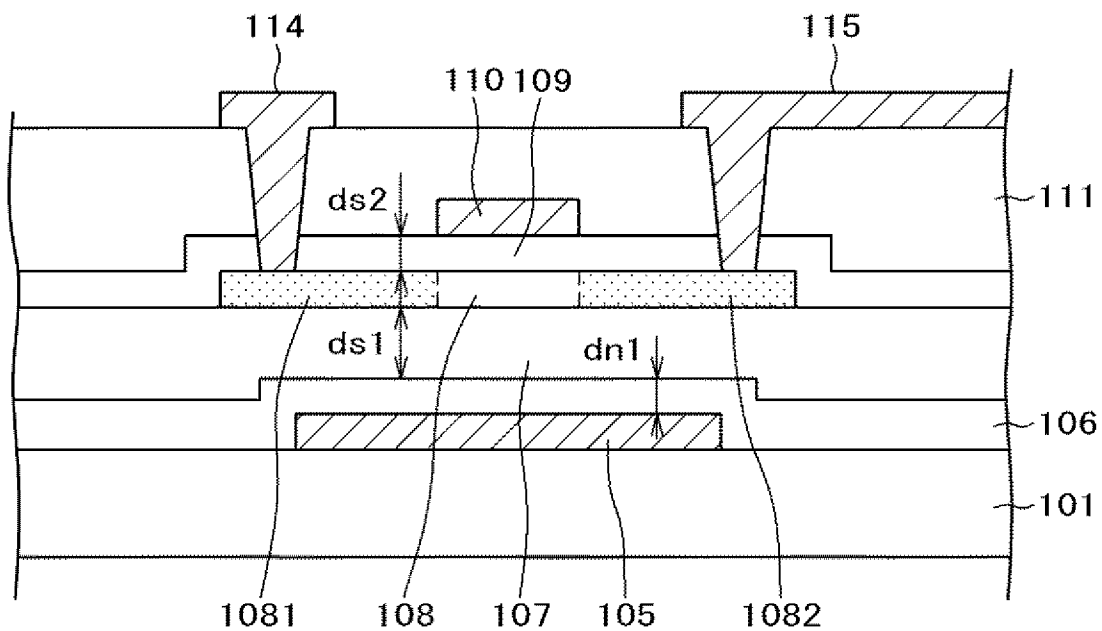


图 3

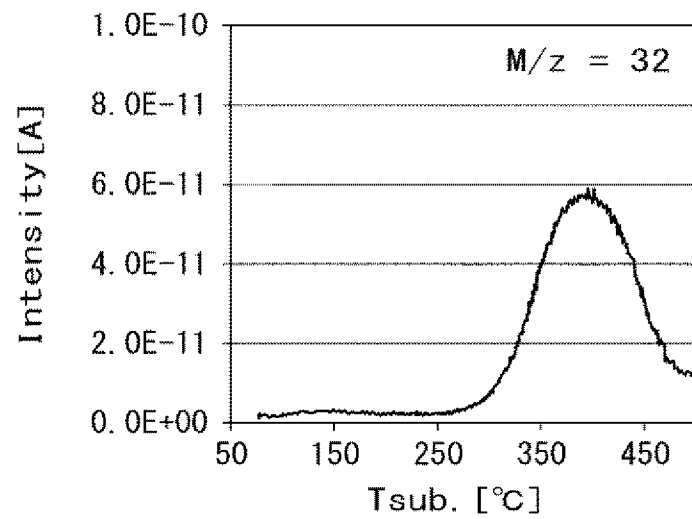


图 4



[図5]

図 5



[図6]

図 6

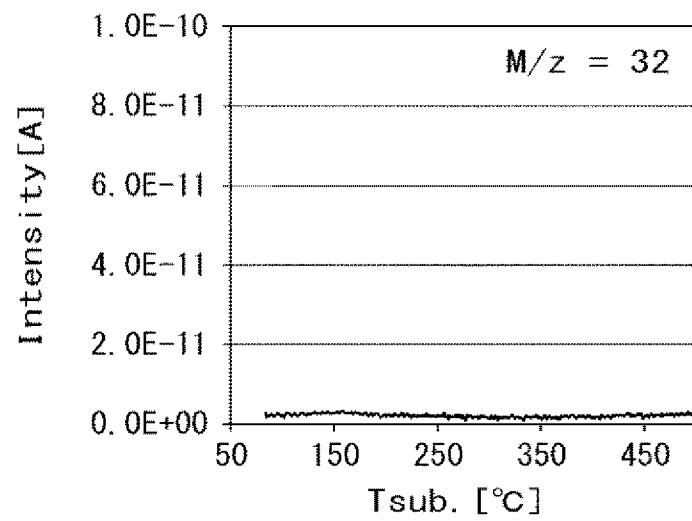


图 7

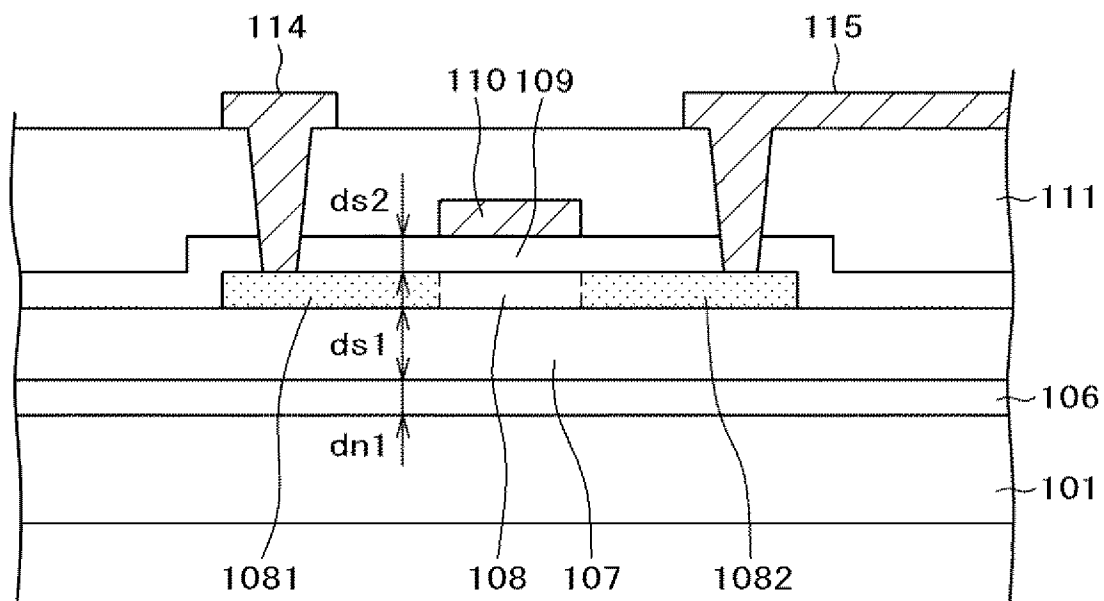
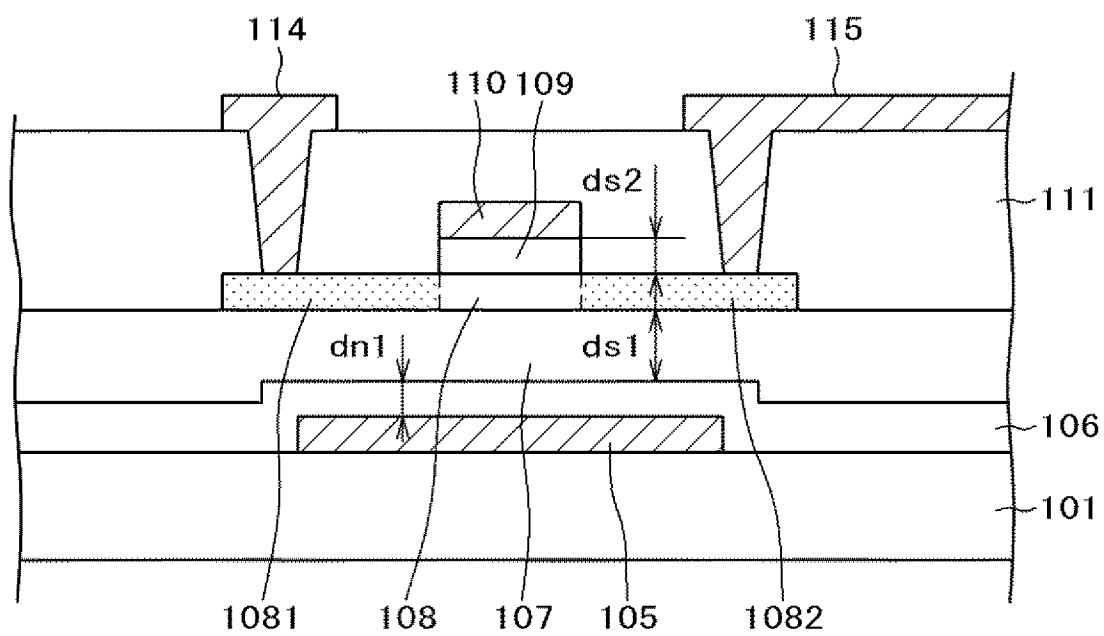
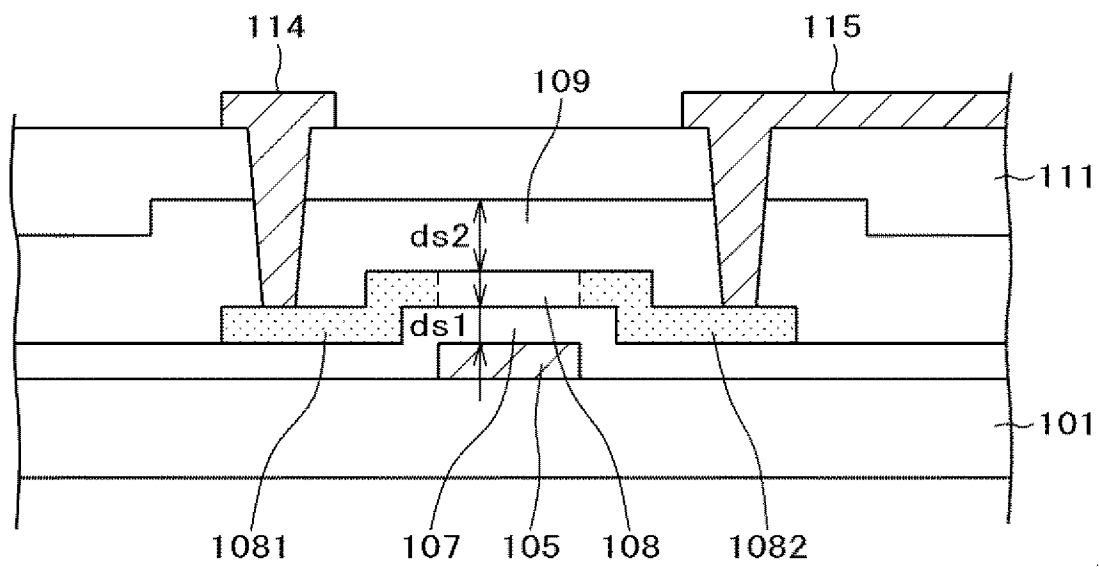


图 8



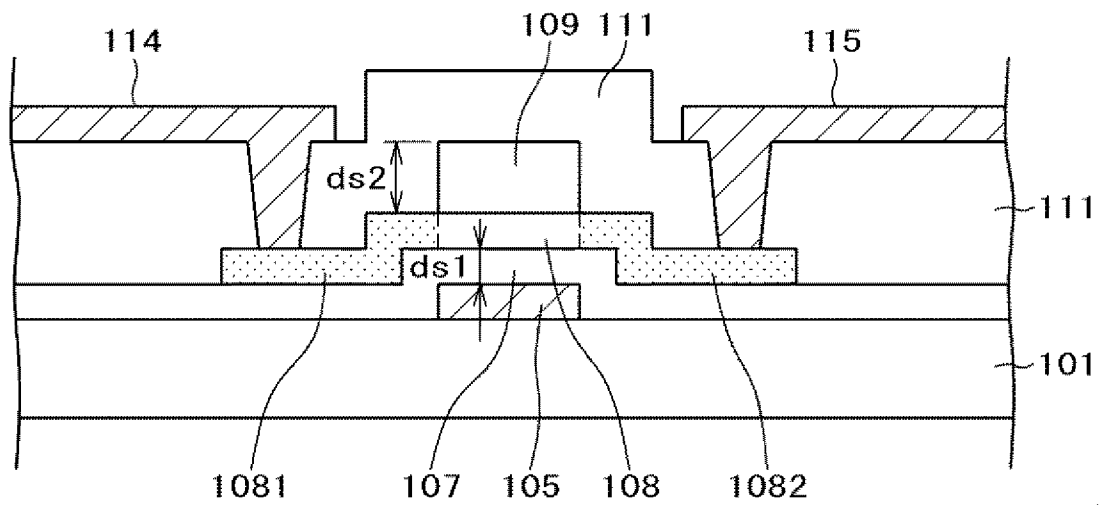
[図9]

図 9



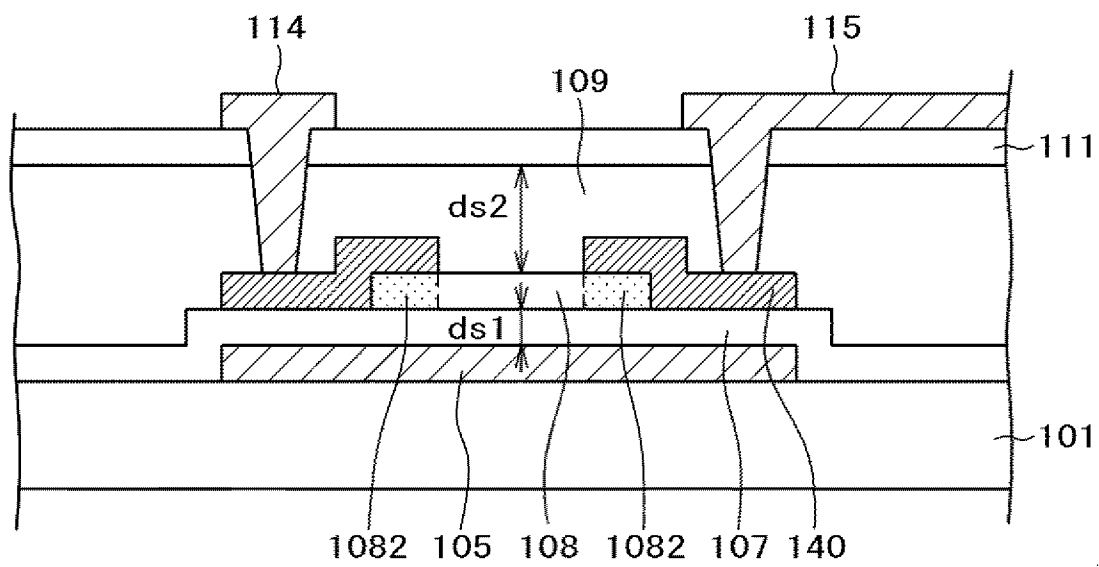
[図10]

図 10



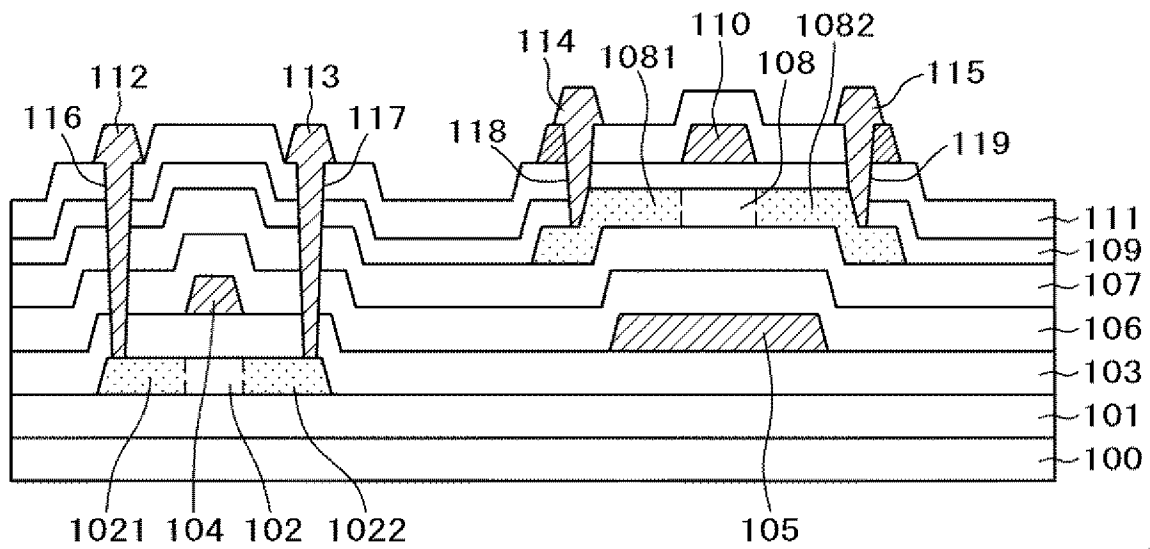
[図11]

図 1 1



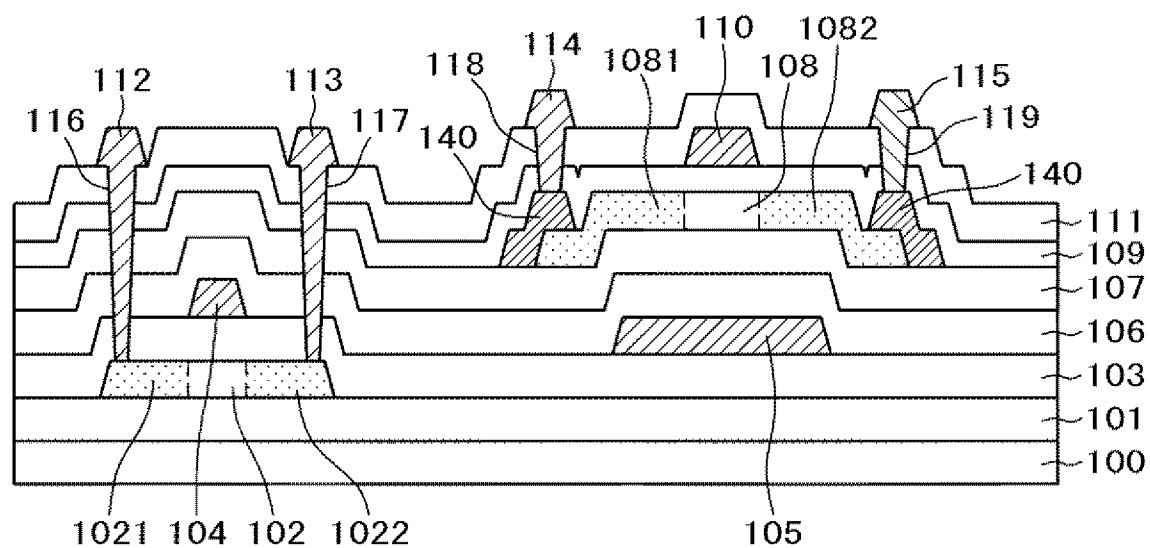
[図12]

図 1 2



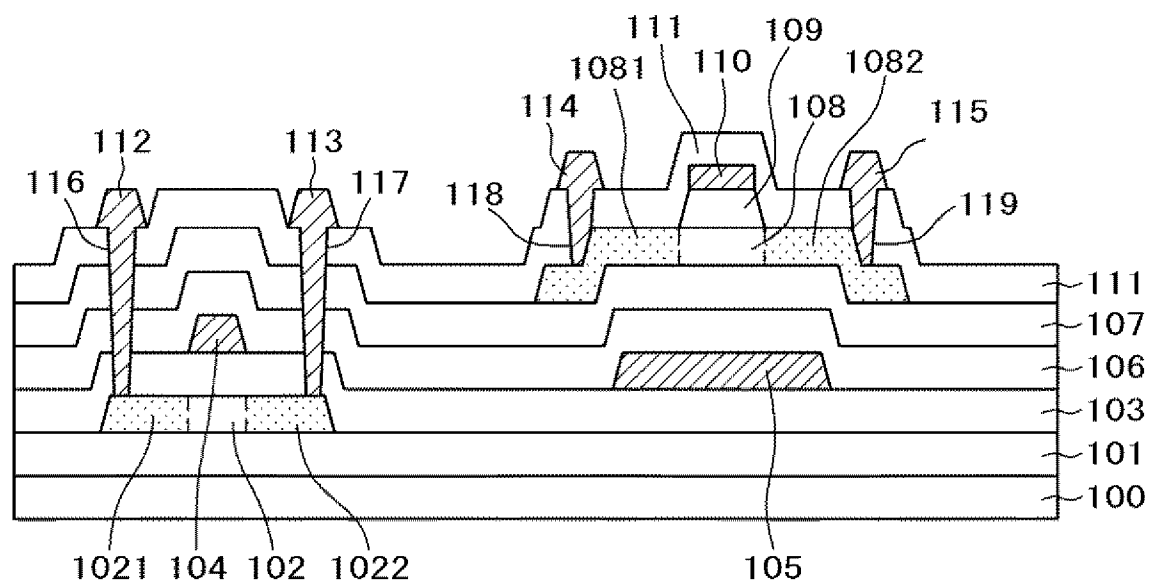
[図13]

図 1 3



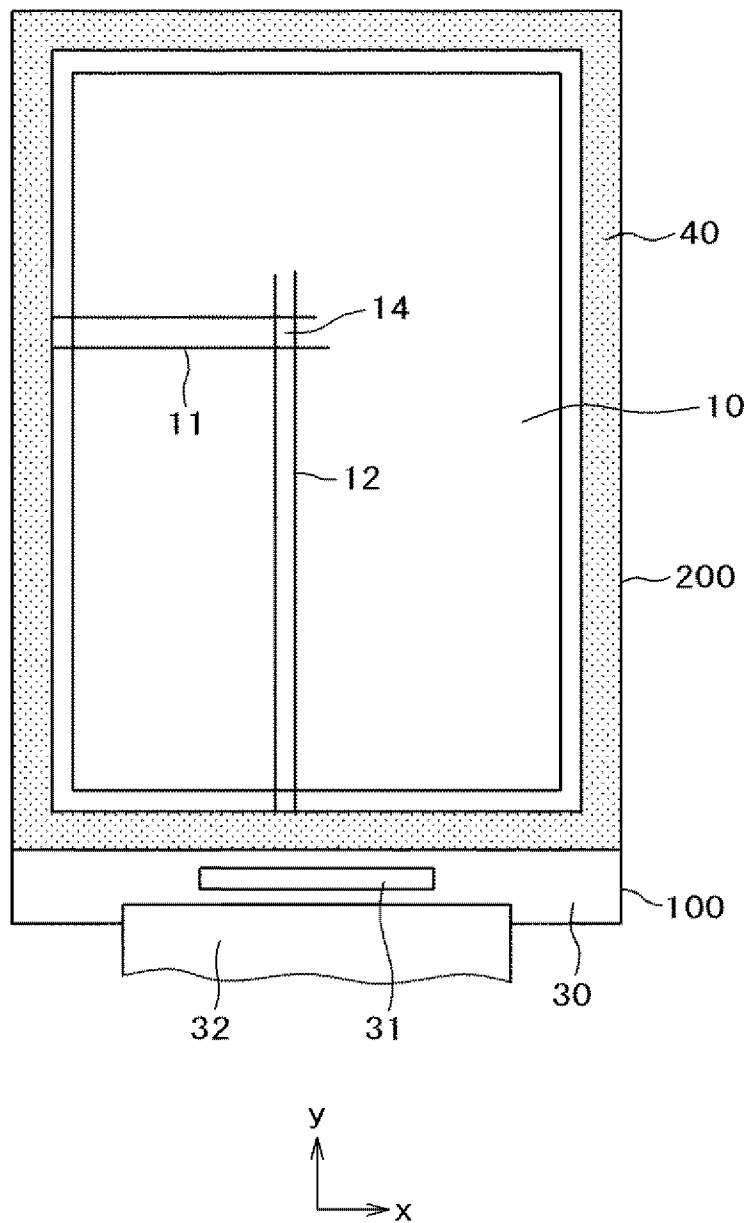
[図14]

図 1 4



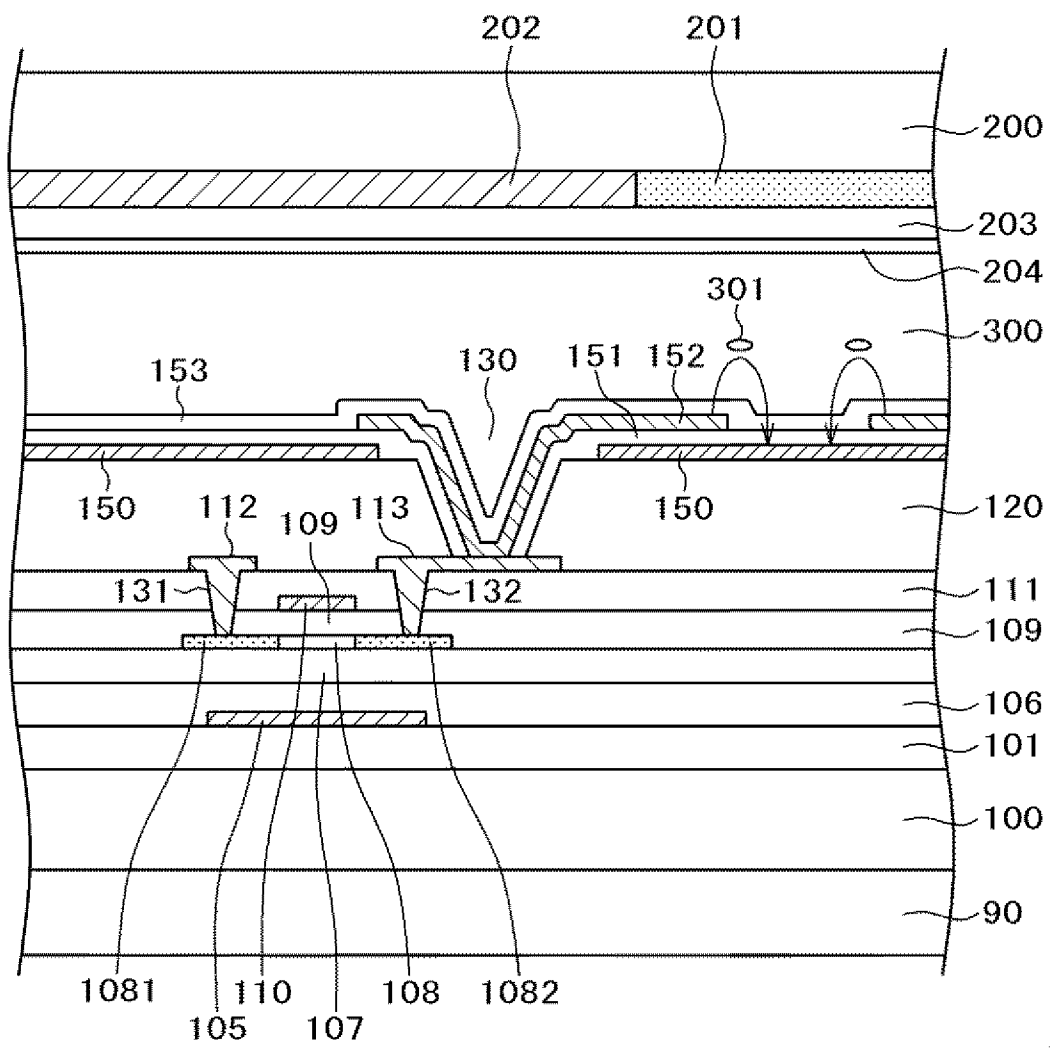
[図16]

図 16



[図17]

図 17



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/044515

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/336 (2006.01) i, G09F9/00 (2006.01) i, G09F9/30 (2006.01) i, H01L27/32 (2006.01) i, H01L29/786 (2006.01) i, H01L51/50 (2006.01) i, H05B33/10 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/336, G09F9/00, G09F9/30, H01L27/32, H01L29/786, H01L51/50, H05B33/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2016-178279 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 06 October 2016, paragraphs [0036]-[0338], [0407]-[0444], [0618]-[0713] & US 2016/0155759 A1, paragraphs [0090]-[0392], [0461]-[0498], [0672]-[0767] & KR 10-2016-0065005 A	1-7, 10, 13-16 8, 9, 11, 12, 17-20
Y	JP 2016-136622 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 28 July 2016, paragraph [0161], fig. 10 & US 2016/0211266 A1, paragraph [0181], fig. 10F	8, 9, 11, 12, 17-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
18.02.2019

Date of mailing of the international search report
26.02.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/044515

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2017-123427 A (JAPAN DISPLAY INC.) 13 July 2017, paragraph [0046], fig. 3 & US 2017/0200829 A1, paragraph [0051], fig. 3 & CN 107017210 A	9, 11, 12, 17-20
Y	JP 2017-183312 A (JAPAN DISPLAY INC.) 05 October 2017, paragraphs [0014]-[0046], [0060]-[0090], fig. 8 & US 2017/0278872 A1, paragraphs [0031]-[0063], [0077]-[0107], fig. 8 & CN 107240608 A & KR 10-2017-0113058 A	11, 12, 17-20
A	WO 2017/188106 A1 (SHARP CORPORATION) 02 November 2017, fig. 4 (Family: none)	1-20

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/336(2006.01)i, G09F9/00(2006.01)i, G09F9/30(2006.01)i, H01L27/32(2006.01)i, H01L29/786(2006.01)i, H01L51/50(2006.01)i, H05B33/10(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/336, G09F9/00, G09F9/30, H01L27/32, H01L29/786, H01L51/50, H05B33/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2016-178279 A (株式会社半導体エネルギー研究所) 2016. 10. 06, 段落[0036]-[0338], [0407]-[0444], [0618]-[0713] & US	1-7, 10, 13-16
Y	2016/0155759 A1, 段落[0090]-[0392], [0461]-[0498], [0672]-[0767] & KR 10-2016-0065005 A	8, 9, 11, 12, 17-20
Y	JP 2016-136622 A (株式会社半導体エネルギー研究所) 2016. 07. 28, 段落[0161], [図 10] & US 2016/0211266 A1, 段落[0181], 図 10F	8, 9, 11, 12, 17-20

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

18. 02. 2019

国際調査報告の発送日

26. 02. 2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

脇水 佳弘

5 F

3464

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2017-123427 A (株式会社ジャパンディスプレイ) 2017.07.13, 段落[0046], [図 3] & US 2017/0200829 A1, 段落[0051], 図 3 & CN 107017210 A	9, 11, 12, 17-20
Y	JP 2017-183312 A (株式会社ジャパンディスプレイ) 2017.10.05, 段落[0014]-[0046], [0060]-[0090], [図 8] & US 2017/0278872 A1, 段落[0031]-[0063], [0077]-[0107], 図 8 & CN 107240608 A & KR 10-2017-0113058 A	11, 12, 17-20
A	WO 2017/188106 A1 (シャープ株式会社) 2017.11.02, [図 4] (ファミリーなし)	1-20