

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 29/76



[12] 发明专利说明书

[21] ZL 专利号 98804966. X

H01L 29/94 H01L 31/062

H01L 31/113 H01L 31/119

H01L 21/283 H01L 21/22

H01L 21/225 H01L 21/265

[45] 授权公告日 2004 年 1 月 21 日

[11] 授权公告号 CN 1135633C

[22] 申请日 1998. 1. 19 [21] 申请号 98804966. X

[30] 优先权

[32] 1997. 1. 23 [33] US [31] 08/787627

[86] 国际申请 PCT/US98/00843 1998. 1. 19

[87] 国际公布 WO98/33218 英 1998. 7. 30

[85] 进入国家阶段日期 1999. 9. 17

[71] 专利权人 弗拉姆技术公司

地址 美国加利福尼亚州

[72] 发明人 R · A · 梅茨勒 V · 罗多夫

审查员 唐跃强

[74] 专利代理机构 中国专利代理(香港)有限公司

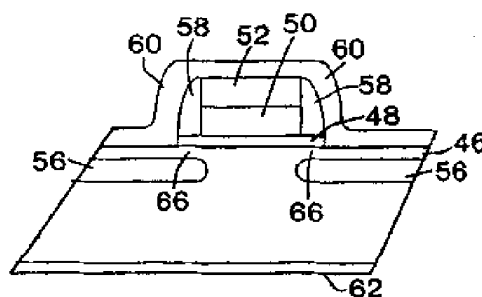
代理人 邹光新 王忠忠

权利要求书 1 页 说明书 9 页 附图 6 页

[54] 发明名称 具有第一和第二二极管接触的二极管

[57] 摘要

一种半导体二极管, 具有低正向导通压降、低反向漏电流和高电压能力, 适合于用在集成电路中和用做分立器件。 可以和具有公用的栅和漏连接的场效应器件的制备一样, 通过提供了很短沟道、浅漏区和纵向缓变结的工艺制备半导体二极管。在特别设置的锥形边缘场氧化物(34)上连续的栅/漏接触层使器件的击穿电压最大。 优选的制造技术利用了四个掩蔽步骤, 都不需要任何苛刻的掩模对准要求。 公开了各种实施例。



I S S N 1 0 0 8 - 4 2 7 4

1. 一种具有第一和第二二极管接触的二极管，包括：
第一导电类型的半导体衬底，具有第一和第二表面并形成第一二极管接触；
- 5 在上述半导体衬底的第一表面上的多个凸台；
 在上述半导体衬底上位于上述凸台之间的第一氧化层；
 在上述凸台上和在上述第一氧化层上具有侧边区域，在上述半导体衬底中的沟道区位于侧边区域下部和上述半导体衬底的第一表面上的第一氧化层下面；
- 10 所述半导体衬底具有在相邻凸台的侧边区域之间和下面具有第二导电类型的掩埋层；以及
 导电层，形成第二二极管接触并电连接凸台上的侧边区域和侧边区域之间的衬底。
- 15 2. 根据权利要求 1 的二极管，其中沟道区具有与衬底不同的电特性。
3. 根据权利要求 1 的二极管，还包括衬底上的第二氧化层，第二氧化层环绕衬底的第一表面的区域，衬底上有多个凸台并在面对多个凸台的它的边缘逐渐减小到最小厚度，导电层形成在第二氧化层的锥形边缘上延伸的第二二极管接触，掩埋层延伸到第一表面并终止在锥形氧化物的区域内。
- 20 4. 根据权利要求 3 的二极管，其中导电层与凸台之间选择区域内的掩埋层电接触。
5. 根据权利要求 3 的二极管，其中掩埋层是穿过锥形氧化物注入的为纵向缓变结的层。
- 25 6. 根据权利要求 5 的二极管，其中向掩埋层和衬底之间的结注入之后第二氧化层的锥形回移。

具有第一和第二二极管接触的二极管

本发明涉及半导体器件及其制造方法的领域。

- 5 现有技术中已公知许多种半导体器件。本发明涉及半导体二极管的制造方法及其制造的二极管，当然这些方法也可以直接适用于晶体管的制造。由于这里的重点是二极管，因此仅讨论与二极管有关的现有技术。

- 10 半导体二极管已广泛用于各种用途的电路中。这种半导体二极管的基本目的是响应于正向偏压使电流正向导通，响应于负偏压阻止电流反向导通。这种整流的功能广泛地用在如各种电源等的电路中以及许多其它的电路中。

- 15 在通常的半导体二极管中，正向导通限制为漏电流值，直到正向偏压达到特定类型的半导体器件的特性值。例如，硅 pn 结二极管不会显著导通直到正向偏压至少约 0.7 伏。由于肖特基势垒的特性，许多硅肖特基二极管可以在如 0.4 伏的较低电压下开始导通。锗 pn 结二极管在室温下的正向导通压降约 0.3 伏。然而，这种二极管目前很少使用，不仅由于它与硅集成电路制造不兼容，而且即使为分立器件，由于它对温度敏感和其它不希望的特性。

- 20 在一些应用中，使用二极管不是由于它们的整流特性，而是由于它们总是正向偏置，从而提供了它们的正向导通压降特性。例如，在集成电路中，连接到晶体管的二极管经常用于提供与电路中另一个晶体管的基极发射极电压基本上相等的正向导通压降。虽然本发明的某些实施例用在所述一般类型的电路中，但这种用途不是它的主要目的。
- 25 的。

- 30 在利用半导体二极管的实际整流特性的电路中，二极管的正向导通压降通常为严重的缺陷。借助具体的例子，在 DC 到 DC 降压转换器中，通常使用变压器，其中使用适当控制器控制的半导体开关周期地将变压器的原边与 DC 电源连接和断开。通过二极管的整流特性或通过另一个半导体开关，副边电压连接到转换器的输出。控制器根据维持需要的输出电压的要求改变占空比或连接到电源的原边的频率。如果使用半导体开关将副边连接到输出，所述第二个开关的操作也由控制

器控制。

使用半导体开关将副边连接到输出的优点是正向导通压降很低，然而缺点是需要始终仔细地控制转换器的工作温度范围，以维持从原边到副边能量转换的效率。使用半导体二极管用于该目的的优点是不需要控制副边开关，但缺点是将半导体二极管的正向导通压降施加在副边电路上。这至少有两个非常严重的缺点。首先，半导体器件的正向导通压降显著降低了转换器的效率。例如，通常在计算机系统中使用的较新的集成电路趋于越来越低的工作电压，例如目前的 3.3 伏、3 伏以及低到 2.7 伏。在 3 伏的电源时，施加 0.7 伏串联压降意味着转换器实际上相当于 3.7 伏的负载，由此转换器的效率限制为 81%，即使在将其它电路的损耗也考虑在内之前。

其次，以上介绍的效率损耗代表二极管中的功率损耗，导致其发热。这限制了集成电路转换器的功率转换能力，在许多应用中，需要使用足够尺寸的分立二极管，由此增加了电路的总体尺寸和成本。

AC 到 DC 转换通常使用的另一个电路是全波桥式整流器，通常连接到原边由 AC 电源驱动的变压器的副边绕组。这里两个二极管压降施加在峰值 DC 输出上，使利用常规二极管的电路效率特别低，增加了电路产生的热，根据提供的 DC 电源需要通过大的分立器件、散热结构等散热。

因此，具有低正向导通压降的半导体二极管用做电路中的整流元件将非常有利，其中可以随时对二极管施加正向和反向偏压。虽然分立形式的这种二极管有很多应用，但还是希望这种二极管与集成电路制造技术兼容，以便可以将集成电路形式的这种二极管制作为更大规模集成电路的一部分。此外，虽然通常不希望有反向漏电流，并且其一般必然由额外的正向导通电流组成，由此降低了电路效率，反向漏电流对一些电路有其它和更严重的负面影响。因此，还进一步希望这种半导体二极管有低反偏漏电流。

这里公开了一种半导体二极管，具有低正向导通压降、低反向漏电流和高电压能力，适合于用在集成电路中和用做分立器件。可以和具有公用的栅和漏连接的场效应器件的制备一样，通过提供了很短沟道、浅漏区和纵向缓变结的工艺制备半导体二极管。在特别设置的锥形边缘场氧化物上连续的栅/漏接触层使器件的击穿电压最大。优选的

制造技术利用了四个掩蔽步骤，都不需要任何关键的掩模对准要求。下面公开了各种实施例。

图 1 为公知的 AC 到 DC 转换器的电路图，使用了本发明于其中的全波桥式整流器。

5 图 2a 和 2b 示出了根据本发明连接场效应器件的二极管，示意性地显示为连接场效应器件的 n 沟道和 p 沟道二极管。

图 3a 到 3v 示出了制造本发明的优选实施例的示例性工艺中的步骤。

图 3w 和 3x 示出了制造本发明的另一工艺的步骤。

10 图 4 为当对本发明的优选实施例施加 80 伏的反向偏压时，pn 结两侧上和氧化物中的电力线的计算机模拟再现。

图 5a 到 5c 示出了本发明的另一示例性制造方法。

现在参考图 1，可以看到公知的 AC 到 DC 转换器的电路图，使用了本发明于其中的全波桥式整流器。在所述电路中，变压器 20 用于提供原边和副边电路之间的 DC 隔离，并频繁地将 AC 升压或降压到由二极管 D1、D2、D3 和 D4 组成的全波桥上。当副边引线 22 相对于副边引线 24 为正时，二极管 D2 将导通，通过电阻 26 对电容器 28 充电或进一步充电，将电流提供到负载 30，电流通过二极管 D3 返回到变压器的引线 24。类似地，在 AC 输入电压的另外半个周期中，当副边引线 24 上的电压相对于副边引线 22 为正时，二极管 D4 将导通，电流通过电阻 26 对电容器 28 充电，并将电流提供到负载 30，电容器和负载电流穿过二极管 D1 返回到副边引线 22。由此可以看出，每次电流从二极管 D1 到 D4 的全波桥传送到桥的输出，两个二极管压降串联地施加在输出上。此外，由于有当变压器 20 的副边上的电压超过电容器 28 上的电压两个二极管压降时仅导通任何一对二极管，可以清楚只有在一部分时间，即当变压器的副边电压等于或靠近正或负峰值时，电流才传送到桥的输出。

图 1 的电路仅为要使用本发明的电路类型的一个示例。这些电路可以称为在两个二极管连接上对二极管施加正（正向）和负（反向）差分电压，二极管的功能为整流功能，提供 DC 或整流的电流输出的电路。这可以与二极管需要的功能是在当导通电流时响应于二极管的正向导通压降特性提供电压参考的应用区分开，无论二极管使用时是否也

被施加负差分电压。这些电路还可以称为在二极管连接上对一个或多个二极管施加正和负差分电压，一个或多个二极管的功能是功率整流功能，提供足够功率级别的 DC 或整流的电流输出，以对与其连接的一个或多个电路供电的电路。这可以与二极管需要的功能是提供在没有被二极管的 DC 或整流的电流输出供电的随后的电路中使用或处理的信号级电流输出的应用区分开。

在图 1 所示类型的许多电路中，除了滤波电容器 28 之外，还可以在输出中使用线性调压器。此外，起限流电阻作用的电阻器 26 可以作为单独的电路部件省略掉，以利于变压器的副边电阻，对于变压器，为了基本上所有的应用起见，电阻器为足够尺寸的实际上分立部件以耗散其中的功耗。然而，本发明最重要的是二极管 D1 到 D4 自身，这些二极管中的功耗通常没有起到需要的电路功能的作用，而且仅产生不希望的功耗和热，需要使用更大的二极管，无论是分立形式的或集成电路形式的，实际上增加了需要提供所述额外功率输出的变压器的尺寸，例如，负载需要的功率加上二极管消耗的功率。本发明致力于实现具有低二极管正向导通压降、低反向漏电流和高电压容量的二极管和/或二极管功能，基本上用于所述电路和实际上对二极管施加正向和反向偏压的其它电路中。本发明通过使用连接场效应器件的二极管实现，示意性地显示在图 2a 和 2b 中的分别为连接到场效应器件的 n 沟道和 p 沟道二极管。根据本发明的优选实施例，通过使用共用栅和漏连接，通常为衬底上的共用导电层，优选通过能增强所得器件电特性的一个或多个特殊制造技术制造这种器件。

这里参考图 3a 到 3v 介绍本发明的优选实施例的制造工艺。图 3a 示出了硅衬底 32，在图 3a 和随后的一些图中，硅衬底 32 认为是芯片尺寸的衬底，显然大量的这种芯片制备在单个硅晶片上，这是本领域已公知的。在介绍的具体实施例中，衬底为 n 型衬底。第一步骤是生长厚氧化硅层 34，如图 3b 所示。然后，如图 3c 所示，淀积薄氧化层 36，设置光刻胶层 40，限定最终的电路将形成其中的窗口。然后使用湿腐蚀（图 3d）腐蚀薄和厚氧化区。然而为淀积区的薄氧化区的腐蚀比厚氧化区快得多，使腐蚀剂钻蚀光刻胶 40 形成穿过厚氧化物的具有锥形侧壁 44 的开口 42。优选锥形侧壁的高宽比在 1 比 5 到 1 比 10 的级别。此后，如图 3e 所示，除去光刻胶，如果需要，也可以除去薄氧

化层。这样限定出具有穿过厚氧化物 34 的开口或窗口 42 的芯片区域 (图 3f), 限定出电路区域, 显示在图 3f 中的芯片区域当然可以在硅晶片上重复很多次。

在图 3g 中, 在厚氧化物中的窗口限定的衬底区域上生长薄氧化层 48。该层变成栅氧化物, 优选具有约 250 埃的厚度。然后如图 3h 所示, 如砷层的薄 n 型层 46 穿过栅氧化层 48 注入到厚氧化物中的窗口限定的整个衬底区域内。优选该层在衬底中仅约 200 埃深, 由于它的掩蔽效果, 该层终止在锥形厚氧化物的下 (薄) 边缘附近。(这也可以在图 3t 中看到, 与图 3g 相比放大了比例)。然后, 如图 3i 所示, 氮化物层 50 和多晶硅层 52 设置其上。构图氮化物层 50 和多晶硅层 52 形成多个凸台 (pedestal), 一般由图 3j 中的数字 54 表示。这些凸台可以为任何合适的形状, 例如圆形、六角形、矩形或方形。对此, 在介绍的实施例中, 凸台约 1 平方微米, 排列成二维阵列, 由此一般的电路有 1.2 百万个这种凸台。然而另一实施例使用约 1 微米宽的矩形凸台, 但长度为几微米, 所以电路一个方向尺寸上凸台的数量远小于 (少到一个) 电路第二个方向尺寸上凸台的数量。在任何一种情况中, 通过设置光刻胶层、构图光刻胶然后等离子体腐蚀形成凸台, 由此凸台有基本上直 (垂直) 的侧壁, 与湿腐蚀通常形成的一定程度的锥形侧壁相反。

此外, 凸台可以由其它的材料制成, 例如淀积氮化物、氧化物、氮化物的夹层而不是多晶硅层。凸台可以整体不导电, 或如果有导电层, 应与下面的衬底绝缘。由此本实施例凸台下的薄氧化层可以认为是凸台自身的一部分, 与凸台之间的区域上延伸的相同层的薄氧化物分开和分离。例如, 等同的结构可以通过以下步骤制造: 首先通过在衬底上形成一层或多层来形成凸台, 至少第一层是如氧化物或氮化物等的介质 (电绝缘体) 层, 然后根据已介绍的腐蚀一层或多层来形成壁基本上垂直的凸台, 露出凸台之间的衬底。然后薄氧化层可以生长在凸台之间的区域内。

然后, 如图 3k 所示, 淀积如多晶硅或氧化物等的材料薄层 55, 优选约 1000 埃厚。由于有一淀积层, 该层在所有的表面上有近似相同的组成, 无论是水平还是垂直。然而, 在随后的等离子体腐蚀中, 可以基本上均匀地除去该层, 不仅在垂直方向中。由此, 随后的 1000

埃的等离子体腐蚀将从水平表面上除去该层，留下凸台侧面上的区域 55，每个约 1000 埃厚，可以从图 3n 中看到。

显示在图 31 中的下一步骤是穿过薄氧化物 48，注入 p^+ 区域 56 在硅衬底 32 中的深度足以不将图 3g 的 n 区 46 转变为 p 区，但在紧邻的下面设置了 p^+ 区域。通常所述 p^+ 区域厚度在 2000 埃的数量级，在优选的实施例中通过注入硼形成。由于所述厚度（以离子注入的能量反映出），锥形厚氧化区域下的那部分区域（见图 3t）也被注入到，在 p^+ 注入区域和 n 型衬底之间形成纵向缓变结。所述缓变结特征为所得的 pn 结的平缓曲线从已有浅结到锥形厚氧化物 44 下衬底表面，通常在到锥形一半的级别上。

注入之后，通过腐蚀除去薄区域 55。要最好地适应薄区域 55 的去除，使用与凸台不同材料的区域 55 更方便，由此可以使用选择性腐蚀除去所有的薄区域 55，同时不影响凸台。

然后，如图 3m 所示，淀积多晶硅层 58，此时优选约 0.5 微米厚。此外，由于这是淀积的层，多晶硅在所有的表面上的生长基本相同，无论是水平的或是垂直的方向。然而在随后的等离子体腐蚀中，仅在垂直的方向多晶硅将基本上被均匀地除去。由此，随后 0.5 微米的等离子体腐蚀将从水平表面上除去多晶硅，但留下凸台侧面上的多晶硅区域 58，从图 3n 可以看出。

此外，可以使用其它的材料，例如通过设置约 250 埃厚的硅化物层，之后为约 250 埃厚的氧化物，代替多晶硅（硅化物通常更薄，通常需要如多晶硅或氧化物等适当的间隔层材料，以获得需要的厚度）。

在该制造阶段，电路通常示意性地显示在图 3o 中。如前所述，在该示例性实施例中，使用方形凸台，以便在锥形厚氧化的窗口中（见图 3e），有多个基本上为方形凸台的二维阵列。此外，如前所述，凸台在一个方向尺寸上较长，而在另一个方向尺寸上较小，在当前的优选实施例中较小的（或二维）尺寸约为 1 微米。

显示在图 3p 中的下一制造步骤是除了凸台掩蔽的区域外，腐蚀掉薄氧化物。作为所述腐蚀的一部分或单独的腐蚀，对厚氧化物 34 进行控制腐蚀，以将锥形区域 44 的端部（图 3t）移回到硅衬底表面的 pn 结的大约一半处（图 3u）。此外，使用光刻胶掩模，将硼注入到电路的整个区域的一小部分内，将 n 型区域 46 的对应部分转换为 p^+ 区域

56, 以电接触到如图 3q 所示的下面的 p^+ 区域。在限定的区域内电连接 p^+ 区域 56 的目的是提供确定它的电压的机会, 否则 p^+ 区域将为浮置区域。由于 p^+ 区域和周围的 n 区域之间的 pn 结总是反偏, p^+ 区域 56 不是电流流过区域, 因此与大多数电路中接触其上 n 区域 46 的区域相比, 所述接触的区域可以有目的地保持得很小。由此, 也应注意如 3p 5 等的图示出的 p^+ 区域 56 相互由凸台隔开, 凸台之间的 p^+ 区域相互连, 如图 3o 所示, 由此 p^+ 区域 56 为具有开口阵列的多孔的单个区域, 每个凸台有一个。

最后, 在衬底上的窗口 42 内的电路上 (图 3f) 以及厚氧化物上的锥形区域 44 上 (见图 3v) 淀积一个或多个互连层 60。所述互连层在大多数的电路区域上 (图 3r) 电接触 n 区 46, 在小部分的电路区域中电接触 p^+ 区域 56 (图 3s)。互连层可以是单个层或多层, 例如多晶硅、硅化物和/或金属层。互连层形成所得二极管的阳极, 将多晶硅栅区 58 (和氮化物区域 50 以及多晶硅区域 42) 与漏区 46 (图 3r) 和 p^+ 15 区域 56 (图 3s) 互连。源连接由金属化层 62 制作在衬底的背面 (图 3r 和 3s)。漏区 46 和源区 64 之间为很短的沟道区 66, 在器件的制造期间, 主要由约 0.5 微米宽的多晶硅区域 58 限定。

通过适当选择掺杂剂和它们的浓度, 以及其它材料和器件的尺寸, 沟道区域可以制作得在零正向偏置时刚好导通。此时, 模拟显示 20 通过向接触层 60 施加相对于接触层 62 为正电压来正向偏置器件, 该电压大约小于一伏的十分之二, 将提供比反向漏电流大至少两个数量级的正向电流。模拟还显示一伏的十分之三数量级的正向偏置将提供比反向漏电流至少大三个数量级的正向电流。由此, 在如电源等的实际的整流应用中, 显然本发明减小了整流器件中的功耗和发热, 所得 25 电路有更高的总效率。

相对于所得二极管的反向击穿电压, 反向偏压出现在 p^+ 区域 56 和 n 型衬底 32 之间 (见图 3v)。由以前介绍的纵向缓变结制造技术得到与它的边缘相邻的 p^+ 区域 56 的浅曲率, 避免了该区域内电力线的集中。类似地, 厚氧化物 34 的锥形区域 44 上上部互连层 60 的延伸实际上从衬底到氧化硅继续了等位线, 没有集中。图 4 所示为当对器件进行 30 80 伏的反向偏置时, pn 结两侧上和氧化物内电力线的计算机模拟重现。虽然电力线往往会在氧化硅内聚集在一起, 氧化硅的特征为比

硅衬底的击穿电压高。然而，在衬底中，电力线密度很小，器件的反向击穿电压接近于硅衬底自身的固有反向击穿电压。通过将厚氧化物44的锥形端部移回到 p^+ 区域56和n型衬底之间形成的pn结的大约一半处（pn结在衬底的表面）可以使该效应最大。然而，采用本发明的

5 缓变结，通过省略控制厚氧化物34的腐蚀以使锥形区域44的端部（图3t）移回到硅衬底表面的pn结的步骤（图3u），仍可以获得有利的效果。由于结的较好的纵向梯度，以及锥形厚氧化物上计算到场板的锥形空间，基本上减小了其它公知技术造成的衬底中电力线的集中。

在以上介绍的器件的制造中，通常使用了四个掩模。第一个掩模

10 用于构图光刻胶40（图3c），其作用是限定锥形厚氧化物环绕的衬底窗口的位置。所述对准当然不重要。第二个掩模是凸台掩模，限定了窗口内凸台的位置。由于外凸台和锥形厚氧化物之间提供的间距，没有任何其它的具体对准要求，相对于第一掩模的凸台掩模的对准同样不重要。第三掩模是限定了小部分电路区域的掩模，硼注入区域将注

15 入硼以与下面注入硼的 p^+ 区域电连接。由于在电路上发生此并不重要，因此相对于以前的两个掩模，所述掩模的定位也不重要。最后，限定作为互连层的薄层的掩模也同时限定在锥形厚氧化物上向上延伸成一体场板层。此外，相对于以前三个掩模的位置，所述对准也不重要。因此，相对于这里前面介绍的制造技术，没有重要的掩模对准

20 要求，由此相对于处理常规器件通常要求的要求相比，可以使用较粗的对准。

在以上的说明中，生长薄氧化层48之后注入n型层46（图3h）。此外，形成凸台之后可以代替进行n型注入（图3j）。此时，注入之前凸台区如图3w所示，注入之后凸台区如图3x所示。显然图j之后的图也相应地改变。

25

本发明的另一制造方法可以参考图5a到图5c。在图5a中，形成图3p的结构之后，淀积氮化钛层（TiN），等离子体腐蚀留下TiN侧区域70，将形成栅区域的侧边区域58电连接到衬底区域46。然后进一步注入硼将 p^+ 区域延伸到衬底的表面，如图5b所示。最后，淀积另外

30 一层或多层导电层，例如图5c中所示的TiN层72和硅化钨层74。在所述过程中，TiN侧壁区70提供了与栅区58和衬底的良好电连接，使凸台之间的其余衬底区域转换为 p^+ 。这样省略了一个掩蔽步骤，即

用于将凸台(图 5p)之间的一小部分衬底区域转换为 p^+ 区域(图 3q)。虽然在对准中掩蔽步骤不重要,但省略该步骤简化了工艺。因此,注意例如不掩模凸台在整个区域上进行硼注入,凸台侧壁或顶上的任何注入都不重要。

- 5 在以上一些例子的说明中,介绍了一些可替换材料和方法。然而应该指出,确定出特定的替代材料和工艺不能推断出从本发明中可以排除制造工艺或所得二极管器件中的这些或其它步骤使用的其它材料和工艺。相反,这里公开以外的步骤和材料对本领域的技术人员来说很显然。由此,虽然参考一些优选实施例公开和介绍了本发明,但本
- 10 领域的技术人员应该明白可以在不脱离本发明的精神和范围修改本发明的二极管和及其制造方法。

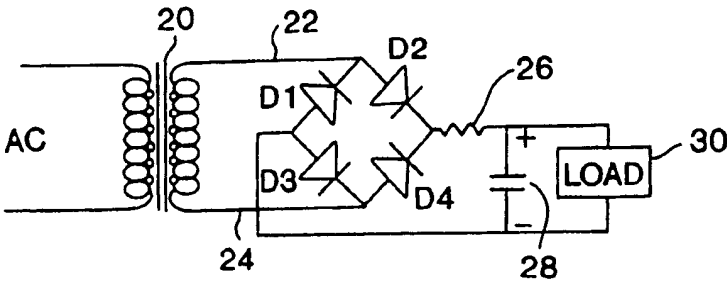


图 1

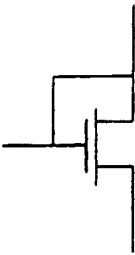


图 2A

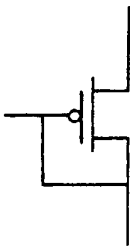


图 2B

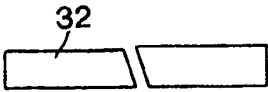


图 3A



图 3B

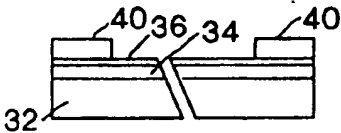


图 3C

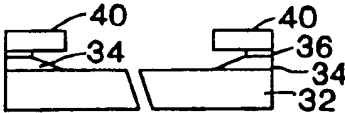


图 3D

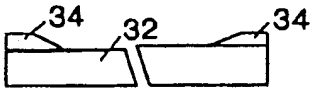


图 3E

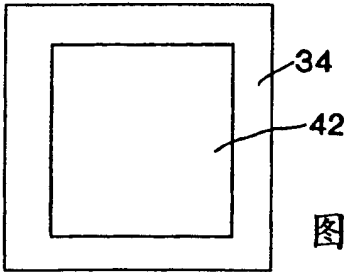


图 3F

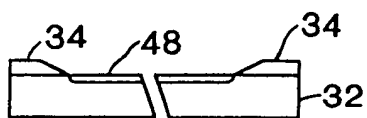


图 3G

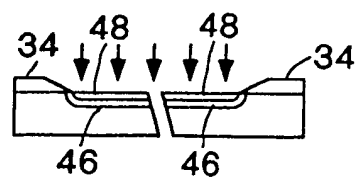


图 3H

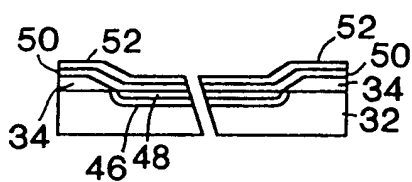


图 3I

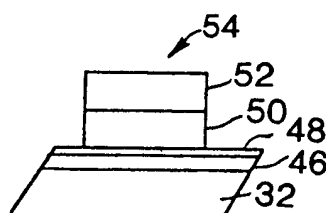


图 3J

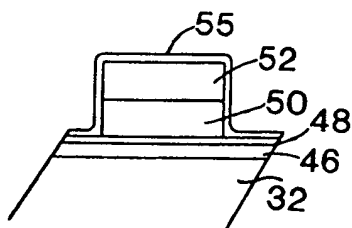


图 3K

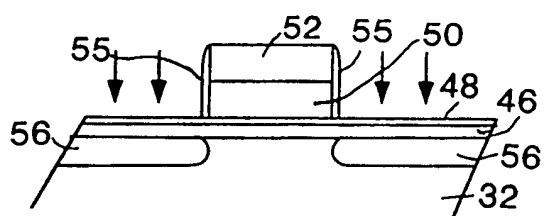


图 3L

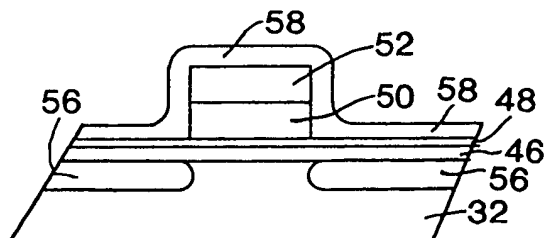


图 3M

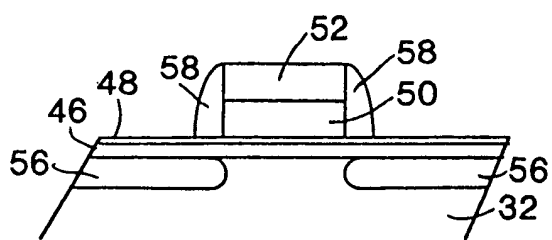


图 3N

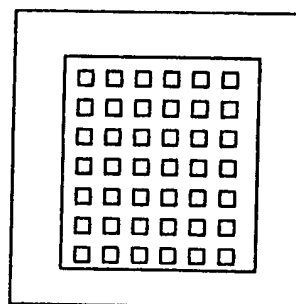


图 30

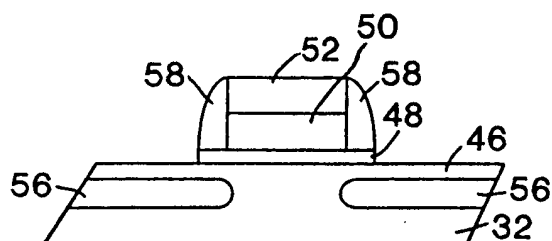


图 3P

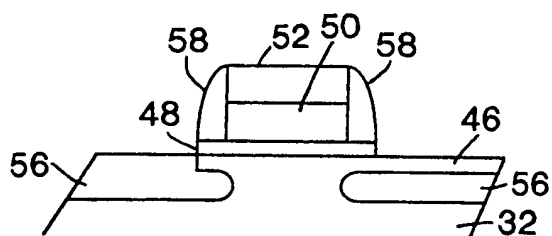


图 3Q

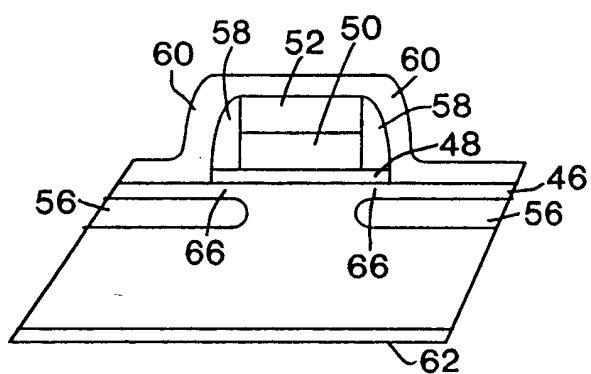


图 3R

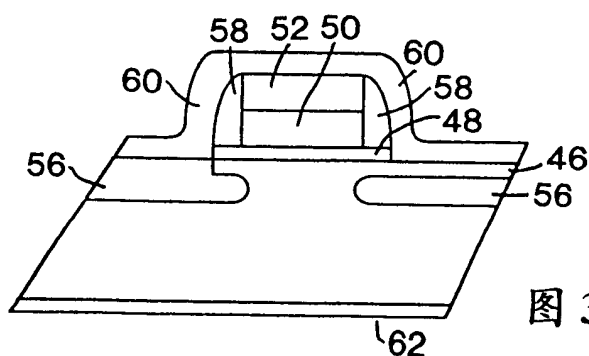


图 3S

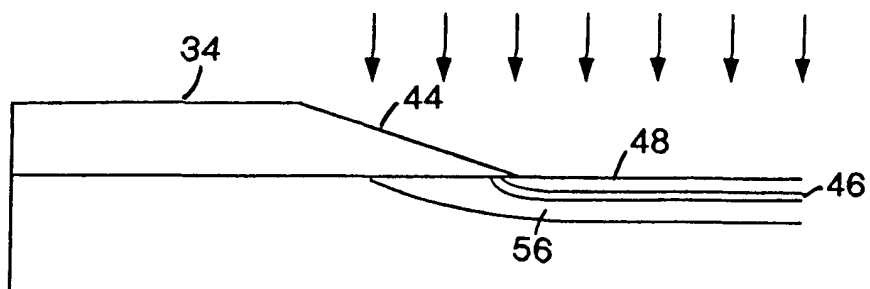


图 3T

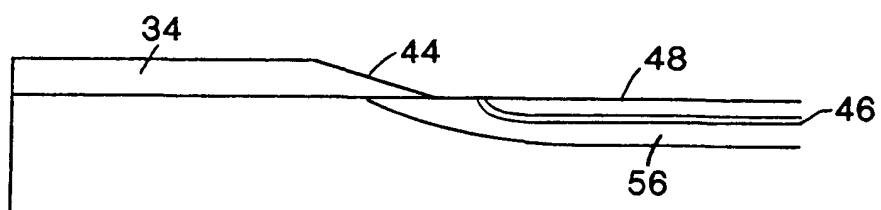


图 3U

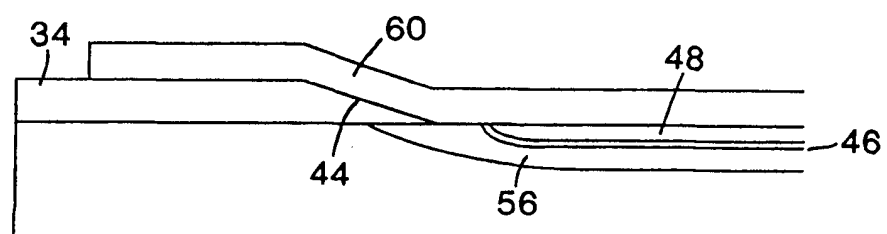


图 3V

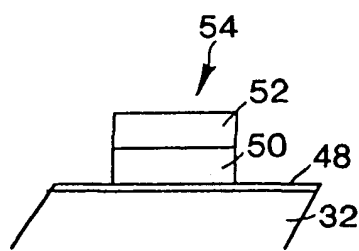


图 3W

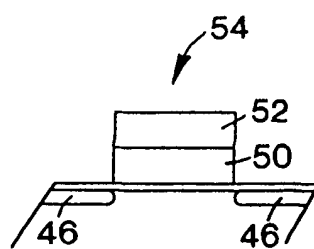
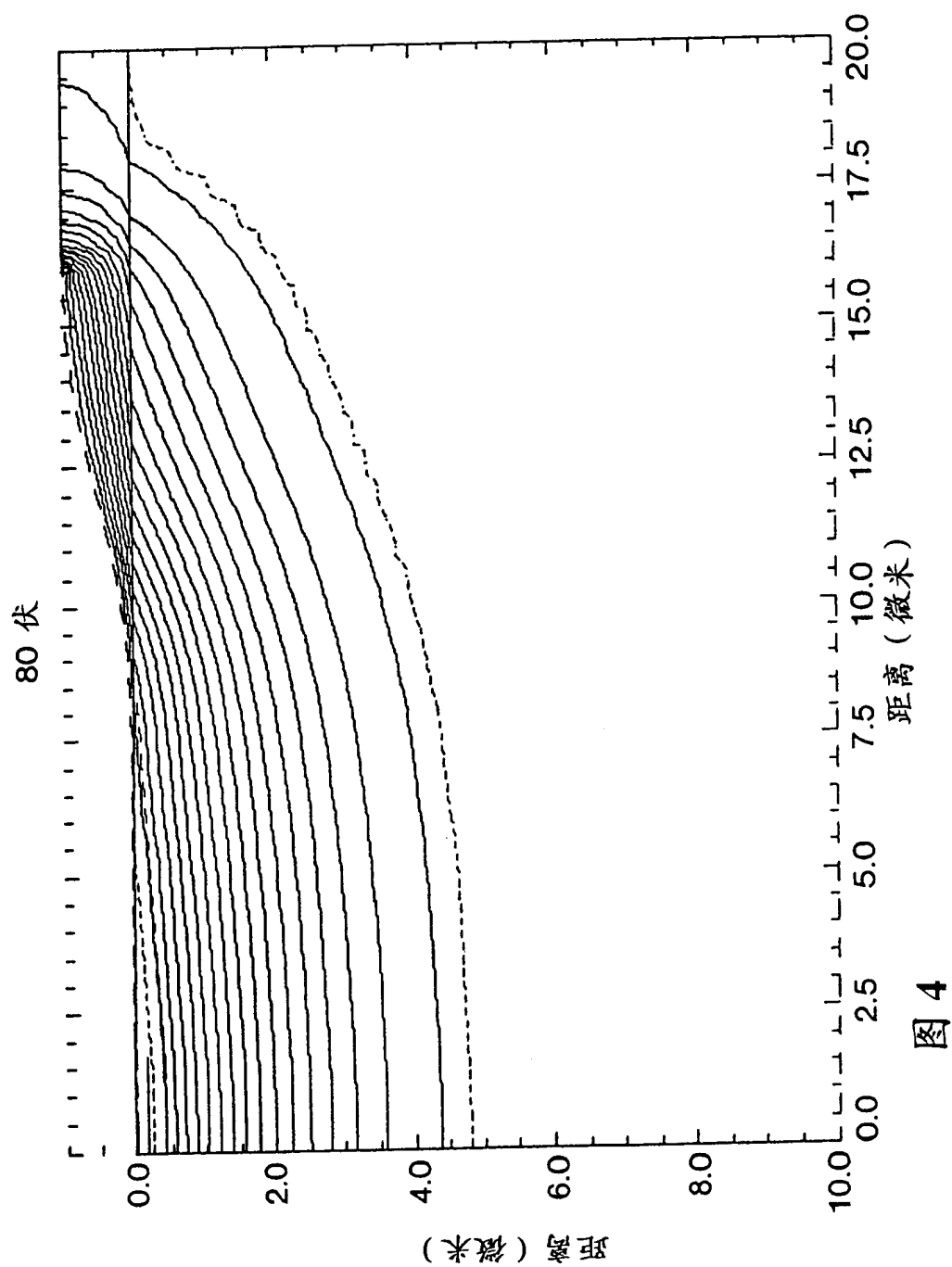


图 3X



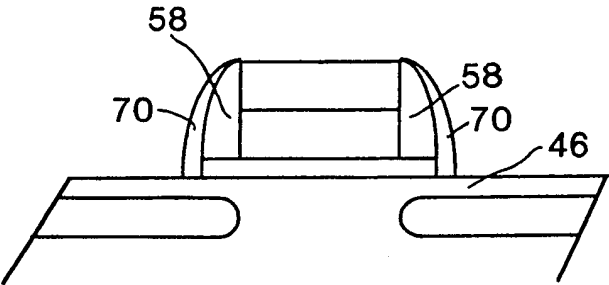


图 5A

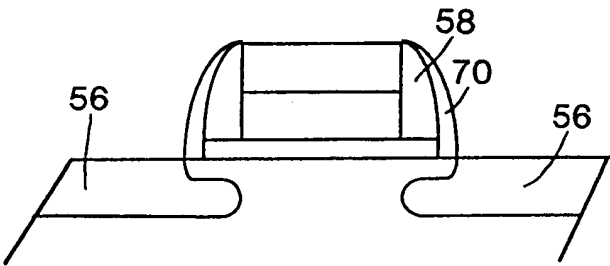


图 5B

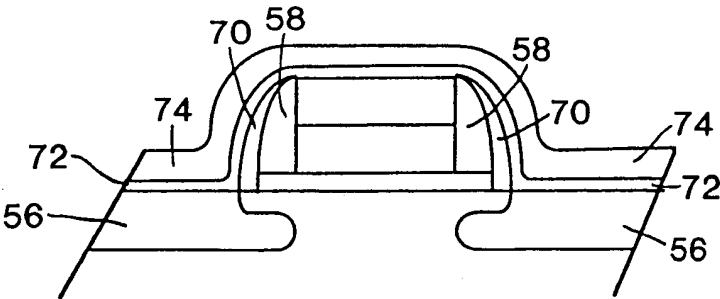


图 5C