



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.	(45) 공고일자	2006년12월22일
<i>G11C 16/00</i> (2006.01)	(11) 등록번호	10-0660546
<i>G11B 20/10</i> (2006.01)	(24) 등록일자	2006년12월15일
<i>G06F 13/00</i> (2006.01)		

(21) 출원번호	10-2005-0107753	(65) 공개번호
(22) 출원일자	2005년11월10일	(43) 공개일자
심사청구일자	2005년11월10일	

(73) 특허권자	삼성전자주식회사 경기도 수원시 영통구 매탄동 416
(72) 발명자	이정우 서울 관악구 봉천5동 관악드림타운 132-1802 유동열 경기 화성시 태안읍 반월리 신영통 현대아파트 212동 1103호
(74) 대리인	권혁수 송운호 오세준

심사관 : 조명관

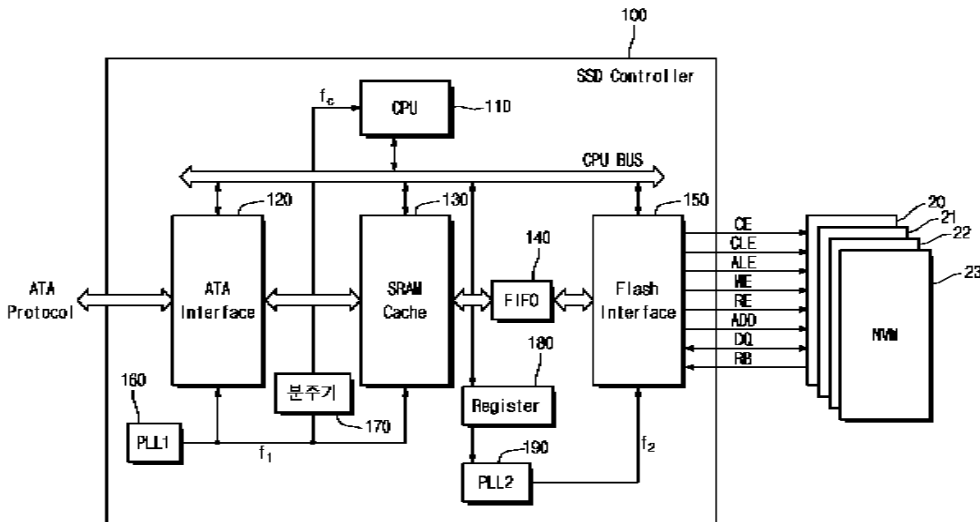
전체 청구항 수 : 총 30 항

(54) 반도체 디스크 제어 장치

(57) 요약

본 발명은 외부와 플래시 메모리 사이의 데이터 교환을 제어하는 반도체 디스크 제어 장치에 관한 것으로, 상기 플래시 메모리와 인터페이싱 하는 플래시 인터페이스; 외부와 인터페이싱 하는 호스트 인터페이스; 상기 호스트 인터페이스로 제 1 구동 클럭을 공급하는 제 1 클럭 발생기; 상기 플래시 인터페이스로 상기 제 1 구동 클럭과는 다른 주파수 분주 범위의 제 2 구동 클럭을 공급하는 제 2 클럭 발생기를 포함한다.

대표도



특허청구의 범위

청구항 1.

외부와 플래시 메모리 간의 데이터 교환을 제어하는 반도체 디스크 제어 장치에 있어서,

상기 플래시 메모리와 인터페이싱 하는 플래시 인터페이스;

외부와 인터페이싱 하는 호스트 인터페이스;

상기 호스트 인터페이스로 제 1 구동 클록을 공급하는 제 1 클록 발생기;

상기 플래시 인터페이스로 제 2 구동 클록을 독립적으로 공급하는 제 2 클록 발생기를 포함하는 반도체 디스크 제어 장치.

청구항 2.

제 1 항에 있어서,

상기 제 2 구동 클록은 상기 제 1 구동 클록의 주파수 분주 범위에 속하지 않는 클록 신호를 포함하는 것을 특징으로 하는 반도체 디스크 제어 장치.

청구항 3.

제 2 항에 있어서,

상기 주파수 분주 범위는 클록 신호의 주파수를 정수로 나눈 크기의 주파수를 갖는 클록 신호들의 집합인 것을 특징으로 하는 반도체 디스크 제어 장치.

청구항 4.

제 2 항에 있어서,

상기 제 2 구동 클록은 상기 플래시 인터페이스와 상기 플래시 메모리와의 데이터 교환속도가 최적화되는 주파수의 클록 신호인 것을 특징으로 하는 반도체 디스크 제어 장치.

청구항 5.

제 1 항에 있어서,

상기 플래시 인터페이스의 전단에 선입-선출 버퍼(FIFO)를 포함하여 상이한 주파수로 동작하는 구성 간의 데이터 교환을 중재하는 것을 특징으로 하는 반도체 디스크 제어 장치.

청구항 6.

제 1 항에 있어서,

상기 제 1 클록 발생기 및 제 2 클록 발생기는 위상고정루프인 것을 특징으로 하는 반도체 디스크 제어 장치.

청구항 7.

제 1 항에 있어서,

상기 제 2 클록 발생기는 상기 반도체 디스크 제어 장치 외부에 설치될 수 있는 것을 특징으로 하는 반도체 디스크 제어 장치.

청구항 8.

제 1 항에 있어서,

상기 제 2 클록 발생기의 발생 주파수를 설정하는 주파수 데이터를 로드하는 레지스터를 더 포함하는 반도체 디스크 제어 장치.

청구항 9.

제 8 항에 있어서,

상기 주파수 데이터는 상기 제 2 클록 발생기의 출력 주파수를 설정하는 로킹 데이터(Locking Data)인 것을 특징으로 하는 반도체 디스크 제어 장치.

청구항 10.

제 9 항에 있어서,

상기 로킹 데이터가 디폴트값으로 설정되는 경우에는 상기 제 2 클록 발생기는 상기 제 1 구동 클록을 출력하고, 최적 모드로 설정되는 경우에는 상기 제 2 구동 클록을 출력하는 것을 특징으로 하는 반도체 디스크 제어 장치.

청구항 11.

외부와 데이터를 교환하는 제 1 인터페이스;

상기 제 1 인터페이스로 출입하는 데이터가 일시 저장되는 캐시 메모리;

불휘발성 메모리와 데이터를 교환하는 제 2 인터페이스;

상기 캐시 메모리와 상기 제 2 인터페이스 간에는 상이한 주파수로 구동되는 장치 간의 데이터 이동을 중재하는 선입-선출(FIFO) 버퍼;

상기 제 1 인터페이스와 상기 캐시 메모리로 제 1 구동 클록을 공급하는 제 1 클록 발생기;

상기 제 2 인터페이스로 공급될 제 2 구동 클록의 주파수 데이터가 로드되는 레지스터;

상기 주파수 데이터를 참조하여 상기 제 2 인터페이스로 상기 제 2 구동 클록을 공급하는 제 2 클록 발생기를 포함하는 반도체 디스크 제어 장치.

청구항 12.

제 11 항에 있어서,

상기 제 2 구동 클록은 상기 제 1 구동 클록과는 다른 주파수 분주 범위에 속하는 클록 신호인 것을 특징으로 하는 반도체 디스크 제어 장치.

청구항 13.

제 12 항에 있어서,

상기 주파수 분주 범위는 클록 신호의 주파수를 정수로 나눈 크기의 주파수를 갖는 클록 신호들의 집합인 것을 특징으로 하는 반도체 디스크 제어 장치.

청구항 14.

제 12 항에 있어서,

상기 제 2 구동 클록은 상기 플래시 인터페이스와 상기 플래시 메모리와의 데이터 교환속도가 최적화되는 주파수의 클록 신호인 것을 특징으로 하는 반도체 디스크 제어 장치.

청구항 15.

제 11 항에 있어서,

상기 제 2 인터페이스는 상기 불휘발성 메모리와의 데이터 교환시 상기 제 2 구동 클록을 참조하여 쓰기 인에이블 신호와 읽기 인에이블 신호를 생성하는 것을 특징으로 하는 반도체 디스크 제어 장치.

청구항 16.

제 13 항에 있어서,

상기 제 1 클록 발생기 및 제 2 클록 발생기는 위상고정루프 회로인 것을 특징으로 하는 반도체 디스크 제어 장치.

청구항 17.

제 16 항에 있어서,

상기 주파수 데이터는 상기 제 2 클록 발생기의 출력 주파수를 설정하는 로킹 데이터(Locking Data)인 것을 특징으로 하는 반도체 디스크 제어 장치.

청구항 18.

제 17 항에 있어서,

상기 로킹 데이터가 디폴트값으로 설정되는 경우에는 상기 제 2 클록 발생기는 상기 제 1 구동 클록을 출력하고, 최적 모드로 설정되는 경우에는 상기 제 2 구동 클록을 출력하는 것을 특징으로 하는 반도체 디스크 제어 장치.

청구항 19.

외부와 데이터를 교환하는 제 1 인터페이스;

상기 제 1 인터페이스로 출입하는 데이터가 일시 저장되는 캐시 메모리;

불휘발성 메모리와 데이터를 교환하는 제 2 인터페이스;

상기 제 1 인터페이스와 상기 캐시 메모리로 제 1 구동 클록을 공급하는 제 1 클록 발생기와;

상기 제 1 인터페이스와 상기 제 2 인터페이스 간에는 상이한 주파수로 구동되는 장치 간의 데이터 이동을 중재하는 선입-선출(FIFO) 버퍼를 포함하되, 상기 제 2 인터페이스로 제공되며 상기 제 1 구동 클록과는 다른 주파수 분주 범위에 속하는 제 2 구동 클록을 외부로부터 입력받는 것을 특징으로 하는 반도체 디스크 제어 장치.

청구항 20.

제 19 항에 있어서,

상기 주파수 분주 범위는 클록 신호의 주파수를 정수로 나눈 크기의 주파수를 갖는 클록 신호들의 집합인 것을 특징으로 하는 반도체 디스크 제어 장치.

청구항 21.

제 19 항에 있어서,

상기 제 1 구동 클록과 상기 제 2 구동 클록 중 하나를 상기 제 2 인터페이스로 공급하는 멀티플렉서를 더 포함하는 것을 특징으로 하는 반도체 디스크 제어 장치.

청구항 22.

제 21 항에 있어서,

상기 멀티플렉서는 디폴트 모드에서는 상기 제 1 구동 클록을, 최적 모드에서는 상기 제 2 구동 클록을 상기 제 2 인터페이스로 공급하는 것을 특징으로 하는 반도체 디스크 제어 장치.

청구항 23.

제 22 항에 있어서,

상기 제 2 인터페이스는 상기 불휘발성 메모리와의 데이터 교환시 입력되는 구동 클록을 참조하여 쓰기 인에이블 신호(nWE)와 읽기 인에이블 신호(nRE)를 생성하는 것을 특징으로 하는 반도체 디스크 제어 장치.

청구항 24.

외부와 플래시 메모리 간의 데이터 교환을 제어하는 반도체 디스크 제어 장치의 클록 신호 공급 방법에 있어서,

외부와의 데이터 교환을 위해 제 1 구동 클록을 생성하고;

상기 제 1 구동 클록과는 다른 주파수의 제 2 구동 클록을 생성하여 상기 플래시 메모리와의 데이터 교환을 위한 클록 신호로 제공하는 것을 특징으로 하는 클록 신호 공급 방법.

청구항 25.

제 24 항에 있어서,

상기 제 2 구동 클록의 주파수는 상기 플래시 메모리와의 데이터 교환시 최적의 속도를 가진 주파수의 클록 신호인 것을 특징으로 하는 클록 신호 공급 방법.

청구항 26.

제 24 항에 있어서,

상기 제 2 구동 클록은 상기 반도체 디스크 제어 장치 내부에서 생성하여 공급하는 것을 특징으로 하는 클록 신호 공급 방법.

청구항 27.

제 24 항에 있어서,

상기 제 2 구동 클록은 상기 반도체 디스크 제어 장치의 외부에서 생성하여 공급하는 것을 특징으로 하는 클록 신호 공급 방법.

청구항 28.

제 24 항에 있어서,

상기 제 1 구동 클럭 및 상기 제 2 구동 클럭은 각각 별도의 위상고정루프 회로를 통해서 생성하는 것을 특징으로 하는 클럭 신호 공급 방법.

청구항 29.

제 28 항에 있어서,

상기 제 2 구동 클럭을 생성하는 위상고정루프 회로는 출력 주파수를 조정하는 로킹 데이터가 로드되는 레지스터를 더 포함하는 것을 특징으로 하는 클럭 신호 공급 방법.

청구항 30.

제 29 항에 있어서,

상기 레지스터는 디폴트 모드에서는 제 1 구동 클럭을, 최적 모드에서는 제 2 구동 클럭을 생성하도록 제어되는 것을 특징으로 하는 클럭 신호 공급 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전자 장치에 관한 것으로, 더욱 상세하게는 반도체 디스크 제어 장치에 관한 것이다.

근래의 하드 디스크(HDD) 트렌드에 따르면, 자기 디스크 장치를 대신하는 기억 소자로 플래시 메모리를 채택한 반도체 디스크(Solid State Disk : SSD) 장치에 대한 요구가 점차 증가하고 있다. 이것은 컴퓨터 시스템이나 휴대용 기기의 대용량 저장 장치로서 하드 디스크(HDD)와 같은 자기 디스크 장치에 비하여 반도체 디스크 장치는 기억 용량이나 비용면에서는 불리하지만 액세스 속도와 소형화 및 충격으로부터의 안정성 등에 우위를 점하고 있기 때문이다. 또한 공정 기술과 설계 기술의 진보에 따라 점차 반도체 디스크의 기억 용량 증가와 비용의 감소가 예상되며, 머지않아 반도체 디스크가 자기 디스크를 대체할 것으로 전망된다.

상술한 반도체 디스크를 컴퓨터 시스템이나 기타 휴대용 기기의 대용량 저장 장치로 사용할 경우, 호스트 측의 데이터 교환 프로토콜과 플래시 메모리와의 호환을 위한 제어 장치가 필수적이다. 일반적인 컴퓨터 시스템에서는 디스크 드라이버의 데이터 전송 프로토콜로 미국의 IBM사가 제안한 하드디스크용 규격인 ATA(Advanced Technology Attachment) 방식이 사용되고 있다. 이러한 프로토콜과 호환성을 갖기 위해서는 ATA 방식으로 데이터를 교환하기 위한 인터페이스(Interface)가 필요하다. 또한 플래시 메모리와의 인터페이싱이 필요하다. 상술한 데이터 교환의 제반 동작들을 제어하는 장치를 반도체 디스크 제어 장치(SSD Controller)라 한다.

도 1은 일반적인 반도체 디스크(SSD) 제어 장치의 구성을 간략히 보여주는 블록도이다. 도 1을 참조하면, 일반적인 반도체 디스크 제어 장치(10)는 중앙처리장치(CPU)(11)의 제어에 따라 호스트(미도시됨)로부터의 명령에 응답하여 플래시 메모리(20~23)로부터 데이터를 쓰거나/읽을 수 있다.

중앙처리장치(11)는 호스트의 명령어를 전달받아, 호스트로부터의 데이터를 플래시 메모리에 저장할지 혹은 플래시 메모리의 저장 데이터를 독출하여 호스트로 전송할지의 여부를 결정하고 제어한다.

ATA 인터페이스(12)는 상술한 중앙처리장치(11)의 제어에 따라 호스트 측과 데이터를 교환한다. ATA 인터페이스(12)는 호스트 측으로부터 명령어 및 어드레스를 패치하여 CPU 버스를 통해서 중앙처리장치(11)로 전달한다. ATA 인터페이스(12)를 통해 호스트로부터 입력되는 데이터나 호스트로 전송되어야 할 데이터는 중앙처리장치(11)의 제어에 따라 CPU 버스를 경유하지 않고 에스램 캐시(13)를 통해 전달된다.

에스램 캐시(13)는 호스트와 플래시 메모리들(20~23) 간의 이동 데이터를 일시 저장한다. 또한 에스램 캐시(13)는 중앙처리장치(11)에 의해서 운용될 프로그램을 저장하는 데에도 사용된다. 에스램 캐시(13)는 일종의 버퍼 메모리로 간주할 수 있으며, 반드시 에스램으로 구성할 필요는 없다.

플래시 인터페이스(14)는 저장 장치로 사용되는 불 휘발성 메모리들과 데이터를 주고받는다. 플래시 인터페이스(14)는 낸드 플래시 메모리, One-NAND 플래시 메모리, 혹은 멀티-레벨 플래시 메모리를 지원하도록 구성될 수 있다. 특히 플래시 인터페이스(14)는 후술하게 되는 위상고정루프(15)로부터 주파수 f_1 의 구동 클록을 참조하여 플래시 메모리(20~23)와의 데이터 교환시에 쓰기 인에이블 신호(WE)와 읽기 인에이블 신호(RE)를 생성한다. 예를 들면 주파수 f_1 의 구동 클록을 소스로 하여 분주된 클록을 쓰기 인에이블 신호(nWE)와 읽기 인에이블 신호(nRE)로 사용한다.

위상고정루프(15)는 상술한 반도체 디스크 장치 내의 각 구성의 구동 클록을 제공하는 클록 발생기이다. 일반적으로 ATA 프로토콜과 호환성을 갖도록 호스트의 데이터 전송 프로토콜과 동일한 주파수의 클록을 발생시킨다. 위상고정루프(15)의 발생 주파수(f_1)은 ATA 인터페이스(12)와 에스램 캐시(13)와 플래시 인터페이스(14), 그리고 중앙처리장치(11)로 제공된다. 특히 중앙처리장치(11)는 상대적으로 낮은 주파수가 필요하므로 후술하게 되는 분주기(16)에서 분주된 주파수(Demultiplied frequency)의 구동 클록을 공급받게 될 것이다.

분주기(16)는 상술한 데이터 교환을 수행하는 ATA 인터페이스(12), 에스램 캐시(13)와는 달리 논리 연산이 이루어지는 중앙처리장치(11)의 구동 클록을 제공하기 위한 주파수 변환회로이다. 일반적으로 데이터 전송을 위한 클록보다 낮은 주파수를 사용하는 중앙처리장치(11)의 클록 주파수(f_c)로 위상고정루프(15)의 출력 주파수(f_1)를 분주하여 공급한다.

이상에서 설명한 종래의 반도체 디스크 제어 장치는 내부에 하나의 위상고정루프(PLL)로부터 발생하는 클록(주파수 f_1)만을 사용하였다. 따라서 호스트 측과의 데이터 교환에 관여하는 ATA 인터페이스(12)와 플래시 메모리(20~23)와의 데이터 교환에 관여하는 플래시 인터페이스(14)의 구동 클록은 동일한 주파수 분주 범위(분주된 주파수의 집합) 이내의 주파수이어야 했다. 이것은 플래시 메모리의 쓰기 인에이블 신호(nWE) 및 읽기 인에이블 신호(nRE)의 사이클 타임이 상술한 위상고정루프(15)에서 생성되는 주파수 분주 범위 내로 한정된다는 것을 의미한다. 그러나 대부분의 경우 플래시 메모리의 쓰기 인에이블 신호(nWE) 및 읽기 인에이블 신호(nRE)의 최적 사이클 타임은 위상고정루프(15)로부터의 발생 주파수 분주 범위 내에 포함되지 않을 가능성이 크다. 반도체 디스크의 액세스 시간의 단축과 데이터 전송의 고속화를 위해서 이러한 최적 주파수의 공급이 이슈로 대두될 수밖에 없다.

발명이 이루고자 하는 기술적 과제

본 발명은 상술한 문제점을 해결하기 위하여 제안된 것으로, 본 발명의 목적은 데이터 교환시 최적 주파수를 갖는 구동 클록이 제공되는 반도체 디스크 제어 장치를 제공하는 데 있다.

발명의 구성

상술한 제반 목적을 달성하기 위한 본 발명의 외부와 플래시 메모리 간의 데이터 교환을 제어하는 반도체 디스크 제어 장치는, 상기 플래시 메모리와 인터페이싱 하는 플래시 인터페이스; 외부와 인터페이싱 하는 호스트 인터페이스; 상기 호스트 인터페이스로 제 1 구동 클록을 공급하는 제 1 클록 발생기; 상기 플래시 인터페이스로 제 2 구동 클록을 독립적으로 공급하는 제 2 클록 발생기를 포함한다.

바람직한 실시예에 있어서, 상기 제 2 구동 클록은 상기 제 1 구동 클록의 주파수 분주 범위에 속하지 않는 클록 신호를 포함한다.

바람직한 실시예에 있어서, 상기 주파수 분주 범위는 클록 신호의 주파수를 정수로 나눈 크기의 주파수를 갖는 클록 신호들의 집합이다.

바람직한 실시예에 있어서, 상기 제 2 구동 클록은 상기 플래시 인터페이스와 상기 플래시 메모리와의 데이터 교환속도가 최적화되는 주파수의 클록 신호이다.

바람직한 실시예에 있어서, 상기 플래시 인터페이스의 전단에 선입-선출 버퍼(FIFO)를 포함하여 상이한 주파수로 동작하는 구성 간의 데이터 교환을 중재한다.

바람직한 실시예에 있어서, 상기 제 1 클록 발생기 및 제 2 클록 발생기는 위상고정루프이다.

바람직한 실시예에 있어서, 상기 제 2 클록 발생기는 상기 반도체 디스크 제어 장치 외부에 설치될 수 있다.

바람직한 실시예에 있어서, 상기 제 2 클록 발생기의 발생 주파수를 설정하는 주파수 데이터를 로드하는 레지스터를 더 포함한다.

바람직한 실시예에 있어서, 상기 주파수 데이터는 상기 제 2 클록 발생기의 출력 주파수를 설정하는 로킹 데이터(Locking Data)이다.

바람직한 실시예에 있어서, 상기 로킹 데이터가 디폴트값으로 설정되는 경우에는 상기 제 2 클록 발생기는 상기 제 1 구동 클록을 출력하고, 최적 모드로 설정되는 경우에는 상기 제 2 구동 클록을 출력한다.

상술한 목적을 달성하기 위한 본 발명의 다른 특징에 따른 반도체 디스크 제어 장치는, 외부와 데이터를 교환하는 제 1 인터페이스; 상기 제 1 인터페이스로 출입하는 데이터가 일시 저장되는 캐시 메모리; 불휘발성 메모리와 데이터를 교환하는 제 2 인터페이스; 상기 캐시 메모리와 상기 제 2 인터페이스 간에는 상이한 주파수로 구동되는 장치 간의 데이터 이동을 중재하는 선입-선출(FIFO) 버퍼; 상기 제 1 인터페이스와 상기 캐시 메모리로 제 1 구동 클록을 공급하는 제 1 클록 발생기; 상기 제 2 인터페이스로 공급될 제 2 구동 클록의 주파수 데이터가 로드되는 레지스터; 상기 주파수 데이터를 참조하여 상기 제 2 인터페이스로 상기 제 2 구동 클록을 공급하는 제 2 클록 발생기를 포함한다.

바람직한 실시예에 있어서, 상기 제 2 구동 클록은 상기 제 1 구동 클록과는 다른 주파수 분주 범위에 속하는 클록 신호이다.

바람직한 실시예에 있어서, 상기 주파수 분주 범위는 클록 신호의 주파수를 정수로 나눈 크기의 주파수를 갖는 클록 신호들의 집합이다.

바람직한 실시예에 있어서, 상기 제 2 구동 클록은 상기 플래시 인터페이스와 상기 플래시 메모리와의 데이터 교환속도가 최적화되는 주파수의 클록 신호이다.

바람직한 실시예에 있어서, 상기 제 2 인터페이스는 상기 불휘발성 메모리와의 데이터 교환시 상기 제 2 구동 클록을 참조하여 쓰기 인에이블 신호와 읽기 인에이블 신호를 생성한다.

바람직한 실시예에 있어서, 상기 제 1 클록 발생기 및 제 2 클록 발생기는 위상고정루프 회로이다.

바람직한 실시예에 있어서, 상기 주파수 데이터는 상기 제 2 클록 발생기의 출력 주파수를 설정하는 로킹 데이터(Locking Data)이다.

바람직한 실시예에 있어서, 상기 로킹 데이터가 디폴트값으로 설정되는 경우에는 상기 제 2 클록 발생기는 상기 제 1 구동 클록을 출력하고, 최적 모드로 설정되는 경우에는 상기 제 2 구동 클록을 출력한다.

상술한 제반 목적을 달성하기 위한 본 발명에 따른 또 다른 특징의 반도체 디스크 제어 장치는, 외부와 데이터를 교환하는 제 1 인터페이스; 상기 제 1 인터페이스로 출입하는 데이터가 일시 저장되는 캐시 메모리; 불휘발성 메모리와 데이터를 교환하는 제 2 인터페이스; 상기 제 1 인터페이스와 상기 캐시 메모리로 제 1 구동 클록을 공급하는 제 1 클록 발생기와; 상기 제 1 인터페이스와 상기 제 2 인터페이스 간에는 상이한 주파수로 구동되는 장치 간의 데이터 이동을 중재하는 선입-선출(FIFO) 버퍼를 포함하되, 상기 제 2 인터페이스로 제공되며 상기 제 1 구동 클록과는 다른 주파수 분주 범위에 속하는 제 2 구동 클록을 외부로부터 입력받는다.

바람직한 실시예에 있어서, 상기 주파수 분주 범위는 클럭 신호의 주파수를 정수로 나눈 크기의 주파수를 갖는 클럭 신호들의 집합이다.

바람직한 실시예에 있어서, 상기 제 1 구동 클럭과 상기 제 2 구동 클럭 중 하나를 상기 제 2 인터페이스로 공급하는 멀티플렉서를 더 포함한다.

바람직한 실시예에 있어서, 상기 멀티플렉서는 디폴트 모드에서는 상기 제 1 구동 클럭을, 최적 모드에서는 상기 제 2 구동 클럭을 상기 제 2 인터페이스로 공급한다.

바람직한 실시예에 있어서, 상기 제 2 인터페이스는 상기 불휘발성 메모리와의 데이터 교환시 입력되는 구동 클럭을 참조하여 쓰기 인에이블 신호(nWE)와 읽기 인에이블 신호(nRE)를 생성한다.

상술한 목적을 달성하기 위한 본 발명의 또 다른 특징에 따르면, 외부와 플래시 메모리 간의 데이터 교환을 제어하는 반도체 디스크 제어 장치의 클럭 신호 공급 방법은, 외부와의 데이터 교환을 위해 제 1 구동 클럭을 생성하고; 상기 제 1 구동 클럭과는 다른 주파수의 제 2 구동 클럭을 생성하여 상기 플래시 메모리와의 데이터 교환을 위한 클럭 신호로 제공한다.

바람직한 실시예에 있어서, 상기 제 2 구동 클럭의 주파수는 상기 플래시 메모리와의 데이터 교환시 최적의 속도를 가진 주파수의 클럭 신호이다.

바람직한 실시예에 있어서, 상기 제 2 구동 클럭은 상기 반도체 디스크 제어 장치 내부에서 생성하여 공급한다.

바람직한 실시예에 있어서, 상기 제 2 구동 클럭은 상기 반도체 디스크 제어 장치의 외부에서 생성하여 공급한다.

바람직한 실시예에 있어서, 상기 제 1 구동 클럭 및 상기 제 2 구동 클럭은 각각 별도의 위상고정루프 회로를 통해서 생성한다.

바람직한 실시예에 있어서, 상기 제 2 구동 클럭을 생성하는 위상고정루프 회로는 출력 주파수를 조정하는 로킹 데이터가 로드되는 레지스터를 더 포함한다.

바람직한 실시예에 있어서, 상기 레지스터는 디폴트 모드에서는 제 1 구동 클럭을, 최적 모드에서는 제 2 구동 클럭을 생성하도록 제어되는 것을 특징으로 한다.

상술한 본 발명의 장치와 방법을 통해서, 반도체 디스크 제어 장치는 플래시 메모리와 최적 액세스 시간을 갖는 주파수의 클럭 신호를 제공받을 수 있다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

도 2는 본 발명의 바람직한 일 실시예를 보여주는 블록도이다. 도 2를 참조하면, 본 발명의 반도체 디스크 제어 장치(100)는 플래시 인터페이스(150)의 구동 클럭을 제공하기 위한 별도의 클럭 공급 장치를 구비하여 플래시 메모리(20~23)와의 데이터 교환 속도를 최적화할 수 있다.

중앙처리장치(110)는 외부(또는 호스트)로부터 동작 명령어와 어드레스를 전달받아, 동작 명령어에 따른 데이터 이동을 제어한다. 외부로부터의 동작 명령어와 어드레스는 ATA 인터페이스(120)와 CPU 버스를 경유하여 중앙처리장치(110)로 전달된다. 그리고 중앙처리장치(110)는 동작 명령어와 어드레스를 플래시 인터페이스(150)로 전달하여 플래시 메모리(20~23)로의 액세스가 이루어지도록 제어한다. 중앙처리장치(110)의 제반 제어 동작은 CPU 버스를 통해서 이루어질 수 있으나, 이러한 제어 경로는 CPU 버스에 국한되지 않음은 이 분야에서 통상의 지식을 습득한 자들에게는 자명하다. 중앙처리장치(110)는 부팅시 장착된 플래시 메모리(20~23)의 종류를 진단하는 기능을 구비한다. 이러한 기능은 디바이스 ID 읽기 동작(또는 READ ID 동작)을 통해서 달성될 수 있다. 디바이스 ID 읽기(READ ID) 동작시 중앙처리장치(110)는 디바이스의 종류를 확인하고, 플래시 인터페이스(150)의 최적 구동 주파수를 설정하는 데이터를 후술하게 되는 레지스터(180)에 기입한다.

ATA 인터페이스(120)는 상술한 중앙처리장치(110)의 제어에 따라 호스트 측과 데이터를 교환한다. ATA 인터페이스(120)는 호스트 측으로부터 명령어 및 어드레스를 패치하여 CPU 버스를 통해서 중앙처리장치(110)로 전달한다. ATA 인터페이스(120)는 내부에 호스트 측으로부터 전달된 명령어와 어드레스를 래치하는 레지스터를 더 포함할 수 있다.

에스램 캐시(130)는 호스트와 플래시 메모리(20~23) 간의 이동 데이터가 일시 저장되는 버퍼 메모리이다. 에스램 캐시(130)는 플래시 메모리(20~23)로의 데이터 쓰기 및 읽기 동작이 상대적으로 느리기 때문에 고속의 캐시 메모리를 버퍼로 사용하여 외부와의 데이터 교환을 효율화한다. 여기서 에스램 캐시(130)의 용량은 기억 장치로 사용되는 플래시 메모리(20~23)의 종류에 의해서 결정된다. 에스램 캐시(130)는 중앙처리장치(110)에 의해서 운용될 프로그램을 저장하는 데에도 사용된다. ATA 인터페이스(120)를 통해 호스트로부터 입력되는 데이터나 호스트로 전송되어야 할 데이터는 중앙처리장치(110)의 제어에 따라 CPU 버스를 경유하지 않고 에스램 캐시(130)를 통해 전달된다.

선입-선출 버퍼(FIFO)(140)는 서로 다른 주파수의 클럭으로 구동되는 장치 간의 데이터 전송속도 차이를 중재하기 위한 구성이다. 이는 에스램 캐시(130)의 데이터 입출력 속도는 비교적 고속인데 비하여 플래시 인터페이스(150)의 데이터 입출력 속도는 저속이기 때문에 그 사이에 삽입되어 데이터 교환시 대기열(Queue)을 구성한다. 선입-선출(FIFO) 버퍼(140)는 서로 다른 주파수의 구동 클럭으로 동작하는 에스램 캐시(130)와 플래시 인터페이스(150)의 데이터 이동 경로를 설정하기 위한 필수 구성 요소이다.

플래시 인터페이스(150)는 중앙처리장치(110)로부터 전달된 명령어와 어드레스를 플래시 메모리(20~23)로 전달한다. 도면에 나타난 바와 같이 플래시 인터페이스(150)는 데이터 및 제어 신호들을 통해서 플래시 메모리(20~23)로 데이터를 쓰거나 읽어낼 수 있다. 특히 본 발명의 플래시 인터페이스(150)는 플래시 메모리(20~23)로의 쓰기 인에이블 신호(nWE) 및 읽기 인에이블 신호(nRE)의 최적 사이클 타임(tWC, tRC)을 설정하는 주파수(f_2)의 클럭이 제공된다. 주파수 (f_2)의 클럭 신호에 따라서 본 발명의 플래시 인터페이스(150)는 쓰기 인에이블 신호(nWE)와 읽기 인에이블 신호(nRE)를 플래시 메모리(20~23)로 전송하고, 그에 대응하는 속도로 데이터가 입출력될 것이다.

제 1 위상고정루프(PLL1)(160)는 외부의 데이터 전송 규격인 ATA 프로토콜과 대응하는 주파수 (f_1)의 클럭 신호를 생성하기 위한 클럭 발생기이다. 제 1 위상고정루프(160)가 생성하는 주파수 (f_1)의 클럭 신호는 플래시 인터페이스(150)를 제외한 반도체 디스크 제어 장치(100)의 제반 구성 요소들에 공급된다.

분주기(170)는 상술한 데이터 이동을 담당하는 ATA 인터페이스(120), 에스램 캐시(130)와는 다른 속도의 연산처리가 이루어지는 중앙처리장치(110)의 구동 클럭을 제공하기 위한 회로이다. 일반적으로 데이터 전송을 위한 클럭보다 낮은 주파수를 사용하기 때문에 중앙처리장치(110)의 구동 클럭의 주파수(f_c)는 주파수 f_1 의 클럭 신호를 분주하여 사용한다. 예를 들면, 외부 데이터 전송 프로토콜이 ATA66 규격일 경우, PLL1(160)은 66MHz의 클럭 신호를 생성하고 분주기(170)는 66MHz의 클럭을 제공받아 $f_1/2$ 에 해당하는 33MHz를 중앙처리장치(110)의 구동 클럭으로 공급할 수 있다.

레지스터(180)에는 후술하게 되는 제 2 위상고정루프(190)의 출력 클럭의 주파수 데이터가 저장될 수 있다. 특정 주파수를 생성하기 위한 설정 데이터를 위상고정루프에서는 일반적으로 로킹 데이터(Locking Data)라 한다. 레지스터(180)에 로드되는 로킹 데이터는 후술하게 될 제 2 위상고정루프(190)의 출력 주파수를 정의하는 값이다. 로킹 데이터가 디폴트(Default) 값으로 로드되는 경우 주파수(f_1)를 생성하도록 설정되고, 외부의 명령어나 제어에 따라서 최적의 속도성능을 가지는 주파수(f_2)를 생성하기 위한 최적 로킹 데이터로 전환될 수 있다. 또는 디바이스 ID 읽기(READ ID) 결과, 플래시 인터페이스(150)의 최적 데이터 교환 클럭의 주파수가 디폴트 주파수 (f_1)의 분주 범위에 포함되지 않는 경우, 중앙처리장치(110)는 해당되는 디바이스 ID에 따르는 최적 주파수 (f_2)를 생성할 수 있는 로킹 데이터를 레지스터(180)로 로드한다. 플래시 인터페이스(150)의 데이터 교환에 있어서 최적의 속도 성능을 가진 주파수를 생성하기 위한 로킹 데이터는 반도체 디스크 제어 장치(100) 내의 타 비휘발성 메모리나 레지스터에 저장될 수 있다. 또는 장착되는 플래시 메모리(20~30)의 종류에 대응하는 최적 성능의 로킹 데이터가 중앙처리장치(110)를 구동하는 펌웨어(Firmware)에 포함될 수 있다. 부팅시에 디바이스 ID 읽기(read ID) 동작에서 확인된 플래시 메모리(20~23)의 디바이스 ID에 대응하는 최적 주파수의 로킹 데이터가 로드될 수 있다. 여기서, 로킹 데이터는 상술한 제 1 위상고정루프(160)와는 다른 주파수 분주 범위를 갖는 독립적인 클럭을 생성할 수 있도록 설정되는 데이터이다. 만일 제 1 위상고정루프(160)의 출력 주파수(f_1)가 66MHz라면 f_1 의 주파수 분주 범위는 f_1 을 정수로 분주한 주파수들의 집합이다. 예를 들면, 주파수 f_1 의 분주 범위는 33MHz, 16.5MHz, 8.25MHz, ...와 같은 값들이다. 그러나 이러한 주파수(f_1) 분주 범위 가운데서 플래시 메모리(20~23)와의 데이터 교환을

위한 최적 주파수(f_2)가 존재하지 않을 경우, 제 2 위상고정루프(190)의 최적 로킹 데이터를 레지스터(180)에 저장하여 최적 속도의 주파수를 갖는 클록을 생성할 수 있다. 또한, 만일 클록을 생성하는 제 2 위상고정루프(190)가 위상고정루프(PLL) 회로가 아닌 기타 발진 회로라면, 레지스터(180)에 저장되는 데이터는 로킹 데이터가 아닌 다른 데이터일 수 있다.

레지스터(180)에 로드되는 상술한 로킹 데이터는 일반적으로 제 2 위상고정루프(PLL2)(190)의 내부에 포함되는 디바이더(도시되지 않음)의 분모 데이터를 포함한다. 제 2 위상고정루프(190)의 출력 주파수를 피드백하는 디바이더의 분모(Denominator)에 의해서 플래시 인터페이스(150)가 구동되는 주파수(f_2)가 고정되기 때문이다. 장착되는 플래시 메모리(20~23)의 디바이스 ID 읽기(read ID)를 통해서 확인된 최적의 플래시 인터페이스(150)의 구동 클록 주파수를 생성하기 위한 최적 로킹 데이터가 중앙처리장치(110)의 제어 하에 레지스터(180)에 로드될 수 있다. 또한 중앙처리장치(110)는 외부의 명령어나 제어에 응답하여 레지스터(180)에 로드되는 로킹 데이터를 업데이트 할 수 있다.

제 2 위상고정루프(190)는 상술한 레지스터(180)에 저장된 로킹 데이터를 기초로 플래시 메모리(20~23)와의 데이터 교환 속도가 최적화되는 주파수(f_2)의 구동 클록을 생성할 수 있다. 만일 디폴트(Default)값으로 레지스터(190)의 로킹 데이터가 설정되어 있다면, 종래의 플래시 인터페이스 구동 클록의 주파수 (f_1)가 제 2 위상고정루프(190)의 출력 주파수가 될 것이다. 레지스터(180)의 설정 값이 최적 로킹 데이터로 전환되면, 제 2 위상고정루프(190)는 플래시 인터페이스(150)로 최적의 속도성능을 갖는 주파수(f_2)의 클록 신호를 생성한다. 최적 속도성능을 갖는 주파수(f_2)의 구동 클록을 참조하여 플래시 인터페이스(150)는 쓰기 인에이블 신호(nWE) 및 읽기 인에이블 신호(nRE)를 생성하여 플래시 메모리(20~23)와 데이터를 교환할 것이다.

상술한 제반 구성들을 포함하는 본 발명의 반도체 디스크 제어 장치(100)는 데이터의 교환을 위해, 제 1 위상고정루프(160)는 호스트와의 접속되는 ATA 인터페이스(120)와 에스램 캐시(130)로 호스트와 동일한 주파수의 구동 클록을 제공한다. 그리고 제 2 위상고정루프(190)는 플래시 인터페이스(150)와 플래시 메모리와의 최적의 데이터 교환 속도를 가진 주파수의 클록을 제공할 수 있다. 서로 다른 주파수로 동작하는 에스램 캐시(130)와 플래시 인터페이스(150) 간에는 선입-선출 버퍼(FIFO)(140)가 삽입되어 상이한 주파수로 구동되는 구성 간의 데이터 전송을 중재한다. 제 2 위상고정루프(190)를 통해서 본 발명의 반도체 디스크 제어 장치(100)는 플래시 메모리(20~23)의 쓰기 인에이블 신호(nWE) 및 읽기 인에이블 신호(nRE)의 사이클 타이밍을 최적화시켜 쓰기와 읽기 동작속도를 최적화할 수 있다.

도 3은 본 발명의 다른 실시예를 보여주는 블록도이다. 여기서, 앞서 도시된 도 2에서와 동일한 참조부호는 동일한 기능을 하는 동일한 부재를 가리킨다. 도 3을 참조하면, 다른 실시예에 따른 본 발명의 반도체 디스크 제어 장치는 플래시 인터페이스(150)의 구동 클록을 자체적인 위상고정루프로부터가 아니라 외부로부터 제공받는다. 플래시 인터페이스(150)의 구동 주파수를 디폴트(Default) 값과 최적 값으로 전환하기 위해서 반도체 디스크 제어 장치(100)는 레지스터(180)와 멀티플렉서(191)를 포함한다. 디폴트(Default) 값으로 설정되는 경우, 플래시 인터페이스(150)에는 제 1 위상고정루프와 동일한 주파수가 공급된다. 최적 주파수 값을 선택하도록 레지스터를 설정하면, 외부로부터 공급되는 최적 주파수의 구동 클록이 플래시 인터페이스(150)로 공급될 것이다.

레지스터(180)는 중앙처리장치(110)의 제어에 따라 플래시 인터페이스(150)로 디폴트 주파수(f_1)의 클록을 공급할 것인지, 혹은 최적 주파수(f_2)를 공급할 것인지를 여부를 선택하는 로킹 데이터가 로드된다.

멀티플렉서(191)는 제 1 위상고정루프(160)로부터 생성된 주파수 (f_1)의 구동 클록과 외부로부터 공급되는 최적 주파수 (f_2)의 구동 클록을 상술한 레지스터(180)의 로드 상태에 의해 선택적으로 플래시 인터페이스(150)에 공급한다.

발진회로(192)는 반도체 디스크 제어 장치(100)의 외부에 설치되는 클록 발생 회로이다. 장착되는 플래시 메모리(20~23)의 데이터 교환에 사용되는 클록의 최적 주파수를 외부로부터 공급하기 위한 구성이다.

이상의 본 발명의 다른 실시예에 따르면, 내부에 추가적인 클록 신호 발생 회로를 포함하지 않고도 본 발명의 목적을 달성할 수 있다. 단지 중앙처리장치(10)가 레지스터(180)에 로드하는 값에 의해 디폴트 클록 주파수(f_1)와 최적 클록 주파수 (f_2) 중 하나가 선택되어 플래시 인터페이스(150)로 입력될 것이다.

도 4는 본 발명의 반도체 디스크 제어 장치(100)가 플래시 메모리(20~23)와 최적의 데이터 교환 속도로 동작하는 효과를 설명하는 타이밍도이다. 도 4를 참조하면, 종래 기술에 따라 주파수 (f_1)을 분주한 구동 클록을 플래시 인터페이스(150)의

구동 클럭으로 사용한 경우 (a)와, 플래시 인터페이스(150)에 최적의 주파수 (f_2)의 구동 클럭을 공급한 경우 (b)에 대해 각각의 쓰기 및 읽기 동작에 대한 타이밍도가 도시되었다. 이하, 도 4의 타이밍도를 상술한 도면들에 의거하여 상세히 설명하기로 한다.

호스트에서 ATA 인터페이스(120)를 통해서 명령어와 어드레스를 입력하면 중앙처리장치(110)는 이를 감지하고 플래시 인터페이스(150)로 동작 명령어와 어드레스를 전달한다. 플래시 인터페이스(150)는 먼저 쓰기 명령어(00h)와 어드레스(CA1~RA3)를 입력하고, 어드레스에 해당하는 셀 어레이 내의 데이터에 대한 독출 명령어(30h)를 입력하면 입력된 어드레스에 대응하는 데이터(D0~D6)가 출력될 것이다.

상술한 제반 동작 동안 플래시 인터페이스(150)로 제공되는 구동 클럭의 주파수가 호스트 측과 동일한 주파수(f_1) 분주 범위를 갖는 (a)의 경우에는 최적화되지 않은 읽기 및 쓰기 속도를 갖는다. 이것은 쓰기 사이클 타임(tWC0) 및 읽기 사이클 타임(tRC0)이 주파수 (f_1)에서 분주한 주파수에 의존적이기 때문에, 독립적인 주파수 조정이 쉽지 않다. 따라서, (f_1)으로부터 분주한 주파수(f_1 분주 범위) 중에서 최적의 주파수를 선택하더라도 실제 플래시 메모리(20~23)의 최적 주파수와는 편차가 발생할 수밖에 없다.

반면에, 별도의 클럭 발생기인 제 2 위상고정루프(190)를 두고 이를 독립적으로 제어할 수 있는 레지스터(180)를 포함하는 본 발명의 실시예인 (b)의 경우, 플래시 메모리로의 쓰기 사이클 타임(tWC1) 및 읽기 사이클 타임(tRC1)이 조정 가능한 주파수 (f_2)에 의해 제어된다. 테스트 공정에서 플래시 메모리(20~23)의 최적의 쓰기 사이클 타임(tWC) 및 읽기 사이클 타임(tRC)이 측정되고 이를 고려한 주파수 (f_2)를 생성하기 위한 로킹 데이터가 레지스터(180)에 기록된다. 반도체 디스크 제어 장치(100)의 내부 혹은 외부에 포함되는 제 2 위상고정루프(190, 200)는 로킹 데이터를 참조하여 플래시 메모리(20~23)와의 데이터 교환이 이루어지는 최적 주파수(f_2)의 구동 클럭을 생성한다. 따라서, 도 4의 (b)와 같이 데이터의 읽기와 쓰기 시간을 단축할 수 있다.

상술한 바와 같이 본 발명에 따른 반도체 디스크 제어 장치(100)는 내부 혹은 외부에 독립적으로 제어할 수 있는 클럭 발생 회로(190, 200)를 포함한다. 반도체 디스크(SSD)의 액세스 속도를 결정하는 플래시 메모리와의 데이터 교환에 사용되는 플래시 인터페이스(150)의 최적화된 구동 클럭을 독립적으로 생성할 수 있기 때문에 액세스 성능을 극대화할 수 있다.

한편, 본 발명의 상세한 설명에서는 구체적인 실시예에 관하여 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다. 그러므로 본 발명의 범위는 상술한 실시예에 국한되어 정해져서는 안되며 후술하는 특허청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 한다.

발명의 효과

상술한 바와 같이 본 발명에 따른 반도체 디스크 장치는 별도의 조정가능한 클럭을 공급하여 반도체 디스크의 액세스 성능을 좌우하는 플래시 메모리와의 데이터 교환 속도를 최적화할 수 있다.

도면의 간단한 설명

도 1은 종래기술에 따른 반도체 디스크 제어 장치의 구성을 설명하는 블록도;

도 2는 본 발명의 제 1 실시예에 따른 반도체 디스크 제어 장치의 구성을 보여주는 블록도;

도 3은 본 발명의 제 2 실시예에 따른 반도체 디스크 제어 장치의 구성을 보여주는 블록도;

도 4는 본 발명에 따른 구동 클럭 제공 스킴을 적용한 경우의 동작을 보여주는 타이밍도.

도면의 주요부분에 대한 부호의 설명

10, 100 : 반도체 디스크(SSD) 제어 장치

110 : 중앙처리장치(CPU) 12, 120 : ATA 인터페이스

13, 130 : 에스램(SRAM) 캐시 14, 150 : 플래시 인터페이스

15 : 위상고정루프(PLL) 16, 170 : 주파수 분주기

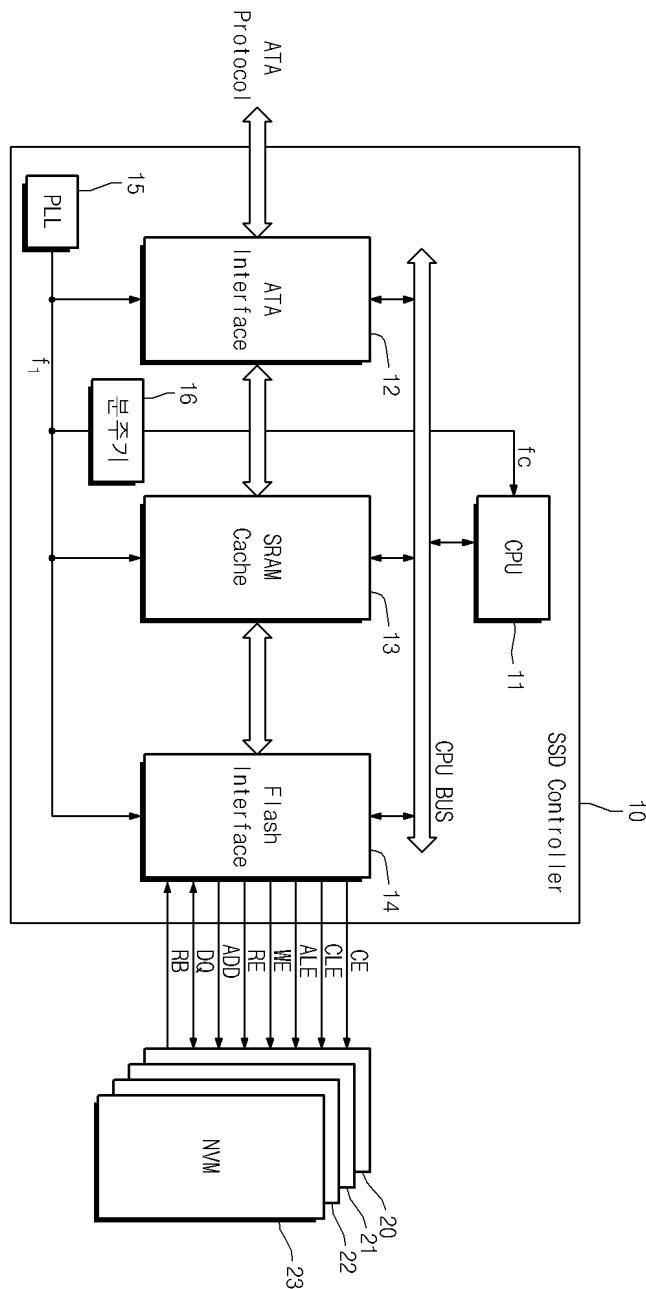
20, 21, 22, 23 : 플래시 메모리 160 : PLL1

180, 192 : 레지스터 190 : PLL2

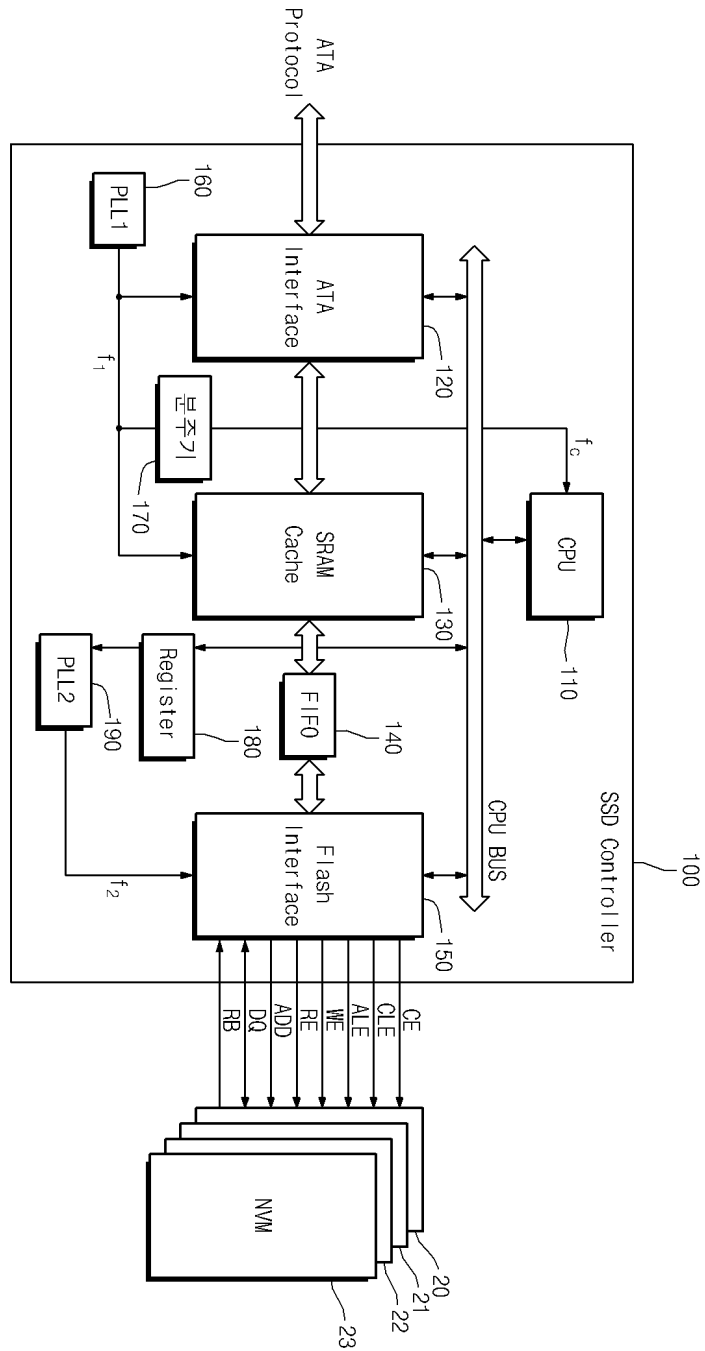
191 : MUX

도면

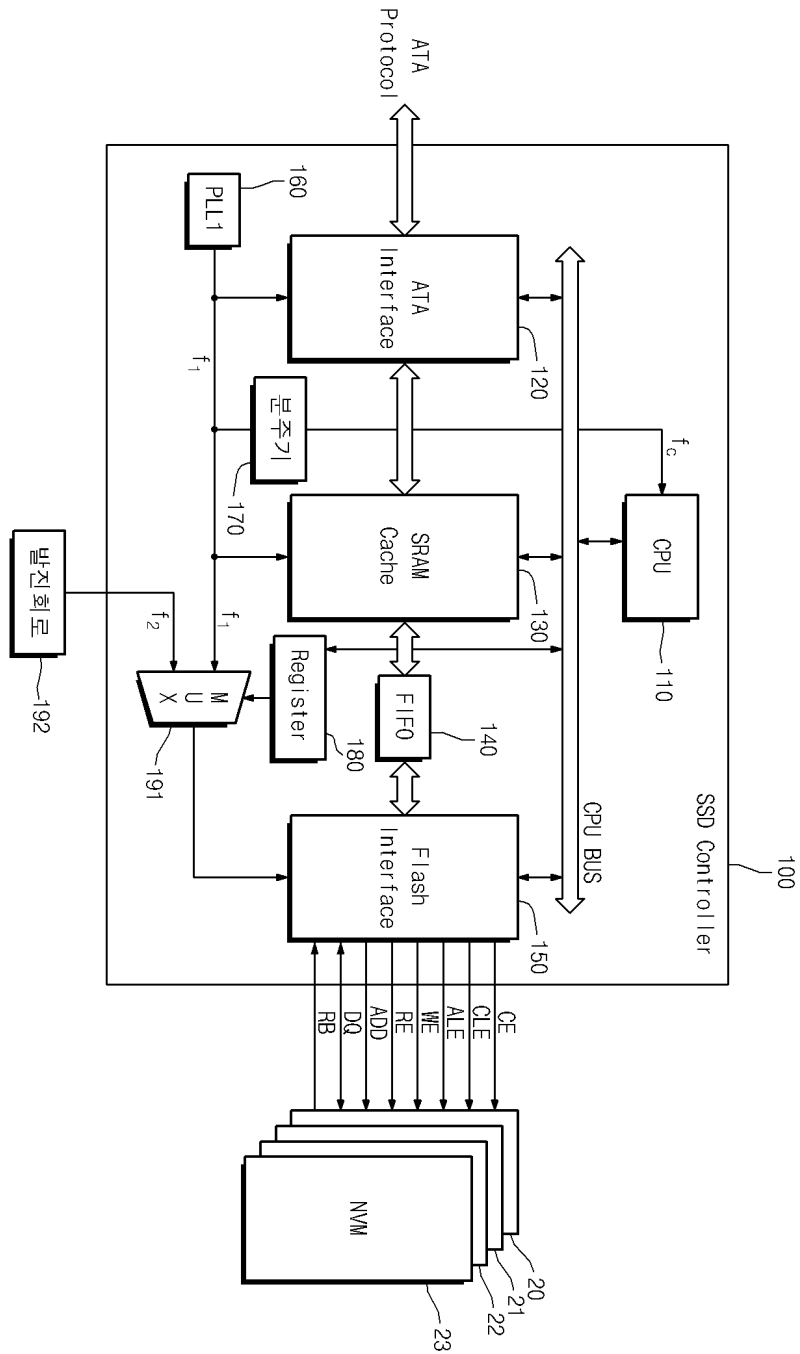
도면1



도면2



도면3



도면4

