

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成16年12月24日(2004.12.24)

【公開番号】特開2000-12788(P2000-12788A)

【公開日】平成12年1月14日(2000.1.14)

【出願番号】特願平10-239928

【国際特許分類第7版】

H 0 1 L 27/06

H 0 1 L 27/118

H 0 1 L 27/04

H 0 1 L 21/822

【F I】

H 0 1 L 27/06 3 1 1 B

H 0 1 L 21/82 M

H 0 1 L 27/04 D

【手続補正書】

【提出日】平成16年1月21日(2004.1.21)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体基板上に形成される半導体集積回路装置であって、
第1の電源電位を供給する第1および第2の電源配線と、
前記第1の電源電位よりも低い第2の電源電位を供給する第3および第4の電源配線と、
外部との間で信号を授受を行う複数の入出力端子と、
前記半導体基板の主表面上に形成され、前記第1および第3の電源配線から電源電位を供給される第1のトランジスタ群とを備え、
前記第1のトランジスタ群は、
前記入出力端子に与えられた信号に応じて所定の処理を行い対応するデータ信号を出力する内部回路を形成する複数のトランジスタを含み、
前記半導体基板の主表面上に形成され、前記第2および第4の電源配線から電源電位を供給され、各々が同一のトランジスタサイズを有する複数のトランジスタを含む第2のトランジスタ群をさらに備え、
前記第2のトランジスタ群は、
前記入出力端子のうち前記データ信号を出力する入出力端子と前記内部回路との間に設けられ、前記データ信号をバッファ処理する出力バッファを形成する第1のトランジスタサブグループと、
前記入出力端子と前記第2および第4の電源配線のいずれかとの間に発生するサージから前記出力バッファおよび前記内部回路を保護する第1の保護回路を形成する第2のトランジスタサブグループと、
前記第1の電源配線と前記第2の電源配線との間および前記第3の電源配線と前記第4の電源配線との間に設けられる第2の保護回路を形成する第3のトランジスタサブグループとを含み、
前記第2の保護回路は、前記入出力端子と前記第1および第3の電源配線のいずれかとの間に発生するサージから前記内部回路を保護する、半導体集積回路装置。

【請求項 2】

前記第 3 のトランジスタサブグループは、
各々のゲート直下領域の電位が独立に制御されている複数のトランジスタを含む、請求項 1 記載の半導体集積回路装置。

【請求項 3】

前記第 1 の保護回路は、
前記入出力端子と前記第 2 の電源配線との間に設けられ、前記入出力端子から前記第 2 の電源配線に向かう方向を順方向とするダイオードとして動作する第 1 のトランジスタと、
前記入出力端子と前記第 4 の電源配線との間に設けられ、前記第 4 の電源配線から前記入出力端子に向かう方向を順方向とするダイオードとして動作する第 2 のトランジスタとを含み、
前記第 2 の保護回路は、
前記第 1 の電源配線と前記第 2 の電源配線との間に設けられ、前記第 1 の電源配線から前記第 2 の電源配線に向かう方向を順方向とするダイオードとして動作する第 3 のトランジスタと、
前記第 1 の電源配線と前記第 2 の電源配線との間に設けられ、前記第 2 の電源配線から前記第 1 の電源配線に向かう方向を順方向とするダイオードとして動作する第 4 のトランジスタと、
前記第 3 の電源配線と前記第 4 の電源配線との間に設けられ、前記第 3 の電源配線から前記第 4 の電源配線に向かう方向を順方向とするダイオードとして動作する第 5 のトランジスタと、
前記第 3 の電源配線と前記第 4 の電源配線との間に設けられ、前記第 4 の電源配線から前記第 3 の電源配線に向かう方向を順方向とするダイオードとして動作する第 6 のトランジスタとを含む、請求項 2 記載の半導体集積回路装置。

【請求項 4】

前記第 1 の保護回路は、
前記入出力端子と前記第 2 の電源配線との間に設けられ、前記入出力端子から前記第 2 の電源配線に向かう方向を順方向とするダイオードとして動作する第 1 のトランジスタと、
前記入出力端子と前記第 4 の電源配線との間に設けられ、前記第 4 の電源配線から前記入出力端子に向かう方向を順方向とするダイオードとして動作する第 2 のトランジスタとを含み、
前記第 2 の保護回路は、
前記第 1 の電源配線と前記第 2 の電源配線との間に設けられ、両方向ダイオード対として動作する第 3 のトランジスタと、
前記第 3 の電源配線と前記第 4 の電源配線との間に設けられ、両方向ダイオード対として動作する第 4 のトランジスタとを含み、
前記第 3 のトランジスタは、
ソースおよびドレインのうちの一方と電気的に結合し前記第 2 の電源配線に接続するゲートと、
ソースおよびドレインのうちの他方と電気的に結合し前記第 1 の電源配線に接続するゲート直下の領域を有し、
前記第 4 のトランジスタは、
ソースおよびドレインのうちの一方と電気的に結合し前記第 4 の電源配線に接続するゲートと、
ソースおよびドレインのうちの他方と電気的に結合し前記第 3 の電源配線に接続するゲート直下の領域とを有する、請求項 2 記載の半導体集積回路装置。

【請求項 5】

前記半導体基板は、
前記第 1 および第 2 のトランジスタ群が形成される半導体層と、
前記半導体層の直下に設けられた絶縁層と、

前記第2のトランジスタ群の各々のトランジスタを電氣的に分離するために設けられた、主表面から前記絶縁層に至る分離用酸化膜領域とを含む、請求項3または4記載の半導体集積回路装置。

【請求項6】

前記半導体基板は第1導電型であって、

前記半導体基板は、

前記第1および第2のトランジスタ群が形成される第1導電型の第1ウェルと、

前記第2のトランジスタ群の各々のトランジスタを電氣的に分離するために設けられた、

前記第1ウェルの主表面を除いて前記第1ウェルを取り囲むように形成される第2導電型の第2ウェルとを含む、請求項3または4記載の半導体集積回路装置。

【請求項7】

前記第1の保護回路は、

前記入出力端子と前記第2の電源配線との間に設けられ、前記入出力端子から前記第2の電源配線に向かう方向を順方向とするダイオードとして動作する第1のトランジスタと、前記入出力端子と前記第4の電源配線との間に設けられ、前記第4の電源配線から前記入出力端子に向かう方向を順方向とするダイオードとして動作する第2のトランジスタとを含み、

前記第2の保護回路は、

前記第1の電源配線と前記第2の電源配線との間に設けられ、両方向ダイオード対として動作する第3のトランジスタと、

前記第3の電源配線と前記第4の電源配線との間に設けられ、両方向ダイオード対として動作する第4のトランジスタとを含み、

前記第3のトランジスタは、

ソースおよびドレインのうちの一方と電氣的に結合し前記第1の電源配線に接続するゲートと、

ソースおよびドレインのうちの他方と電氣的に結合し前記第2の電源配線に接続するゲート直下の領域を有し、

前記第4のトランジスタは、

ソースおよびドレインのうちの一方と電氣的に結合し前記第3の電源配線に接続するゲートと、

ソースおよびドレインのうちの他方と電氣的に結合し前記第4の電源配線に接続するゲート直下の領域とを有する、請求項1記載の半導体集積回路装置。

【請求項8】

前記第1および第2のトランジスタの各々は、

ソースおよびドレインのうちの一方と電氣的に接続され、さらにゲート直下の領域と電氣的に結合されたゲートを有する、請求項7記載の半導体集積回路装置。

【請求項9】

前記内部回路を形成する複数のトランジスタは、同一のトランジスタサイズを有する、請求項1記載の半導体集積回路装置。

【請求項10】

半導体基板上に形成される半導体集積回路装置であって、

第1の電源電位を供給する第1の電源配線と、

前記第1の電源電位より低い第2の電源電位を供給する第2の電源配線と、

外部との間で信号の授受を行なう複数の入出力端子と、

前記半導体基板の主表面上に形成され、前記第1および第2の電源配線から電源電位を供給されるトランジスタ群を備え、

前記トランジスタ群は、複数のサブグループに分割され、

前記複数のサブグループに含まれるトランジスタのソースおよびドレイン領域は、前記サブグループごとに異なる入力抵抗を有し、

前記入出力端子と前記第1および第2の電源配線のいずれかとの間に発生するサージを除

去する静電保護回路をさらに備え、

前記静電保護回路は、

前記入出力端子と前記第 1 の電源配線との間に互いに並列に接続された、異なる前記サブグループに属する複数のトランジスタと、

前記入出力端子と前記第 2 の電源配線との間に互いに並列に接続された、異なる前記サブグループに属する複数のトランジスタとを含む、半導体集積回路装置。

【請求項 11】

前記トランジスタ群に含まれるトランジスタの各々は、

ソースおよびドレイン領域上に高導電膜で覆われた領域を有し、かつ、

前記第 1 複数のサブグループごとに、前記ソースおよびドレイン領域の全面積に対する前記高導電膜で覆われた領域の面積の独立な比率を有する、請求項 10 記載の半導体集積回路装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正の内容】

【0028】

請求項 3 記載の半導体集積回路装置は、請求項 2 記載の半導体集積回路装置において、第 1 の保護回路は、入出力端子と第 2 の電源配線との間に設けられ、入出力端子から第 2 の電源配線に向かう方向を順方向とするダイオードとして動作する第 1 のトランジスタと、入出力端子と第 4 の電源配線との間に設けられ、第 4 の電源配線から入出力端子に向かう方向を順方向とするダイオードとして動作する第 2 のトランジスタとを含み、第 2 の保護回路は、第 1 の電源配線と第 2 の電源配線との間に設けられた、第 1 の電源配線から第 2 の電源配線に向かう方向を順方向とするダイオードとして動作する第 3 のトランジスタおよび第 2 の電源配線から第 1 の電源配線に向かう方向を順方向とするダイオードとして動作する第 4 のトランジスタと、第 3 の電源配線と第 4 の電源配線との間に設けられた、第 3 の電源配線から第 4 の電源配線に向かう方向を順方向とするダイオードとして動作する第 5 のトランジスタおよび第 4 の電源配線から第 3 の電源配線に向かう方向を順方向とするダイオードとして動作する第 6 のトランジスタとを含む。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0029

【補正方法】削除

【補正の内容】

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】削除

【補正の内容】

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正の内容】

【0031】

請求項 4 記載の半導体集積回路装置は、請求項 2 記載の半導体集積回路装置において、第 1 の保護回路は、入出力端子と第 2 の電源配線との間に設けられて入出力端子から第 2 の

【手続補正 6】

【補正対象項目名】 0032

【補正の内容】

【 0 0 3 2 】

【手続補正7】

【補正対象項目名】 0033

【補正の内容】

【 0 0 3 3 】

【手続補正 8】

【補正対象項目名】 0034

【補正の内容】

【 0 0 3 4 】

請求項7記載の半導体集積回路装置は、請求項1記載の半導体集積回路装置において、第1の保護回路は、入出力端子と第2の電源配線との間に設けられて入出力端子から第2の電源配線に向かう方向を順方向とするダイオードとして動作する第1のトランジスタと、入出力端子と第4の電源配線との間に設けられて第4の電源配線から入出力端子に向かう方向を順方向とするダイオードとして動作する第2のトランジスタとを含み、第2の保護回路は、第1の電源配線と第2の電源配線との間に設けられ、両方向ダイオード対として動作する第3のトランジスタと、第3の電源配線と第4の電源配線との間に設けられ、両方向ダイオード対として動作する第4のトランジスタとを含み、第3のトランジスタは、ソースおよびドレインのうちの一方と電気的に結合し第1の電源配線に接続するゲートと、ソースおよびドレインのうちの他方と電気的に結合し第2の電源配線に接続するゲート直下の領域を有し、第4のトランジスタは、ソースおよびドレインのうちの一方と電気的に結合し第3の電源配線に接続するゲートと、ソースおよびドレインのうちの他方と電気的に結合し第4の電源配線に接続するゲートとを有する。

的に結合し第４の電源配線に接続するゲート直下の領域とを有する。

【手続補正９】

【補正対象書類名】明細書

【補正対象項目名】００３５

【補正方法】変更

【補正の内容】

【００３５】

請求項８記載の半導体集積回路装置は、請求項７記載の半導体集積回路装置において、第１および第２のトランジスタの各々は、ソースおよびドレインのうちの一方と電氣的に接続され、さらにゲート直下の領域と電氣的に結合されたゲートを有する。

【手続補正１０】

【補正対象書類名】明細書

【補正対象項目名】００３６

【補正方法】変更

【補正の内容】

【００３６】

請求項９記載の半導体集積回路は、請求項１記載の半導体集積回路装置において、内部回路を形成する複数のトランジスタは、同一のトランジスタサイズを有する。

【手続補正１１】

【補正対象書類名】明細書

【補正対象項目名】００３７

【補正方法】削除

【補正の内容】

【手続補正１２】

【補正対象書類名】明細書

【補正対象項目名】００３８

【補正方法】削除

【補正の内容】

【手続補正１３】

【補正対象書類名】明細書

【補正対象項目名】００３９

【補正方法】削除

【補正の内容】

【手続補正１４】

【補正対象書類名】明細書

【補正対象項目名】００４０

【補正方法】削除

【補正の内容】

【手続補正１５】

【補正対象書類名】明細書

【補正対象項目名】００４１

【補正方法】削除

【補正の内容】

【手続補正１６】

【補正対象書類名】明細書

【補正対象項目名】 0 0 4 2
【補正方法】 削除
【補正の内容】

【手続補正 1 7】
【補正対象書類名】 明細書
【補正対象項目名】 0 0 4 3
【補正方法】 削除
【補正の内容】

【手続補正 1 8】
【補正対象書類名】 明細書
【補正対象項目名】 0 0 4 4
【補正方法】 削除
【補正の内容】

【手続補正 1 9】
【補正対象書類名】 明細書
【補正対象項目名】 0 0 4 5
【補正方法】 削除
【補正の内容】

【手続補正 2 0】
【補正対象書類名】 明細書
【補正対象項目名】 0 0 4 6
【補正方法】 変更
【補正の内容】

【0 0 4 6】

請求項 1 0 記載の半導体集積回路装置は、半導体基板上に形成される半導体集積回路装置であって、第 1 の電源電位を供給する第 1 の電源配線と、第 1 の電源電位より低い第 2 の電源電位を供給する第 2 の電源配線と、外部との間で信号の授受を行なう複数の入出力端子と、半導体基板の主表面上に形成され、第 1 および第 2 の電源配線から電源電位を供給されるトランジスタ群を備え、トランジスタ群は、複数のサブグループに分割され、複数のサブグループに含まれるトランジスタのソースおよびドレイン領域は、サブグループごとに異なる入力抵抗を有し、入出力端子と第 1 および第 2 の電源配線のいずれかとの間に発生するサージを除去する静電保護回路をさらに備え、静電保護回路は、入出力端子と第 1 の電源配線との間に互いに並列に接続された、異なるサブグループに属する複数のトランジスタと、入出力端子と第 2 の電源配線との間に互いに並列に接続された、異なるサブグループに属する複数のトランジスタとを含む。

【手続補正 2 1】
【補正対象書類名】 明細書
【補正対象項目名】 0 0 4 7
【補正方法】 変更
【補正の内容】
【0 0 4 7】

請求項 1 1 記載の半導体集積回路装置は、請求項 1 0 記載の半導体集積回路装置であって、トランジスタ群に含まれるトランジスタの各々は、ソースおよびドレイン領域上に高導電膜で覆われた領域を有し、かつ、第 1 複数のサブグループごとに、ソースおよびドレイン領域の全面積に対する高導電膜で覆われた領域の面積の独立な比率を有する。

【手続補正 2 2】

【補正対象書類名】明細書
【補正対象項目名】0048
【補正方法】削除
【補正の内容】

【手続補正23】
【補正対象書類名】明細書
【補正対象項目名】0137
【補正方法】削除
【補正の内容】

【手続補正24】
【補正対象書類名】明細書
【補正対象項目名】0138
【補正方法】削除
【補正の内容】

【手続補正25】
【補正対象書類名】明細書
【補正対象項目名】0139
【補正方法】変更
【補正の内容】

【0139】

請求項4記載の半導体集積回路装置は、請求項2記載の半導体集積回路装置が奏する効果に加えて、同一の効果を有する静電保護回路を半分のトランジスタ数で実現することができる。このため、レイアウト効率および自由度の向上、チップ面積の低減に更に有利である。

【手続補正26】
【補正対象書類名】明細書
【補正対象項目名】0140
【補正方法】変更
【補正の内容】

【0140】

請求項5記載の半導体集積回路装置は、請求項3または4記載の半導体集積回路装置が奏する効果を、SOI (Silicon on Insulator) 構造の半導体基板により得ることができる。

【手続補正27】
【補正対象書類名】明細書
【補正対象項目名】0141
【補正方法】変更
【補正の内容】

【0141】

請求項6記載の半導体集積回路装置は、請求項3または4記載の半導体集積回路装置が奏する効果をバルク構造の半導体基板により得ることができる。

【手続補正28】
【補正対象書類名】明細書
【補正対象項目名】0142
【補正方法】変更
【補正の内容】
【0142】

請求項 7 および 8 記載の半導体集積回路装置は、請求項 2 記載の半導体集積回路装置と同等の効果を、入力バッファ用トランジスタ群のトランジスタの各々を電氣的に分離することなく得ることができる。また、同等の保護回路を半分のトランジスタ数で得ることができる。このため、更にチップ面積の低減、レイアウト効率および自由度を向上できる。

【手続補正 29】

【補正対象書類名】明細書

【補正対象項目名】0143

【補正方法】変更

【補正の内容】

【0143】

請求項 9 記載の半導体集積回路装置は、予め大きいサイズのゲートアレイで設計された出力バッファ用トランジスタを用いて独立した複数の電源に対応する静電保護回路を構成する。したがって請求項 1 記載の半導体集積回路装置が奏する効果に加えて耐容量のより大きな静電保護回路を効率的で自由度の高いレイアウトの下で構成することができる。

【手続補正 30】

【補正対象書類名】明細書

【補正対象項目名】0144

【補正方法】削除

【補正の内容】

【手続補正 31】

【補正対象書類名】明細書

【補正対象項目名】0145

【補正方法】削除

【補正の内容】

【手続補正 32】

【補正対象書類名】明細書

【補正対象項目名】0146

【補正方法】削除

【補正の内容】

【手続補正 33】

【補正対象書類名】明細書

【補正対象項目名】0147

【補正方法】削除

【補正の内容】

【手続補正 34】

【補正対象書類名】明細書

【補正対象項目名】0148

【補正方法】削除

【補正の内容】

【手続補正 35】

【補正対象書類名】明細書

【補正対象項目名】0149

【補正方法】削除

【補正の内容】

【手続補正 36】

【補正対象書類名】明細書

【補正対象項目名】0150

【補正方法】削除

【補正の内容】

【手続補正 37】

【補正対象書類名】明細書

【補正対象項目名】0151

【補正方法】削除

【補正の内容】

【手続補正 38】

【補正対象書類名】明細書

【補正対象項目名】0152

【補正方法】削除

【補正の内容】

【手続補正 39】

【補正対象書類名】明細書

【補正対象項目名】0153

【補正方法】変更

【補正の内容】

【0153】

請求項 10 および 11 記載の半導体集積回路装置は、効率的なレイアウトの下で、様々な種類のサージが発生した場合においても、サージの種類に適した除去経路を静電保護回路内に形成することができる。