

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第3553376号
(P3553376)

(45) 発行日 平成16年8月11日(2004.8.11)

(24) 登録日 平成16年5月14日(2004.5.14)

(51) Int.Cl. ⁷	F I
GO6T 1/20	GO6T 1/20 B
GO6F 15/16	GO6F 15/16 610A
HO4N 5/262	HO4N 5/262

請求項の数 3 (全 12 頁)

(21) 出願番号 特願平10-184018	(73) 特許権者 000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22) 出願日 平成10年6月30日(1998.6.30)	
(65) 公開番号 特開2000-20705(P2000-20705A)	(74) 代理人 100112335 弁理士 藤本 英介
(43) 公開日 平成12年1月21日(2000.1.21)	(72) 発明者 西田 一人 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
審査請求日 平成13年1月19日(2001.1.19)	審査官 真木 健彦
	(56) 参考文献 特開平 5- 22629 (J P, A) 特開平 5- 73516 (J P, A) 特開平 6- 4284 (J P, A) 特開平10-124656 (J P, A) 最終頁に続く

(54) 【発明の名称】 並列画像処理プロセッサ

(57) 【特許請求の範囲】

【請求項 1】

1 周期あたり N 個のデータからなる入力信号に対して SIMD 形の画像処理を行う並列画像処理プロセッサにおいて、
演算処理回路とベースレジスタから構成される 1 データ単位の演算処理ユニットを M 個並列に接続した演算処理部と、
ベースレジスタを P 個並列に設けたテンポラリレジスタと、
前記演算処理部とテンポラリレジスタを制御する制御手段とを有し、
前記 M 列のベースレジスタとテンポラリレジスタの P 列のベースレジスタは、それぞれ前記制御手段からの制御信号に基づき列方向にデータの転送を行うとともに、M 列のベース
レジスタとテンポラリレジスタ間でも巡回的に列方向にデータを転送することを特徴とする並列画像処理プロセッサ。

【請求項 2】

画像処理を行う 1 周期の単位が 1 水平走査期間であり、1 水平走査期間で処理する画素数が N 個である場合、演算処理ユニットの個数 M が N より小さい値であることを特徴とする請求項 1 に記載の並列画像処理プロセッサ。

【請求項 3】

画像処理において、水平方向の複数画素に対して演算を行うフィルタ処理のうち最大の次数を有するフィルタ処理の次数を K とした場合、テンポラリレジスタのベースレジスタの個数 P が少なくとも K (偶数次の場合)、又は K + 1 (奇数次の場合) 以上であることを

特徴とする請求項 1 または 2 に記載の並列画像処理プロセッサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ビデオカメラ、テレビ等の画像信号をソフトウェアプログラムによりデジタル信号処理を行う並列画像処理プロセッサに関する。

【0002】

【従来の技術】

従来のアレイ型の画像処理プロセッサの基本構成を、図 8 を参照しつつ説明する。

図 8 に示す入力 SAM 部 802 は、各画素データのビット幅を有するレジスタが水平方向（列方向）に N 個並んでおり、図の左から右へ順次データを転送できる機能を有するレジスタである。 10

また入力 SAM 部 802 に格納された各レジスタは、同様に水平方向に N 個並ぶレジスタにより構成されるデータメモリ 803 内の各レジスタに対して（列方向に）データを転送可能となっている。

【0003】

演算処理部 804 は、同じ演算機能を有する演算回路が列方向に N 個並んだ構成を有し、データメモリ A 803 と、水平方向に N 個並ぶレジスタにより構成されるデータメモリ B 805 の列単位で接続されている。

【0004】

出力 SAM 部 806 は、出力信号の各画素データのビット幅を有するレジスタが水平方向に H 個並んでおり、図の左から右へ順次データを転送できる機能を有するレジスタでデータメモリ B 805 の各レジスタと列単位で接続されており、データメモリ B 805 の右端からデータ出力端子 808 に出力される。各ブロック間のデータの転送や処理は、列単位の処理ユニット 809 で行われる。 20

【0005】

プログラム制御部 807 は、内部に保持されたプログラムにしたがって、入力 SAM 部 802、データメモリ A 803、データメモリ B 805、出力 SAM 部 806 のデータの読みだし書き込みの制御信号を出力し、さらに演算処理部 804 の演算内容を制御する制御回路である。 30

【0006】

処理される画像信号は、一般的に 2 次元画像の各画素データを水平走査方向に 1 次元に配列した順次信号として画素クロックに同期して図 8 のデータ入力端子 801 から入力される。入力されたデータは入力 SAM 部 802 に順次格納され、1 水平走査期間の画素データが格納された時点でデータメモリ A 803 に転送される。

データメモリ A 803 に保持された画素信号は、演算処理部 804 にてプログラム制御部 807 のプログラムに基づき演算処理が行われ、データメモリ 803 A あるいはデータメモリ B 805 に格納される。

プログラムの最終の演算処理が行われた時点でデータはデータメモリ B 805 に格納され、出力 SAM 部 806 に格納されていた前の水平走査期間のデータが読みだされた時点でデータメモリ B 805 から出力 SAM 部 806 に転送される。 40

そして、出力 SAM 部 806 では画素クロックにしたがってデータ出力端子 808 へ順次データを出力する。

【0007】

【発明が解決しようとする課題】

図 8 における従来の構成の場合、演算を行う周期が水平走査期間に制限されることを以下に説明する。

一般に、画像処理では FIR フィルタが多用され、フィルタの例として図 8 の n 列の処理データへの水平方向の FIR (Finite impulse response) フィルタの処理を、下記の式 (1) とする。なおこの式では次数 $K = 4$ となる。 50

【0008】

【数1】

$$y_i = a_{i-2}x_{i-2} + a_{i-1}x_{i-1} + a_i x_i + a_{i+1}x_{i+1} + a_{i+2}x_{i+2}$$

【0009】

図9には、n画素の入力信号 $x_0 \sim x_{n-1}$ に対してFIRフィルタ処理を施した、n個 10
の出力データ $y_0 \sim y_{n-1}$ を作成する場合の処理内容を示している。

【0010】

図9において、符号901は入力画素データメモリを、符号905は出力データメモリを、そして符号902、903、904は演算処理部により処理されるFIRフィルタの演算処理内容をそれぞれ示している。

i番目の出力データ Y_i を作成するFIRフィルタは、符号903に示すように入力画素データメモリ1中の(X_{i-2} , X_{i-1} , X_i , X_{i+1} , X_{i+2})番地の5個の画素データを用いて処理を行うこととなる。

【0011】

ここで、0番目の出力データ Y_0 を作成するのFIRフィルタ処理902を考えた場合、 20
0番目の入力データ X_0 の左右2画素のデータが必要になるが、左側のデータは入力画素データメモリ1には存在しないため、 Y_0 の出力データの特性は、 Y_i の特性と異なったものとなる。

【0012】

この特性の異なる画素は、前記のフィルタ処理の場合、入力画素データメモリ901の両端それぞれ2画素に発生するが、一般にはFIRフィルタの次数がK次の場合には、データメモリ901の両端に $K/2$ 画素(偶数次の場合)、 $(K+1)/2$ 画素(奇数次の場合)特性の異なる画素が発生することとなる。

【0013】

この特性の異なった画素は、1水平走査期間の画素列の両端に発生するために、最終の映像信号を作成する時点でマスクされる為に、画像への劣化にはならない。 30

【0014】

しかし、例えば水平走査期間の画素数をN(個)として、データメモリA803の列の個数nを $(1/2)N$ (個)とした場合、入力データ X_i は水平走査期間の画素列が2分割され、まず始めに前半の $(1/2)N$ (個)の入力データがデータメモリA803に入力されて処理され、処理終了後に後半の $(1/2)N$ のデータが入力されて処理が行われる。

最終的にこの2組の $(1/2)N$ (個)の処理データを連結して水平1周期のデータが作成されるが、このとき、連結部分にK画素の特性の異なる画素列が発生し、これが2次元画像の縦スジとして画像に発生し、画像を劣化させることになってしまうという問題点があった。 40

【0015】

このことから、アレイ型の画像処理プロセッサでは、処理の周期を1水平走査期間に一致させ、データメモリなどの並列演算アレイの列の個数を1水平走査期間の画素数に合わせる必要がある。処理すべき画像の水平画素数は、千数百画素あることから並列処理アレイの個数も千数百個必要となってしまう、これを集積回路にした場合、回路規模は非常に大きくなることが予想される。

【0016】

そのため、従来のアレイ型の画像処理プロセッサでは、1アレイ当たりのゲート数を少なくする為、演算回路を1ビット処理にして数ステップで1ワードの演算を行うような構成 50

をとるものが多かった。また、処理の周期が画像の水平画素数に規定されてしまうため、処理する画像の画素数によってアレイ数を変更する必要がある為、画像サイズによって集積回路を作成し直さなければならなかった。

【0017】

本発明は、前記の問題点を解消するためになされたものであって、演算処理の1周期を1水平走査期間に限定されない周期で処理を行うことが可能で、少ないアレイ数の演算処理部で処理できる並列画像処理プロセッサを提供することを目的とする。

【0018】

【課題を解決するための手段】

本発明は、上記の目的を達成するために次の構成を有する。

10

請求項1の発明は、1周期あたりN個のデータからなる入力信号に対してSIMD形の画像処理を行う並列画像処理プロセッサにおいて、演算処理回路とベースレジスタから構成される1データ単位の演算処理ユニットをM個並列に接続した演算処理部と、ベースレジスタをP個並列に設けたテンポラリレジスタと、前記演算処理部とテンポラリレジスタを制御する制御手段とを有し、演算処理部は、M個の演算処理ユニットにより構成され、前記M列のベースレジスタとテンポラリレジスタのP列のベースレジスタは、それぞれ前記制御手段からの制御信号に基づき列方向にデータの転送を行うとともに、M列のベースレジスタとテンポラリレジスタ間でも巡回的に列方向にデータを転送することを特徴とする並列画像処理プロセッサである。

【0019】

20

請求項2の発明は、画像処理を行う1周期の単位が1水平走査期間であり、1水平走査期間で処理する画素数がN個である場合、演算処理ユニットの個数MがNより小さい値であることを特徴とする請求項1に記載の並列画像処理プロセッサである。

【0020】

請求項3の発明は、画像処理において、水平方向の複数画素に対して演算を行うフィルタ処理のうち最大の次数を有するフィルタ処理の次数をKとした場合、テンポラリレジスタのベースレジスタ個数Pが少なくともK（偶数次の場合）又はK+1（奇数次の場合）以上であることを特徴とする請求項1または2に記載の並列画像処理プロセッサである。

【0021】

本発明によれば、1周期あたりN個のデータからなる入力信号に対してSIMD形の画像処理を行うにあたり、M列のベースレジスタの各ベースレジスタに1データずつ格納され、テンポラリレジスタに格納されている前回の処理に用いたM個のデータ中の所定P個のデータが格納され、制御手段からの制御信号に基づきベースレジスタのM個のデータが演算処理回路により並列処理され、次にベースレジスタとテンポラリレジスタ間で所定個数のデータが巡回的に転送されて、再度、制御手段からの制御信号に基づきベースレジスタ中のM個のデータが演算処理回路により並列処理される。

30

ベースレジスタのM個のデータに関して影響なく処理終了した後に、所定P個のデータが、テンポラリレジスタに保存され、ベースレジスタには新たに次のM個のデータが格納された後に上記の処理が繰り返し行われる。

【0022】

40

【発明の実施の形態】

以下、図面を参照して本発明の実施形態を詳細に説明する。

図1は、並列画像処理プロセッサの概略ブロック図を示しており、演算処理手段2とレジスタAおよびBより構成される演算処理部1、前記レジスタA/Bに対応して巡回的にデータ転送を可能としているテンポラリレジスタTA/TBおよび前記演算処理部1とテンポラリレジスタTA/TBを制御するプログラム制御部3から構成され、1周期あたりN個のデータからなる入力信号DATAに対してSIMD(Single instruction multiple data stream)形の画像処理を行うものである。

【0023】

演算処理手段2は、M個の演算処理回路を並列に設けたものであって、各演算回路はレジ

50

スタA、Bとそれぞれ接続されており、プログラム制御部3からの処理命令によりレジスタA、B内のデータの処理、例えばFIRフィルタ処理を行うものである。

【0024】

レジスタAおよびレジスタBは、複数ビットのレジスタを有するベースレジスタを並列にM個設けたレジスタであり、プログラム制御部3からの処理命令により各ベースレジスタに格納するデータを、隣り合うベースレジスタにシフト可能とするものである。

【0025】

なお、演算処理部1は、前記したように演算処理手段2、レジスタAおよびレジスタBにより構成されるものであるが、より詳しくは1データ単位の演算処理ユニットU（1の演算回路、レジスタA、Bの各1ベースレジスタ）をM個並列に接続した構成をなしている。

10

【0026】

テンポラリレジスタTA、TBは、それぞれ複数のレジスタを有するベースレジスタをP列並列に設けたレジスタであり、前記したレジスタA、Bと同様に各ベースレジスタに格納するデータを、隣り合うベースレジスタにシフト可能とするものである。

【0027】

また、レジスタAとテンポラリレジスタTAは、それぞれのレジスタ内でデータのシフトが可能であるとともに、プログラム制御部3からの制御信号に基づきレジスタAとテンポラリレジスタTA間でも巡回的に列方向にデータ転送が可能となっている。同様にレジスタBとテンポラリレジスタTB間でも巡回的に列方向にデータ転送が可能となっている。

20

【0028】

以上説明した構成の並列画像処理プロセッサの動作を図2、3のブロック図を参照しつつ説明をする。図2、3中のステップ(1)～(6)は、処理の順番を示している。

図2のステップ(1)の上半部の図は、画像処理プロセッサで処理対象となる1水平走査期間の画素数H（個）の画素データ1を示しており、画像処理プロセッサの外部に設けられたメモリ（内蔵DRAM）に保持されているものとする。また、ステップ(1)の下半部には、画像処理プロセッサを構成するレジスタA、およびレジスタAに接続するテンポラリレジスタTAに格納されたデータを示している。尚、演算処理ユニットUの個数を画素数Nの $1/4$ としている。

【0029】

30

先ず始めに、ステップ1において内蔵DRAMの画素データ1の一部であるBLK#2がレジスタAに転送される。このとき、テンポラリレジスタTAには、1サイクル前の処理においてBLK#1の画素データの一部（B）、（C）が保持されているものとする。

【0030】

次に、ステップ2においてテンポラリレジスタTAとレジスタAが接続された状態で列方向に右にシフトされ、レジスタAには左から各画像データBLK#1の（C）、BLK#2の（A）及びBLK#2の（B）が保持される。

また、レジスタAに保持されていたBLK#2の（C）部のデータは、テンポラリレジスタTAに転送される。

その後、レジスタAに保持されている画素データに対しての処理が行われて、その演算処理結果のデータはレジスタBや後述するレジスタCに格納され、レジスタAのデータは更新されない。

40

【0031】

水平FIRフィルタの処理では、例えばi番目の画素のFIRフィルタ出力を前記の式（1）のフィルタにて作成する場合、（i-2、i-1、i、i+1、i+2）番目の5つの画素データを使用するが、これはレジスタAとテンポラリレジスタTAを接続した状態で左右方向へのシフトを行うことでi番目の演算処理部に必要なデータが接続される。

レジスタAに保持されている画素データに対する水平FIRフィルタ処理では、フィルタ次数Kである場合に、左右にそれぞれ $K/2$ （偶数次）、又は $(K-1)/2$ （奇数次）画素の画素データが必要になるが、これはPが少なくともK（偶数次）、又はK+1（奇

50

数次)であるP列のレジスタにより構成されているテンポラリレジスタTAにBLK#1の(B)部とBLK#2(C)部が保持されており、必要な時点でレジスタAに巡回シフトにより転送されるため、レジスタAの両端の画素に対するフィルタ処理での画素欠落による特性の違いは発生しない。

【0032】

信号処理が完了後、ステップ(3)にて、レジスタAに保持されているBLK#2の(B)部がテンポラリレジスタTAに転送され、TAには、BLK#2の(B)、(C)部が保持されることになり、BLK#2の画素データに対する処理が完了する。

【0033】

次に図3に移り、ステップ(4)にて、BLK#3のデータがレジスタAに転送された後、ステップ(5)、(6)の処理が行われるがこれは、図2のステップ(1)、(2)、(3)と同一処理となる。

【0034】

なお、以上は入力画素データを保持しているレジスタAについての処理であるが、信号処理の途中のデータを保持するレジスタBについても同じ処理動作が可能である。

【0035】

以上説明した並列画像処理プロセッサでは、信号処理の途中のFIRフィルタ処理の場合、次のブロックでの同じフィルタ処理のときに使用される両端画素に対する欠落画素に相当する画素データをテンポラリレジスタTA/TBに退避させておく。そして次のブロックのデータをレジスタA/Bに入力し、途中のFIRフィルタの演算を行う直前に、レジスタA/Bのデータと1周期前に作成されたテンポラリレジスタTA/TBのデータを巡回的にシフトすることでFIRフィルタにおける欠落画素の影響を除去することができる。

ただし、この場合、テンポラリレジスタTA/TBに退避される画素データは、過去の処理によって作成されたもののみになるため、FIRフィルタの処理を行った時点でFIRフィルタの次数Kに対して $K/2$ 画素分(偶数次)又は $(K+1)/2$ 画素分(奇数次)、水平方向に位相が遅れたデータが作成されることになるが、レジスタA/Bと同様に処理を行うブロックとブロックの境界のデータについての画素の特性劣化は発生しない。

【0036】

次に以上説明した並列画像処理プロセッサのより詳細な説明をする。

図4には、演算処理部1とテンポラリレジスタTA/TBを含めた並列処理アレイ部4のブロック図、図5にはプログラム制御部3のブロック図、図6には演算処理部1の1組のアレイ部Uのブロック図及び図7にはテンポラリレジスタTAのブロック図を示す。

【0037】

図4において、レジスタAはレジスタバンク#1と#2に分かれており、セクタ5を介して画像処理プロセッサの外部バスであるローカルバスにいずれか1つのレジスタバンク#1/#2が接続されている。ローカルバスに接続されていないレジスタバンクは、レジスタB、演算部2にセクタ6を介して接続されている。

【0038】

また、テンポラリレジスタTAにもレジスタバンク#1/#2のいずれか1つが接続されるようになっており、列方向に巡回的にデータ転送を行うことが可能である。レジスタBは、演算部2、レジスタAに接続され、さらにテンポラリレジスタTBにも巡回的にデータ転送が可能のように接続されている。

【0039】

演算部2の下方には、処理データの一時保持用のレジスタCが設けられている。図の右端の各制御信号やデータバス(DA)~(DH)は、図5のプログラム制御部7に接続されている。

【0040】

図5は、プログラム制御部3であり、制御用プログラムを格納するプログラム用RAM(

10

20

30

40

50

Random access memory) 7、ワークRAM 8、プログラムカウンタ 9とその制御部 10、演算部 (ALU (Arithmetic and Logical Unit) / MLT ((乗算器) Multiplier) 11および外部との制御を行うDMA (Direct memory access) コントローラ 12にて構成される。

【0041】

図6は、図4に示した並列処理アレイ部4内のアレイ1組（それぞれ下付き文字₂）を付して区別する）を示したものである。ベースレジスタA₂、ベースレジスタB₂、ベースレジスタC₂の構成は、例として複数ビットのレジスタDF F (0)、DF F (1)、DF F (2)、DF F (3)の4ワードからなるベースレジスタの場合を示している。尚

10

【0042】

ベースレジスタA₂の出力は、左右の隣り合うアレイのベースレジスタA₂につながるようになっており左右への列方向のデータ転送を行う機能を有する。

また、ベースレジスタA₂の出力は、セクタ13を介して演算部B₂の入力に接続されている。ベースレジスタB₂もベースレジスタA₂と同様に、出力は左右の隣り合うアレイのベースレジスタB₂につながるようになっており左右への列方向のデータ転送を行う機能を有する。

【0043】

また、ベースレジスタB₂の出力は、演算部3₂の入力に接続されている。演算部3₂の図面下方には、ベースレジスタC₂があり、演算部3₂とレジスタを介して入力に接続されている。

20

【0044】

演算部3₂では、各ベースレジスタA₂、B₂、C₂、およびコモンデータバスを通じてプログラム制御部3から送られる全アレイ共通のデータを選択するセクタ14と乗算器15、ALU 16、ステータスレジスタ17により構成される。ALU 16およびステータスレジスタ17の出力は、ベースレジスタA₂、ベースレジスタB₂、ベースレジスタC₂の入力につながっており、コントロール信号によってプログラムにより選択されたレジスタに書き込まれる。

【0045】

図7は、テンポラリレジスタTA/TBの詳細図である。例として、複数ビットのレジスタDF Fを4ワード並べたものを列方向に3列並べた構成のものを示している。各ベースレジスタTA₂/TB₂間は、隣り合うレジスタに対してデータの転送が行えるようになっており、テンポラリレジスタの両端のレジスタTA₂/TB₂の入出力は、レジスタA/Bの両端のベースレジスタA₂/B₂に接続されることで、レジスタA/BとテンポラリレジスタTA/TBが巡回的にデータ転送が行えるようになっている。

30

【0046】

以上説明したように、テンポラリレジスタTA/TBを設けることにより、水平FIRフィルタ処理において発生する処理対象の画素データの両端で発生する画素欠落による特性劣化を無くすることができ、画像処理プロセッサでの処理単位を1水平期間に限定することなく分割処理が可能となり、任意の水平画素数の画像の処理が可能な固定アレイ数の画像処理プロセッサが実現できた。

40

【0047】

なお、前記の実施形態では本発明の好適例を説明したが、本発明はこれに限定されるものではないことはもちろんである。

例えば、本実施形態では、複数列のベースレジスタからなり、列方向に巡回的にデータ転送を可能とするレジスタとテンポラリレジスタのセットとして、レジスタAとテンポラリレジスタTA、及びレジスタBとテンポラリレジスタTBの2組のセットを設けて説明したが、少なくとも1組以上設けていれば本発明の実施は可能である。

【0048】

50

【発明の効果】

以上説明したように本発明によれば、ベースレジスタとの間で所定個数のデータを巡回的に転送可能とするテンポラリレジスタを設けたことにより、1周期あたりN個のデータからなる入力信号に対して、N個より少ないM列のベースレジスタを用いた水平FIRフィルタ処理を行っても、従来発生していた画素データ両端の画素欠落による特性劣化を無くすことができた。

よって、画像処理プロセッサでの処理単位を従来のように1水平期間に限定することなく分割処理が可能となったので、水平画素数の画像の処理を任意の固定アレイ数の画像処理プロセッサにより実現可能となり、処理速度の高速化に伴って装置の小型化、更なる高機能化を実現できる。

10

【図面の簡単な説明】

【図1】本発明の実施形態にかかる並列画像処理プロセッサのブロック図である。

【図2】本発明の実施形態にかかる並列画像処理プロセッサの動作説明ブロック図である。

【図3】本発明の実施形態にかかる並列画像処理プロセッサの図2に続く動作説明ブロック図である。

【図4】本発明の実施形態にかかる並列画像処理プロセッサの一部のブロック図である。

【図5】本発明の実施形態にかかる並列画像処理プロセッサのプログラム制御部3のブロック図である。

【図6】本発明の実施形態にかかる並列画像処理プロセッサの演算処理ユニットUのブロック図である。

20

【図7】本発明の実施形態にかかる並列画像処理プロセッサのテンポラリレジスタTA/TBのブロック図である。

【図8】従来の並列画像処理プロセッサの処理のブロック図である。

【図9】FIRフィルタの処理の説明図である。

【符号の説明】

1 演算処理部

2 演算処理手段

3 プログラム制御部

A、B レジスタ

30

A₂、B₂ ベースレジスタ

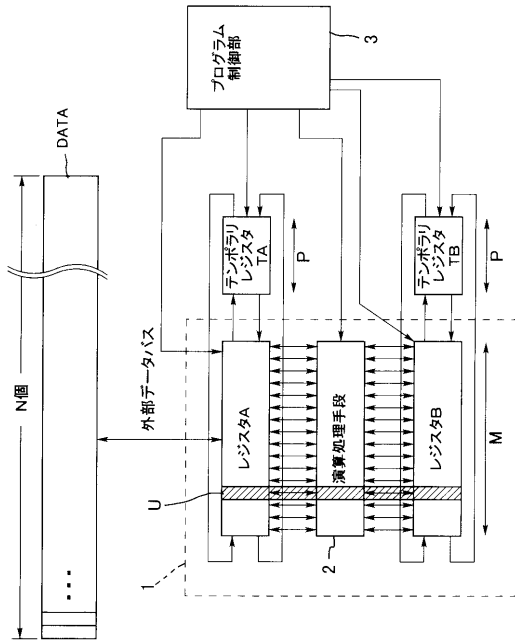
TA、TB テンポラリレジスタ

TA₂、TB₂ ベースレジスタ

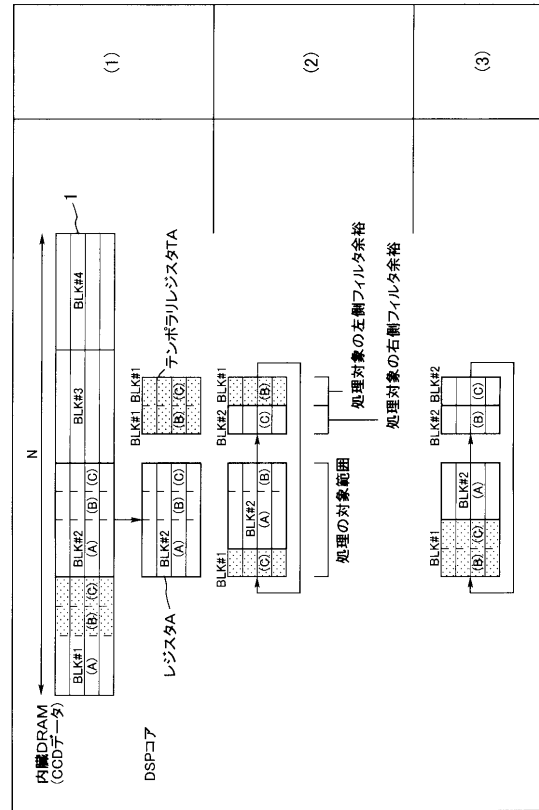
U 演算処理ユニット

DATA 水平走査期間の画素数N個のデータ

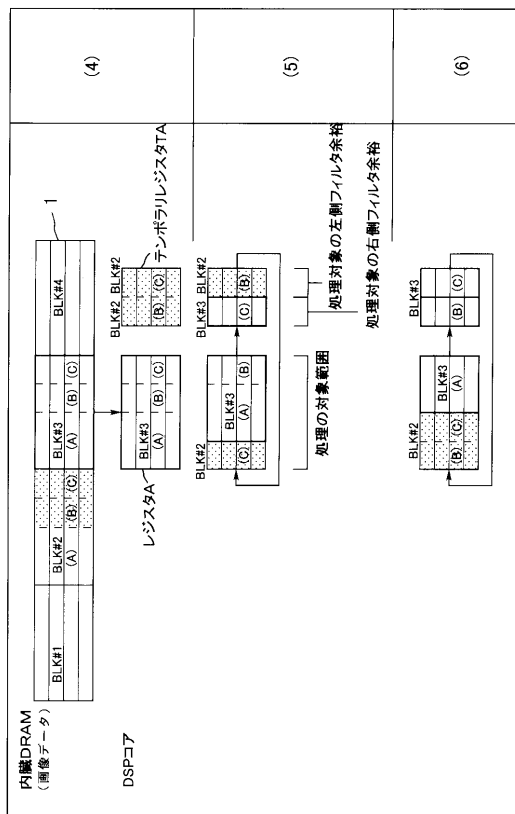
【図 1】



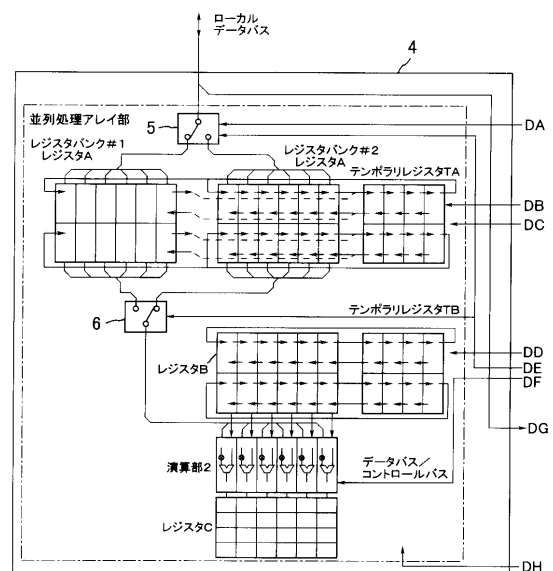
【図 2】



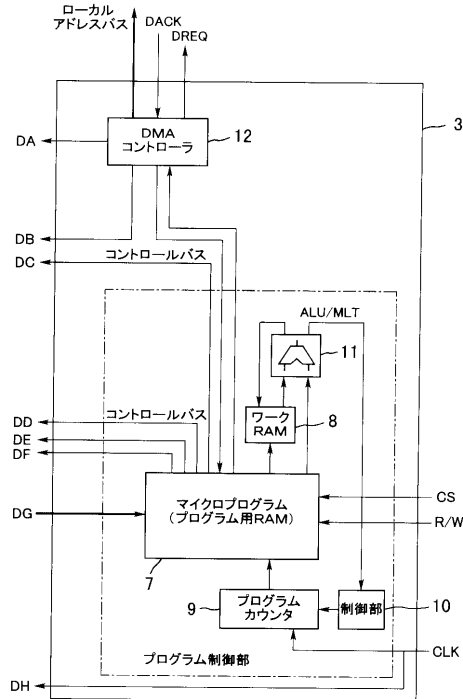
【図 3】



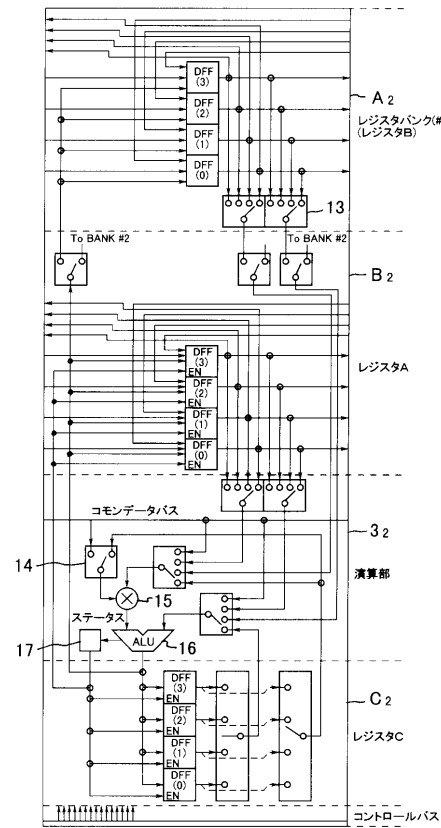
【図 4】



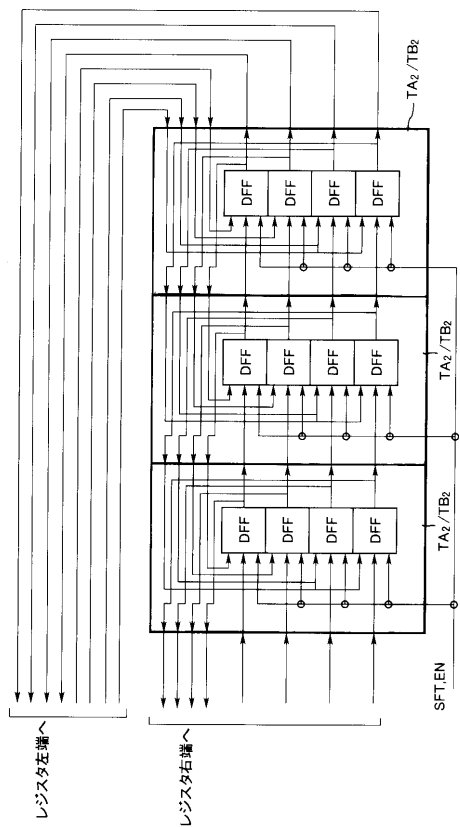
【図 5】



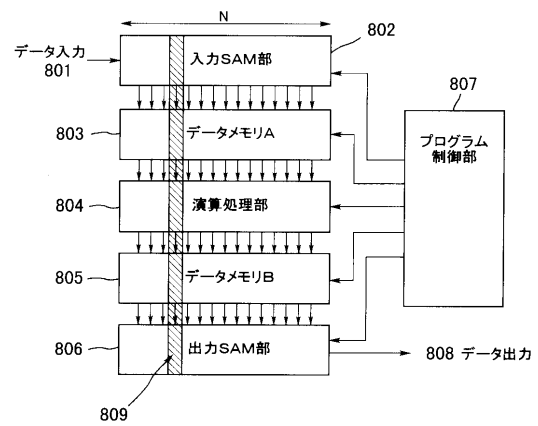
【図 6】



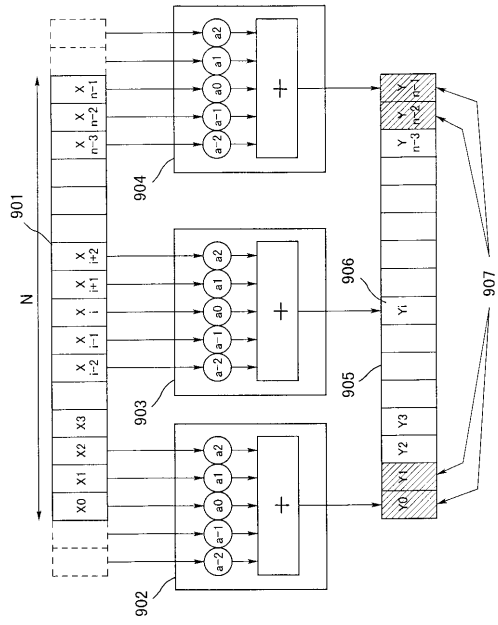
【図 7】



【図 8】



【図 9】



フロントページの続き

(58)調査した分野(Int.Cl.⁷, DB名)

G06T 1/20

G06F 15/16 610