

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2012 年 11 月 1 日(01.11.2012)



(10) 国際公開番号

WO 2012/147609 A1

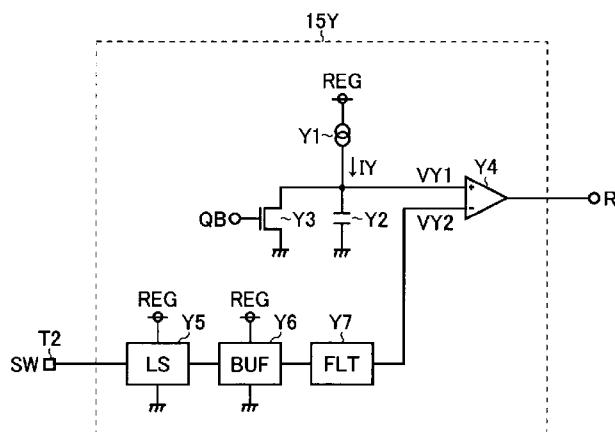
- (51) 国際特許分類:  
H02M 3/155 (2006.01)
- (21) 国際出願番号: PCT/JP2012/060583
- (22) 国際出願日: 2012 年 4 月 19 日(19.04.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2011-097038 2011 年 4 月 25 日(25.04.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): ローム株式会社(ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 原 英夫 (HARA Hideo) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 ローム株式会社内 Kyoto (JP). 東田 吉生 (HIGASHIDA Yoshio) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 ローム株式会社内 Kyoto (JP). 村上 和宏 (MURAKAMI Kazuhiro) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 佐野 静夫, 外 (SANO Shizuo et al.); 〒5400032 大阪府大阪市中央区天満橋京町 2 - 6 天満橋八千代ビル別館 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SWITCHING POWER SOURCE DEVICE AND ELECTRONIC EQUIPMENT USING SAME

(54) 発明の名称: スイッチング電源装置及びこれを用いた電子機器

[図4]



(57) Abstract: Provided is a switching power source device in which fluctuation of the switching frequency can be suppressed without impairing the advantages of a non-linear control system. A switching power source device (1) is provided with: switching control units (13, 14, 16, 17) of non-linear control type that generate an output voltage (OUT) from an input voltage (IN) by performing ON/OFF control of switching elements (11, 12) in accordance with the results of comparing a feedback voltage (FB) and reference voltage (REF); and an ON time setting unit (15) that monitors switching voltage (SW) appearing at one end of the switch terminals (11, 12), and sets the ON time (Ton) of the switching element (11) in the switching control units (13, 14, 16, 17) based on the duty of the switching voltage (SW).

(57) 要約: 非線形制御方式の長所を損なうことなく、スイッチング周波数の変動を抑えることのできるスイッチング電源装置を提供する。スイッチング電源装置(1)は、帰還電圧(FB)と基準電圧(REF)

F)の比較結果に応じてスイッチ素子(11, 12)のオン/オフ制御を行うことにより、入力電圧(IN)から出力電圧(OUT)を生成する非線形制御方式のスイッチング制御部(13, 14, 16, 17)と、スイッチ素子(11, 12)の一端に現れるスイッチ電圧(SW)を監視し、スイッチ電圧(SW)のデューティに基づいて、スイッチング制御部(13, 14, 16, 17)におけるスイッチ素子(11)のオン時間(Ton)を設定するオン時間設定部(15)とを有する。

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

## 明 細 書

### 発明の名称：スイッチング電源装置及びこれを用いた電子機器 技術分野

[0001] 本発明は、非線形制御方式のスイッチング電源装置、及び、これを用いた電子機器に関するものである。

### 背景技術

[0002] 図8は、非線形制御方式（ここではボトム検出オン時間固定方式）を採用したスイッチング電源装置の従来例を示す回路ブロック図及び動作波形図である。なお、図8に描写されているスイッチング電源装置は、入力電圧 $I_N$ を降圧して所望の出力電圧 $O_U T$ を生成する同期整流方式の降圧型 $D C / D C$ コンバータである。

[0003] 上記に関連する従来技術の一例としては、特許文献1～特許文献5が挙げられる。

### 先行技術文献

### 特許文献

- [0004] 特許文献1：特開2008-29159号公報  
特許文献2：特開2009-148155号公報  
特許文献3：特開2009-148157号公報  
特許文献4：米国特許第7714547号公報  
特許文献5：特開2010-226930号公報

### 発明の概要

### 発明が解決しようとする課題

[0005] 非線形制御方式のスイッチング電源装置は、線形制御方式（例えば電圧モード制御方式や電流モード制御方式）のスイッチング電源装置に比べて、簡単な回路構成で、高い負荷応答特性が得られるという特長を有している。

[0006] しかしながら、非線形制御方式のスイッチング電源装置では、出力トランジスタのスイッチング周波数が入力電圧 $V_{I N}$ 、出力電圧 $V_{O U T}$ 、及び、

出力電流  $I_{OUT}$  に応じて大きく変化する。そのため、非線形制御方式のスイッチング電源装置は、線形制御方式のスイッチング電源装置に比べて、出力電圧精度やロードレギュレーション特性（負荷の変動に対する出力電圧  $O_{UT}$  の安定性）が悪いという課題があった。

[0007] また、入力電圧変動の大きいアプリケーションや、様々な出力電圧を必要とするアプリケーションの電源として、非線形制御方式のスイッチング電源装置を適用しようとした場合には、広い周波数帯域をカバーし得るように EMI [ElectroMagnetic Interference] 対策やノイズ対策を施さなければならず、セットの設計が困難となっていた。

[0008] 本発明は、本願の発明者らにより見出された上記の問題点に鑑み、非線形制御方式の長所を損なうことなく、スイッチング周波数の変動を抑えることのできるスイッチング電源装置、及び、これを用いた電子機器を提供することを目的とする。

### 課題を解決するための手段

[0009] 上記目的を達成するために、本発明に係るスイッチング電源装置は、帰還電圧と基準電圧の比較結果に応じてスイッチ素子のオン／オフ制御を行うことにより、入力電圧から出力電圧を生成する非線形制御方式のスイッチング制御部と；前記スイッチ素子の一端に現れるスイッチ電圧を監視し、前記スイッチ電圧のデューティに基づいて、前記スイッチング制御部における前記スイッチ素子のオン時間を設定するオン時間設定部と；を有する構成（第1の構成）とされている。

[0010] なお、上記第1の構成から成るスイッチング電源装置において、前記オン時間設定部は前記スイッチ電圧のデューティが大きいほど前記出力トランジスタのオン時間を長くし、前記スイッチ電圧のデューティが小さいほど前記出力トランジスタのオン時間を短くする構成（第2の構成）にするとよい。

[0011] また、上記第2の構成から成るスイッチング電源装置において、前記オン時間設定部はキャパシタの充放電動作に応じた第1電圧を生成する第1電圧生成回路と、前記スイッチ電圧のデューティに応じた第2電圧を生成する第

2 電圧生成回路と、前記第 1 電圧と前記第 2 電圧を比較して第 1 制御信号を生成する第 1 コンパレータと、を含む構成（第 3 の構成）にするとよい。

[0012] また、上記第 3 の構成から成るスイッチング電源装置において、前記第 1 電圧生成回路は、前記入力電圧に依存しない一定の充電電流を生成する定電流源と、前記定電流源に接続されたキャパシタと、前記スイッチ素子のオン／オフ制御に応じて前記キャパシタの充放電を切り替える充放電スイッチと、を含む構成（第 4 の構成）にするとよい。

[0013] また、上記第 3 または第 4 の構成から成るスイッチング電源装置において、前記第 2 電圧生成回路は、前記スイッチ電圧のレベルシフト処理を行うレベルシフタと、前記レベルシフタの出力を波形整形するバッファと、前記バッファの出力を平滑して前記第 2 電圧を生成するフィルタと、を含む構成（第 5 の構成）にするとよい。

[0014] また、上記第 5 の構成から成るスイッチング電源装置において、前記第 2 電圧生成回路は、前記スイッチ素子の出力電流に応じて前記第 2 電圧をオフセットさせる電流帰還部を含む構成（第 6 の構成）にするとよい。

[0015] また、上記第 6 の構成から成るスイッチング電源装置において、前記電流帰還部は、前記スイッチ素子の両端間電圧を差動増幅する差動アンプと、前記差動アンプの出力を前記第 2 電圧に足し合わせる加算器と、を含む構成（第 7 の構成）にするとよい。

[0016] また、上記第 3 ～第 7 のいずれかの構成から成るスイッチング電源装置において、前記スイッチング制御部は、前記出力電圧を分圧して前記帰還電圧を生成する帰還電圧生成部と、前記基準電圧を生成する基準電圧生成部と、前記帰還電圧と前記基準電圧を比較して第 2 制御信号を生成する第 2 コンパレータと、前記第 1 制御信号と前記第 2 制御信号に応じて出力信号の論理レベルが切り替わるフリップフロップと、前記フリップフロップの出力信号に応じて前記スイッチ素子のオン／オフ制御を行うドライバと、を含む構成（第 8 の構成）にするとよい。

## 発明の効果

[0017] 本発明によれば、非線形制御方式の長所を損なうことなく、スイッチング周波数の変動を抑えることのできるスイッチング電源装置を提供することが可能となる。

### 図面の簡単な説明

[0018] [図1]スイッチング電源装置の全体構成例を示すブロック図

[図2]オン時間設定部の第1構成例を示す図

[図3]第1構成例のオン時間設定動作を説明するためのタイムチャート

[図4]オン時間設定部の第2構成例を示す図

[図5]第2構成例のオン時間設定動作を説明するためのタイムチャート

[図6]オン時間設定部の第3構成例を示す図

[図7]第3構成例のオン時間設定動作を説明するためのタイムチャート

[図8]スイッチング電源装置の一従来例を示す図

[図9]スイッチング電源装置を備えたテレビの外観図

[図10]スイッチング電源装置を備えたセットトップボックスの外観図

### 発明を実施するための形態

[0019] <全体構成>

図1は、スイッチング電源装置の全体構成例を示すブロック図である。本構成例のスイッチング電源装置1は、非線形制御方式（ここではボトム検出オン時間固定方式）によって入力電圧INから出力電圧OUTを生成する降圧型DC/DCコンバータである。スイッチング電源装置1は、半導体装置10と、半導体装置10に外付けされる種々のディスクリート部品（インダクタL1、キャパシタC1、抵抗R1及びR2）と、を有する。

[0020] 半導体装置10は、外部との電氣的な接続を確立するために、少なくとも外部端子T1～T3を有する。半導体装置10の外部において、外部端子（電源端子）T1は、入力電圧INの印加端に接続されている。外部端子（スイッチ端子）T2は、インダクタL1の第1端に接続されている。インダクタL1の第2端、キャパシタC1の第1端、及び、抵抗R1の第1端は、いずれも出力電圧OUTの印加端に接続されている。キャパシタC1の第2端

は、接地端に接続されている。抵抗 $R_1$ の第2端、及び、抵抗 $R_2$ の第1端は、いずれも半導体装置1の外部端子（帰還端子） $T_3$ に接続されている。抵抗 $R_2$ の第2端は、接地端に接続されている。抵抗 $R_1$ 及び $R_2$ は、互いの接続ノードから出力電圧 $OUT$ を分圧した帰還電圧 $FB$ を出力する帰還電圧生成部として機能する。

[0021] 半導体装置10は、Nチャネル型MOS電界効果トランジスタ11及び12と、ドライバ13と、SRフリップフロップ14と、オン時間設定部15と、コンパレータ16と、基準電圧生成部17と、を集積化したいわゆるスイッチング電源ICである。

[0022] トランジスタ11は、外部端子 $T_1$ と外部端子 $T_2$ との間に接続され、ドライバ13から入力されるゲート信号 $G_1$ に応じてオン／オフ制御される出力トランジスタである。接続関係について具体的に述べると、トランジスタ11のドレインは、外部端子 $T_1$ に接続されている。トランジスタ11のソースは、外部端子 $T_2$ に接続されている。トランジスタ11のゲートは、ゲート信号 $G_1$ の印加端に接続されている。

[0023] トランジスタ12は、外部端子 $T_2$ と接地端との間に接続され、ドライバ13から入力されるゲート信号 $G_2$ に応じてオン／オフ制御される同期整流トランジスタである。接続関係について具体的に述べると、トランジスタ12のドレインは、外部端子 $T_2$ に接続されている。トランジスタ12のソースは、接地端に接続されている。トランジスタ12のゲートは、ゲート信号 $G_2$ の印加端に接続されている。なお、整流素子としては、トランジスタ12に代えてダイオードを用いても構わない。

[0024] ドライバ13は、SRフリップフロップ14の出力信号 $Q$ に応じてゲート信号 $G_1$ 、 $G_2$ を生成し、トランジスタ11及び12を相補的（排他的）にスイッチング制御する。なお、本明細書中で用いられる「相補的（排他的）」という文言は、トランジスタ11、12のオン／オフが完全に逆転している場合のほか、貫通電流防止の観点からトランジスタ11、12のオン／オフ遷移タイミングに所定の遅延が与えられている場合（同時オフ期間が設け

られている場合)も含む。

[0025] SRフリップフロップ14は、コンパレータ16から入力されるセット信号Sの立上がりエッジで出力信号Qをハイレベルにセットし、オン時間設定部15から入力されるリセット信号Rの立上がりエッジで出力信号Qをローレベルにリセットする。

[0026] オン時間設定部15は、SRフリップフロップ14の反転出力信号QBがローレベルに立ち下げられてから、所定のオン時間Tonが経過した後、リセット信号Rにハイレベルのトリガパルスが発生させる。オン時間設定部15の構成及び動作については、後ほど詳細に説明する。

[0027] コンパレータ16は、外部端子T3（抵抗R1と抵抗R2との接続ノード）から反転入力端（-）に入力される帰還電圧FB（出力電圧OUTの分圧電圧）と、基準電圧生成部17から非反転入力端（+）に入力される基準電圧REFを比較してセット信号Sを出力する。帰還電圧FBが基準電圧REFよりも高ければセット信号Sはローレベルとなり、帰還電圧FBが基準電圧REFよりも低ければセット信号Sはハイレベルとなる。

[0028] 基準電圧生成部17は、バンドギャップ回路などを用いて、入力電圧INや周囲温度の変動に依存しない一定の基準電圧REFを生成する。

[0029] なお、上記したドライバ13、SRフリップフロップ14、コンパレータ16、及び、基準電圧生成部17は、帰還電圧FBと基準電圧REFの比較結果に応じてスイッチ素子（トランジスタ11及び12）のオン／オフ制御を行うことにより、入力電圧INから出力電圧OUTを生成する非線形制御方式のスイッチング制御部として機能する。

[0030] <オン時間設定部>

[第1構成例]

図2は、オン時間設定部15の第1構成例を示す図である。第1構成例のオン時間設定部15Xは、電圧／電流変換部X1と、キャパシタX2と、Nチャネル型MOS電界効果トランジスタX3と、コンパレータX4と、抵抗X5及びX6と、を含む。

- [0031] 電圧／電流変換部X1は、外部端子T1に印加される入力電圧INを電圧／電流変換することにより充電電流IX ( $= A \times I_N$ ) を生成する。充電電流IXの電流値は、入力電圧INの電圧値に応じて変動する。具体的には、入力電圧INが高いほど充電電流IXは大きくなり、入力電圧INが低いほど充電電流IXは小さくなる。
- [0032] キャパシタX2の第1端は、電圧／電流変換部X1に接続されている。キャパシタX2の第2端は接地端に接続されている。トランジスタX3がオフされているときには、キャパシタX2が充電電流IXによって充電され、キャパシタX2の第1端に現れる第1電圧VX1が上昇する。一方、トランジスタX3がオンされているときには、キャパシタX2がトランジスタX3を介して放電され、第1電圧VX1が低下する。
- [0033] トランジスタX3は、トランジスタ11及び12のオン／オフ制御に応じてキャパシタX2の充放電を切り替える充放電スイッチである。トランジスタX3のドレインは、キャパシタX2の第1端に接続されている。トランジスタX3のソースは、接地端に接続されている。トランジスタX3のゲートは、反転出力信号QBの印加端に接続されている。
- [0034] 上記した電圧／電流変換部X1、キャパシタX2、及び、トランジスタX3は、キャパシタX2の充放電動作に応じた第1電圧VX1を生成する第1電圧生成回路に相当する。
- [0035] コンパレータX4は、非反転入力端(+)に入力される第1電圧VX1と、反転入力端(-)に入力される第2電圧VX2を比較してリセット信号Rを生成する。第1電圧VX1が第2電圧VX2よりも高ければリセット信号Rはハイレベルとなり、第1電圧VX1が第2電圧VX2よりも低ければリセット信号Rはローレベルとなる。
- [0036] 抵抗X5の第1端は、出力電圧OUTが印加される外部端子T4に接続されている。抵抗X5の第2端は、抵抗X6の第1端に接続されている。抵抗X6の第2端は、接地端に接続されている。抵抗X1及びX2は、互いの接続ノードから出力電圧OUTを分圧した第2電圧VX2を出力する第2電圧

生成回路に相当する。

[0037] 図3は、第1構成例のオン時間設定動作を説明するためのタイムチャートである。図3では、上から順に、帰還電圧F B、セット信号S、反転出力信号Q B、第1電圧V X 1、リセット信号R、及び、出力信号Qが描写されている。

[0038] トランジスタ11のオフ期間中に、帰還電圧F Bが基準電圧R E Fまで低下すると、セット信号Sがハイレベルに立ち上がり、出力信号Qがハイレベルに遷移される。従って、トランジスタ11がオンとなり、帰還電圧F Bが上昇に転ずる。このとき、トランジスタX 3は、反転出力信号Q Bのローレベル遷移に伴ってオフとなるので、充電電流I XによるキャパシタX 2の充電が開始される。先にも述べたように、充電電流I Xの電流値は、入力電圧I Nの電圧値に応じて変動する。従って、第1電圧V X 1は、入力電圧I Nに応じた上昇度（傾き）を持って上昇する。

[0039] その後、第1電圧V X 1が第2電圧V X 2（出力電圧O U Tの分圧電圧）まで上昇すると、リセット信号Rがハイレベルに立ち上がり、出力信号Qがローレベルに遷移される。従って、トランジスタ11がオフとなり、帰還電圧F Bが再び下降に転ずる。このとき、トランジスタX 3は、反転出力信号Q Bのハイレベル遷移に伴ってオンとなる。従って、キャパシタX 2がトランジスタX 3を介して速やかに放電され、第1電圧V X 1がローレベルに引き下げられる。

[0040] ドライバ13は、出力信号Qに応じてゲート信号G 1及びG 2を生成し、これを用いてトランジスタ11及び12のオン／オフ制御を行う。その結果、外部端子T 2から矩形波形状のスイッチ電圧S Wが出力される。スイッチ電圧S Wは、インダクタL 1とキャパシタC 1によって平滑され、出力電圧O U Tが生成される。なお、出力電圧O U Tは、抵抗R 1及びR 2によって分圧され、前述の帰還電圧F Bが生成される。このような出力帰還制御により、スイッチング電源装置1では、極めて簡易な構成によって、入力電圧I Nから所望の出力電圧O U Tが生成される。

[0041] また、オン時間設定部 15 X は、オン時間  $T_{on}$  を固定値として設定するのではなく、入力電圧  $I_N$  と出力電圧  $O_{UT}$  に応じた変動値として設定する。より具体的には、オン時間設定部 15 X は、入力電圧  $I_N$  が高いほど第 1 電圧  $V_{X1}$  の上昇度（傾き）を大きくしてオン時間  $T_{on}$  を短くし、入力電圧  $I_N$  が低いほど第 1 電圧  $V_{X1}$  の上昇度（傾き）を小さくしてオン時間  $T_{on}$  を長くする。また、オン時間設定部 15 X は、出力電圧  $O_{UT}$  が低いほど第 2 電圧  $V_{X2}$  を引き下げてオン時間  $T_{on}$  を短くし、出力電圧  $O_{UT}$  が高いほど第 2 電圧  $V_{X2}$  を引き上げてオン時間  $T_{on}$  を長くする。

[0042] このような構成とすることにより、非線形制御方式の長所を損なうことなく、スイッチング周波数の変動を抑制することができる。従って、出力電圧精度やロードレギュレーション特性の向上、ないしは、セット設計における EMI 対策やノイズ対策の容易化を実現することが可能となる。また、入力電圧変動の大きいアプリケーションや、様々な出力電圧を必要とするアプリケーションの電源手段として、スイッチング電源装置 1 を支障なく適用することも可能となる。

[0043] [第 2 構成例]

先に説明した第 1 構成例のオン時間設定部 15 X は、スイッチング周波数の変動を抑制するために、入力電圧  $I_N$  と出力電圧  $O_{UT}$  を監視してオン時間  $T_{on}$  を設定する。従って、第 1 構成例のオン時間設定部 15 X では、出力電圧  $O_{UT}$  を監視するための外部端子  $T_4$  を半導体装置 10 に別途設ける必要がある。

[0044] また、第 1 構成例のオン時間設定部 15 X では、スイッチング周波数  $f$  の算出式 (1) に、変数（出力電圧  $O_{UT}$ 、出力電流  $I_{OUT}$ 、及び、トランジスタ 11 及び 12 のオン抵抗  $R_{ON}$ ）が含まれているので、スイッチング周波数  $f$  の変動を完全に払拭することはできない。なお、算出式 (1) において、 $C$  はキャパシタ  $X_2$  の容量値（定数）を示しており、 $R_5$  及び  $R_6$  は抵抗  $X_5$  及び  $X_6$  の抵抗値（定数）を示している。また、 $DUTY$  はスイッチ電圧  $SW$  のデューティを示している。

[数1]

$$f = \frac{DUTY}{Ton} = \frac{\frac{OUT + IOUT \cdot RON}{IN}}{\frac{C \cdot OUT \cdot \frac{R6}{R5 + R6}}{A \cdot IN}} = \alpha \cdot \frac{OUT + IOUT \cdot RON}{OUT} \quad \dots (1)$$

$$\ast \quad \alpha = \frac{A}{C \cdot \frac{R6}{R5 + R6}} \quad (const.)$$

[0045] 図4は、オン時間設定部15の第2構成例を示す図である。第2構成例のオン時間設定部15Yは、定電流源Y1と、キャパシタY2と、Nチャンネル型MOS電界効果トランジスタY3と、コンパレータY4と、レベルシフタY5と、バッファY6と、フィルタY7とを含む。第2構成例の特徴は、電圧／電流変換部X1に代えて定電流源Y1を有する点と、抵抗X5及びX6に代えてレベルシフタY5、バッファY6、及び、フィルタY7を有する点である。

[0046] 定電流源Y1は、入力電圧INや周囲温度の変動に依存しない一定の内部電源電圧REG（例えば5V）の供給を受けて動作し、入力電圧INに依存しない一定の充電電流IYを生成する。

[0047] キャパシタY2の第1端は、定電流源Y1に接続されている。キャパシタY2の第2端は接地端に接続されている。トランジスタY3がオフされているときには、キャパシタY2が充電電流IYによって充電され、キャパシタY2の第1端に現れる第1電圧VY1が上昇する。一方、トランジスタY3がオンされているときには、キャパシタY2がトランジスタY3を介して放電され、第1電圧VY1が低下する。

[0048] トランジスタY3は、トランジスタ11及び12のオン／オフ制御に応じてキャパシタY2の充放電を切り替える充放電スイッチである。トランジスタY3のドレインは、キャパシタY2の第1端に接続されている。トランジスタY3のソースは、接地端に接続されている。トランジスタY3のゲートは、反転出力信号QBの印加端に接続されている。

- [0049] 上記した定電流源 Y 1、キャパシタ Y 2、及び、トランジスタ Y 3 は、キャパシタ Y 2 の充放電動作に応じた第 1 電圧 V Y 1 を生成する第 1 電圧生成回路に相当する。
- [0050] コンパレータ Y 4 は、非反転入力端（+）に入力される第 1 電圧 V Y 1 と、反転入力端（-）に入力される第 2 電圧 V Y 2 を比較してリセット信号 R を生成する。第 1 電圧 V Y 1 が第 2 電圧 V Y 2 よりも高ければリセット信号 R はハイレベルとなり、第 1 電圧 V Y 1 が第 2 電圧 V Y 2 よりも低ければリセット信号 R はローレベルとなる。
- [0051] レベルシフタ Y 5 は、内部電源電圧 R E G の供給を受けて動作し、外部端子 T 2 に印加されるスイッチ電圧 S W のレベルシフト処理を行う。具体的に述べると、レベルシフタ Y 5 は、入力電圧 I N（より正確には  $I N - I O U T \times R O N$ ）と接地電圧 G N D との間でパルス駆動されるスイッチ電圧 S W の入力を受けて、内部電源電圧 R E G と接地電圧 G N D との間でパルス駆動される電圧信号を出力する。レベルシフタ Y 5 を形成する素子の耐圧は、入力電圧 I N と内部電源電圧 R E G との電圧差に応じて適宜設定すればよい。
- [0052] バッファ Y 6 は、内部電源電圧 R E G の供給を受けて動作し、レベルシフタ Y 5 の出力を波形整形する。オン時間設定部 1 5 Y の回路規模縮小を優先する場合には、バッファ Y 6 を省略することも可能である。
- [0053] フィルタ Y 7 は、バッファ Y 6 の出力を平滑して第 2 電圧 V Y 2 を生成する。バッファ Y 6 としては、キャパシタと抵抗から成る C R フィルタなどを用いることができる。
- [0054] 上記したレベルシフタ Y 5、バッファ Y 6、及び、フィルタ Y 7 は、スイッチ電圧 S W のデューティに応じた第 2 電圧 V Y 2 を生成する第 2 電圧生成回路に相当する。
- [0055] 図 5 は、第 2 構成例のオン時間設定動作を説明するためのタイムチャートである。図 5 では、上から順に、帰還電圧 F B、セット信号 S、反転出力信号 Q B、第 1 電圧 V Y 1、リセット信号 R、及び、出力信号 Q が描写されている。

[0056] トランジスタ 11 のオフ期間中に、帰還電圧 F B が基準電圧 R E F まで低下すると、セット信号 S がハイレベルに立ち上がり、出力信号 Q がハイレベルに遷移される。従って、トランジスタ 11 がオンとなり、帰還電圧 F B が上昇に転ずる。このとき、トランジスタ Y 3 は、反転出力信号 Q B のローレベル遷移に伴ってオフとなるので、充電電流 I Y によるキャパシタ Y 2 の充電が開始される。先にも述べたように、充電電流 I Y の電流値は、入力電圧 I N に依存しない固定値である。従って、第 1 電圧 V Y 1 は、入力電圧 I N に依存しない一定の上昇度（傾き）を持って上昇する。

[0057] その後、第 1 電圧 V Y 1 が第 2 電圧 V Y 2（スイッチ電圧 S W のデューティに応じて電圧値が変動する疑似的な出力電圧 O U T）まで上昇すると、リセット信号 R がハイレベルに立ち上がり、出力信号 Q がローレベルに遷移される。従って、トランジスタ 11 がオフとなり、帰還電圧 F B が再び下降に転ずる。このとき、トランジスタ Y 3 は、反転出力信号 Q B のハイレベル遷移に伴ってオンとなる。従って、キャパシタ Y 2 がトランジスタ Y 3 を介して速やかに放電され、第 1 電圧 V Y 1 がローレベルに引き下げられる。

[0058] ドライバ 13 は、出力信号 Q に応じてゲート信号 G 1 及び G 2 を生成し、これを用いてトランジスタ 11 及び 12 のオン／オフ制御を行う。その結果、外部端子 T 2 から矩形波形状のスイッチ電圧 S W が出力される。スイッチ電圧 S W は、インダクタ L 1 とキャパシタ C 1 によって平滑され、出力電圧 O U T が生成される。なお、出力電圧 O U T は、抵抗 R 1 及び R 2 によって分圧され、先述の帰還電圧 F B が生成される。このような出力帰還制御により、スイッチング電源装置 1 では、極めて簡易な構成によって、入力電圧 I N から所望の出力電圧 O U T が生成される。この点は、先の第 1 構成例と何ら変わらない。

[0059] また、オン時間設定部 15 Y は、オン時間 T o n を固定値として設定するのではなく、スイッチ電圧 S W のデューティに応じた変動値として設定する。より具体的には、オン時間設定部 15 Y は、スイッチ電圧 S W のデューティが大きいほど第 2 電圧 V Y 2 を引き上げてオン時間 T o n を長くし、スイ

ツチ電圧  $S_W$  のデューティが小さいほど第 2 電圧  $V_{Y2}$  を引き下げてオン時間  $T_{on}$  を短くする。例えば、入力電圧  $I_N$  の上昇や出力電圧  $O_{UT}$  の低下、ないしは、出力電流  $I_{OUT}$  の増大が生じて、スイッチ電圧  $S_W$  のデューティが大きくなったときには、第 2 電圧  $V_{Y2}$  が引き上げられてオン時間  $T_{on}$  が長くなる。逆に、入力電圧  $I_N$  の低下や出力電圧  $O_{UT}$  の上昇、ないしは、出力電流  $I_{OUT}$  の減少が生じて、スイッチ電圧  $S_W$  のデューティが小さくなったときには、第 2 電圧  $V_{Y2}$  が引き下げられてオン時間  $T_{on}$  が短くなる。

[0060] このような構成とすることにより、先の第 1 構成例と同じく、非線形制御方式の長所を損なうことなく、スイッチング周波数の変動を抑制することができる。従って、出力電圧精度やロードレギュレーション特性の向上、ないしは、セット設計における EMI 対策やノイズ対策の容易化を実現することが可能となる。また、入力電圧変動の大きいアプリケーションや、様々な出力電圧を必要とするアプリケーションの電源手段として、スイッチング電源装置 1 を支障なく適用することも可能となる。

[0061] また、第 2 構成例のオン時間設定部 15 Y は、スイッチング周波数の変動を抑制するために、スイッチ電圧  $S_W$  を監視してオン時間  $T_{on}$  を設定する。従って、先の第 1 構成例と異なり、出力電圧  $O_{UT}$  を監視するための外部端子 T4 を半導体装置 10 に別途設ける必要がなくなる。

[0062] また、第 2 構成例のオン時間設定部 15 Y では、スイッチング周波数  $f$  の算出式 (2) に変数が一切含まれていないので、スイッチング周波数  $f$  の変動を完全に払拭することができる。なお、算出式 (2) において、 $C$  はキャパシタ  $Y2$  の容量値 (定数) を示しており、 $DUTY$  はスイッチ電圧  $S_W$  のデューティを示している。

[数2]

$$f = \frac{DUTY}{T_{on}} = \frac{DUTY}{\frac{REG \cdot C \cdot DUTY}{IY}} = \frac{IY}{REG \cdot C} = \beta(const.) \quad \dots (2)$$

[0063] [第 3 構成例]

図6は、オン時間設定部15の第3構成例を示す図である。第3構成例のオン時間設定部15Zは、定電流源Z1と、キャパシタZ2と、Nチャネル型MOS電界効果トランジスタZ3と、コンパレータZ4と、レベルシフタZ5と、バッファZ6と、フィルタZ7と、差動アンプZ8と、加算器Z9と、を含む。

[0064] なお、図6において符号Z1～Z7、IZ、VZ1及びVZ2を付した構成要素については、それぞれ、図4において符号Y1～Y7、IY、VY1及びVY2を付した構成要素と基本的に同一であるため、重複した説明を割愛する。以下では、第3構成例で新たに追加された差動アンプZ8と加算器Z9についての重点的な説明を行う。

[0065] 差動アンプZ8は、外部端子T1から非反転入力端(+)に印加される入力電圧INと外部端子T2から反転入力端(−)に印加されるスイッチ電圧SWとの差電圧(トランジスタ11のドレイン・ソース間電圧Vds)を差動増幅してオフセット電圧を生成する。トランジスタ11のオン期間中におけるドレイン・ソース間電圧Vdsは、出力電流IOUTに応じて変動する( $V_{ds} = I_N - I_{OUT} \times R_{ON}$ )。従って、トランジスタ11のオン期間中に生成される上記のオフセット電圧は、出力電流IOUTが大きいほど高くなり、逆に、出力電流IOUTが小さいほど低くなる。

[0066] 加算器Z9は、差動アンプZ8の出力を第2電圧VZ2(フィルタZ7の出力)に足し合わせる。従って、コンパレータZ4に入力される第2電圧VZ2は、出力電流IOUTが大きいほど高くなり、逆に、出力電流IOUTが小さいほど低くなる。

[0067] 上記した差動アンプZ8と加算器Z9は、トランジスタ11に流れる出力電流IOUTに応じて第2電圧VZ2をオフセットさせる電流帰還部に相当する。

[0068] 図7は、第3構成例のオン時間設定動作を説明するためのタイムチャートである。図7では、上から順に、帰還電圧FB、セット信号S、反転出力信号QB、第1電圧VY1、リセット信号R、及び、出力信号Qが描写されて

いる。なお、第2構成例と同様の動作については重複した説明を割愛し、以下では、第3構成例に特有の動作について重点的な説明を行う。

[0069] オン時間設定部15Zは、スイッチ電圧SWのデューティに応じて電圧値が変動する第2電圧VY2に対して、さらに、出力電流IOUTの監視結果に応じたオフセットを与える構成とされている。より具体的に述べると、オン時間設定部15Zは、出力電流IOUTが大きいほど第2電圧VZ2に与えるオフセット電圧を高くしてオン時間Tonを長くし、出力電流IOUTが小さいほど第2電圧VZ2に与えるオフセット電圧を低くしてオン時間Tonを短くする。

[0070] このような構成とすることにより、先の第1構成例や第2構成例と同じく、非線形制御方式の長所を損なうことなく、スイッチング周波数の変動を抑制することができる。従って、出力電圧精度やロードレギュレーション特性の向上、ないしは、セット設計におけるEMI対策やノイズ対策の容易化を実現することが可能となる。また、入力電圧変動の大きいアプリケーションや、様々な出力電圧を必要とするアプリケーションの電源手段として、スイッチング電源装置1を支障なく適用することも可能となる。

[0071] また、第3構成例のオン時間設定部15Zは、出力電流IOUTの監視結果を直接的にフィードバックしてオン時間Tonを調整するための電流帰還部（Z8及びZ9）を有する。従って、第2構成例と比べて、スイッチング周波数fの算出式を完全に定数化することはできなくなるものの、出力電流IOUTの急変動にも対応することが可能となる。

[0072] なお、トランジスタ11のオフ期間中には、スイッチ電圧SWが接地電圧GND近傍まで低下して、第2電圧VZ2のオフセット量が非常に大きくなる。しかし、トランジスタ11のオフ期間中には、キャパシタZ2が放電されて第1電圧VZ1がローレベル（接地電圧GND）に維持されているので、第1電圧VZ1は、第2電圧VZ2のオフセット量に依ることなく、第2電圧VZ2よりも常に低い状態となっている。従って、トランジスタ11のオフ期間中における第2電圧VZ2のオフセット変動がリセット信号Rの生

成に悪影響を及ぼすことはない。

[0073] <テレビやセットトップボックスへの適用>

図9及び図10は、それぞれ、スイッチング電源装置を搭載したテレビ及びセットトップボックスの外観図である。テレビA及びセットトップボックスBは、いずれも機器の各部に電力供給を行う電源部を有する。この電源部としては、先述のスイッチング電源装置を好適に用いることができる。

[0074] テレビAは、液晶ディスプレイを備えたものであってもよいし、或いは、プラズマディスプレイを備えたものであってもよい。

[0075] また、セットトップボックスBは、放送信号のフォーマット変換機能やスクランブル解除機能のみを備えるものであってもよいし、或いは、放送信号の録画／再生機能やブルーレイディスクの再生機能などを追加的に備えるものであってもよい。

[0076] なお、テレビAとセットトップボックスBは、あくまで先述のスイッチング電源装置が搭載される電子機器の一例であり、先述のスイッチング電源装置は、種々の電子機器に広く搭載することが可能である。

[0077] <その他の変形例>

なお、上記実施形態では、同期整流方式の降圧型スイッチング電源装置に本発明を適用した構成を例に挙げて説明を行ったが、本発明の適用対象はこれに限定されるものではなく、スイッチング駆動方式として非同期整流方式を採用してもよいし、また、スイッチング電源装置の出力段を昇圧型や昇降圧型としても構わない。

[0078] このように、本発明の構成は、上記実施形態のほか、発明の主旨を逸脱しない範囲で種々の変更を加えることが可能である。すなわち、上記実施形態は、全ての点で例示であって、制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態の説明ではなく、特許請求の範囲によって示されるものであり、特許請求の範囲と均等の意味及び範囲内に属する全ての変更が含まれると理解されるべきである。

**産業上の利用可能性**

[0079] 本発明に係るスイッチング電源装置は、液晶ディスプレイ、プラズマディスプレイ、BDレコーダ／プレーヤ、セットトップボックスなど、種々の電子機器に搭載される電源として利用することが可能である。

### 符号の説明

- [0080]
- 1        スwitchング電源装置
  - 10       半導体装置（スイッチング電源IC）
  - 11       Nチャネル型MOS電界効果トランジスタ（出力トランジスタ）
  - 12       Nチャネル型MOS電界効果トランジスタ（同期整流トランジスタ）
  - 13       ドライバ
  - 14       SRフリップフロップ
  - 15（15X、15Y、15Z）    オン時間設定部
  - 16       コンパレータ
  - 17       基準電圧発生部
  - L1       インダクタ
  - R1、R2    抵抗
  - C1       キャパシタ
  - T1～T4    外部端子
  - X1       電圧／電流変換部
  - X2       キャパシタ
  - X3       Nチャネル型MOS電界効果トランジスタ
  - X4       コンパレータ
  - X5、X6    抵抗
  - Y1、Z1    定電流源
  - Y2、Z2    キャパシタ
  - Y3、Z3    Nチャネル型MOS電界効果トランジスタ
  - Y4、Z4    コンパレータ

Y 5、Z 5      レベルシフタ  
Y 6、Z 6      バッファ  
Y 7、Z 7      フィルタ（C R フィルタ）  
Z 8      差動アンプ  
Z 9      加算器  
A      テレビ  
B      セットトップボックス

## 請求の範囲

- [請求項1] 帰還電圧と基準電圧の比較結果に応じてスイッチ素子のオン／オフ制御を行うことにより、入力電圧から出力電圧を生成する非線形制御方式のスイッチング制御部と；
- 前記スイッチ素子の一端に現れるスイッチ電圧を監視し、前記スイッチ電圧のデューティに基づいて、前記スイッチング制御部における前記スイッチ素子のオン時間を設定するオン時間設定部と；
- を有することを特徴とするスイッチング電源装置。
- [請求項2] 前記オン時間設定部は、前記スイッチ電圧のデューティが大きいほど前記出力トランジスタのオン時間を長くし、前記スイッチ電圧のデューティが小さいほど前記出力トランジスタのオン時間を短くすることを特徴とする請求項1に記載のスイッチング電源装置。
- [請求項3] 前記オン時間設定部は、
- キャパシタの充放電動作に応じた第1電圧を生成する第1電圧生成回路と、
- 前記スイッチ電圧のデューティに応じた第2電圧を生成する第2電圧生成回路と、
- 前記第1電圧と前記第2電圧を比較して第1制御信号を生成する第1コンパレータと、
- を含むことを特徴とする請求項2に記載のスイッチング電源装置。
- [請求項4] 前記第1電圧生成回路は、
- 前記入力電圧に依存しない一定の充電電流を生成する定電流源と、
- 前記定電流源に接続されたキャパシタと、
- 前記スイッチ素子のオン／オフ制御に応じて前記キャパシタの充放電を切り替える充放電スイッチと、
- を含むことを特徴とする請求項3に記載のスイッチング電源装置。
- [請求項5] 前記第2電圧生成回路は、
- 前記スイッチ電圧のレベルシフト処理を行うレベルシフタと、

前記レベルシフタの出力を波形整形するバッファと、  
前記バッファの出力を平滑して前記第 2 電圧を生成するフィルタと  
、  
を含むことを特徴とする請求項 3 または請求項 4 に記載のスイッチング電源装置。

[請求項 6] 前記第 2 電圧生成回路は、前記スイッチ素子の出力電流に応じて前記第 2 電圧をオフセットさせる電流帰還部を含むことを特徴とする請求項 5 に記載のスイッチング電源装置。

[請求項 7] 前記電流帰還部は、  
前記スイッチ素子の両端間電圧を差動増幅する差動アンプと、  
前記差動アンプの出力を前記第 2 電圧に足し合わせる加算器と、  
を含むことを特徴とする請求項 6 に記載のスイッチング電源装置。

[請求項 8] 前記スイッチング制御部は、  
前記出力電圧を分圧して前記帰還電圧を生成する帰還電圧生成部と  
、  
前記基準電圧を生成する基準電圧生成部と、  
前記帰還電圧と前記基準電圧を比較して第 2 制御信号を生成する第 2 コンパレータと、  
前記第 1 制御信号と前記第 2 制御信号に応じて出力信号の論理レベルが切り替わるフリップフロップと、  
前記フリップフロップの出力信号に応じて前記スイッチ素子のオン／オフ制御を行うドライバと、  
を含むことを特徴とする請求項 3 ～請求項 7 のいずれか一項に記載のスイッチング電源装置。

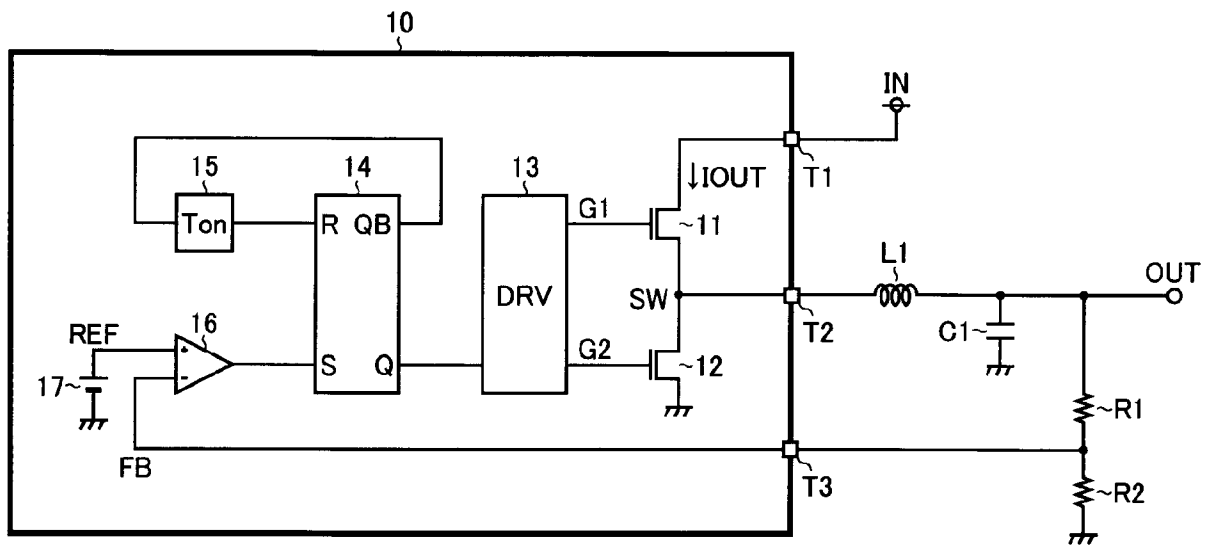
[請求項 9] 機器各部に電力供給を行う電源として、請求項 1 ～請求項 8 のいずれか一項に記載のスイッチング電源装置を有することを特徴とする電子機器。

[請求項 10] 前記電子機器は、テレビであることを特徴とする請求項 9 に記載の

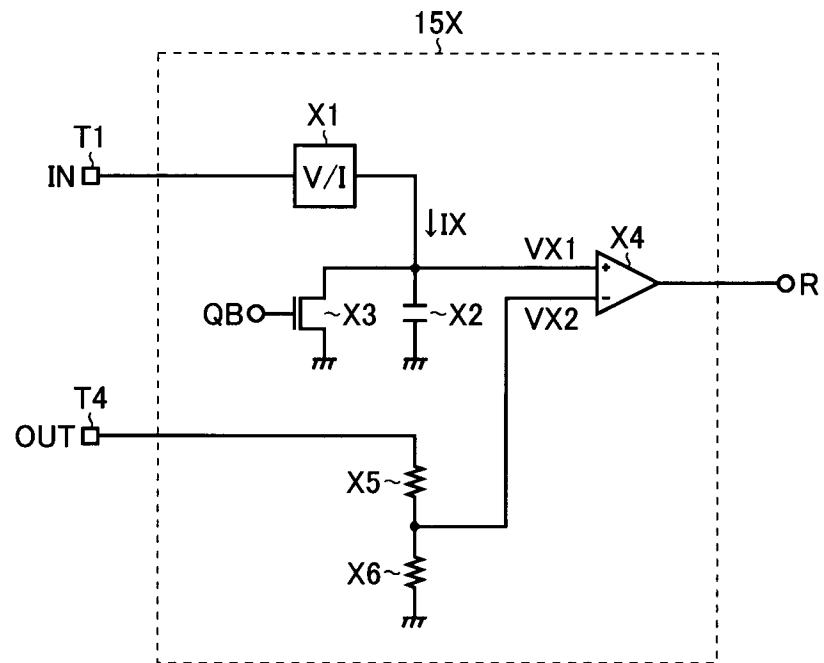
電子機器。

[請求項11]      前記電子機器は、セットトップボックスであることを特徴とする請求項 9 に記載の電子機器。

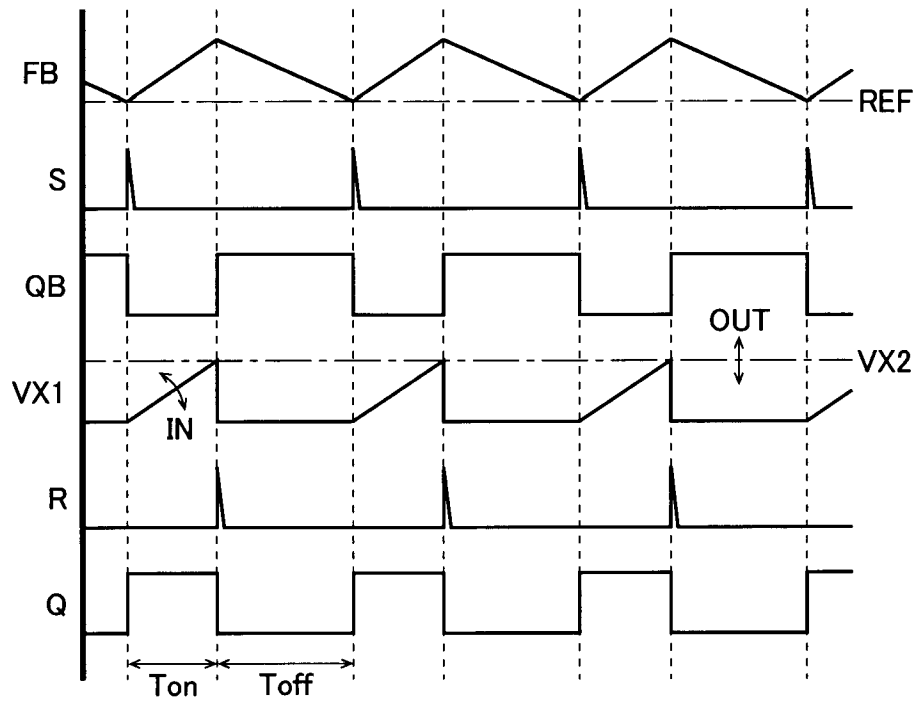
[図1]

1  
↘

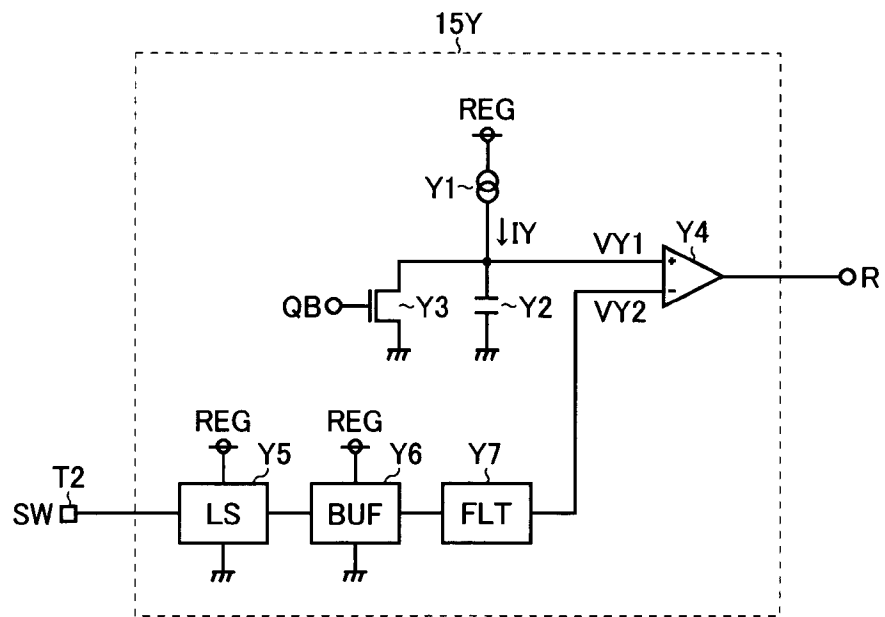
[図2]



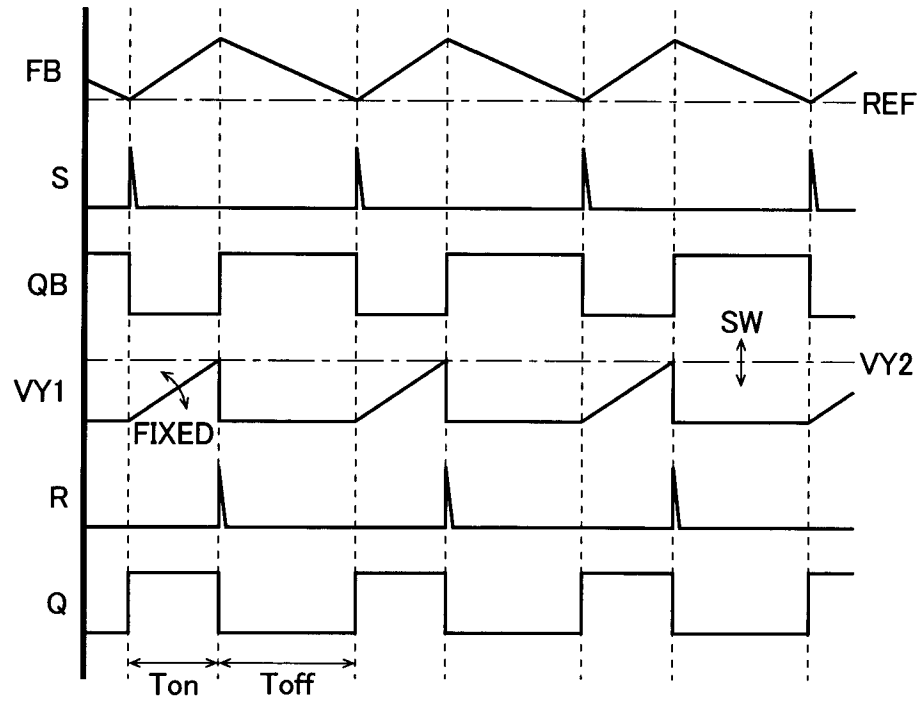
[図3]



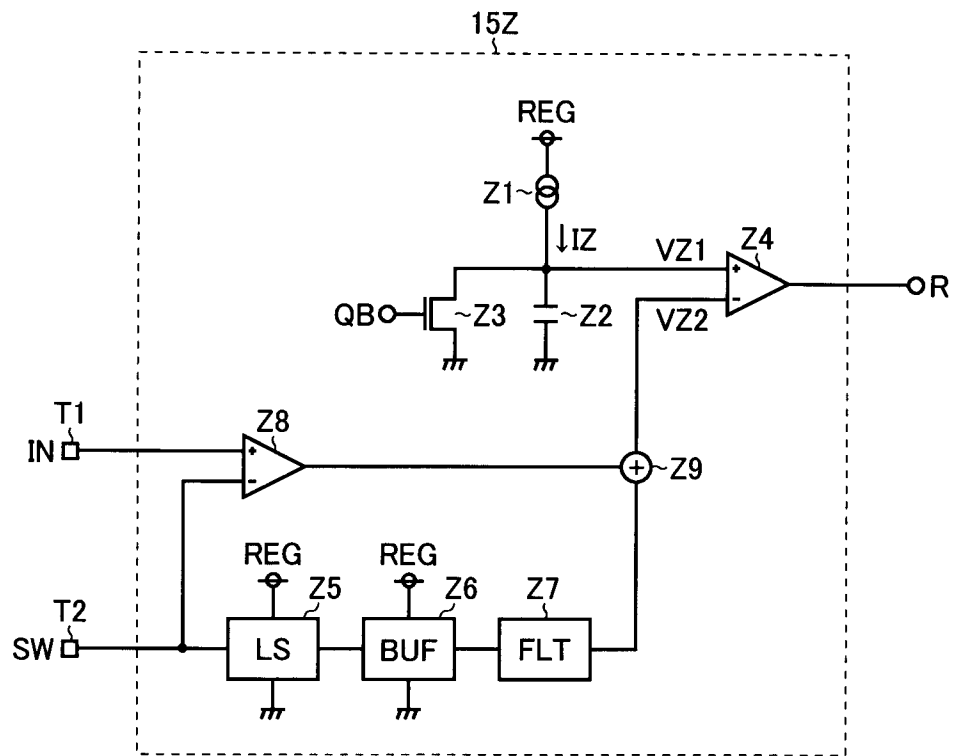
[図4]



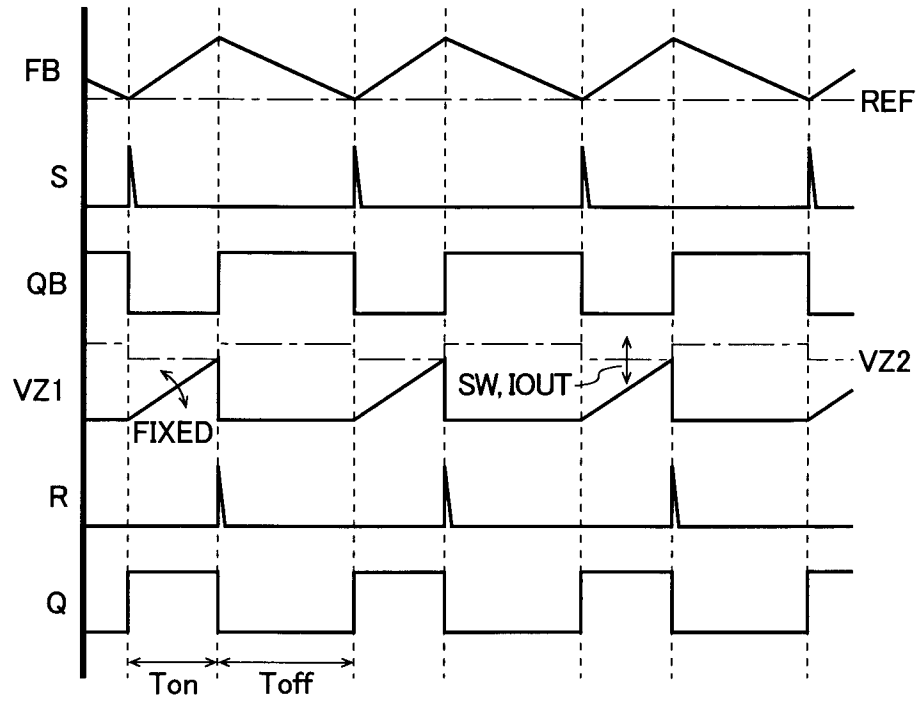
[図5]



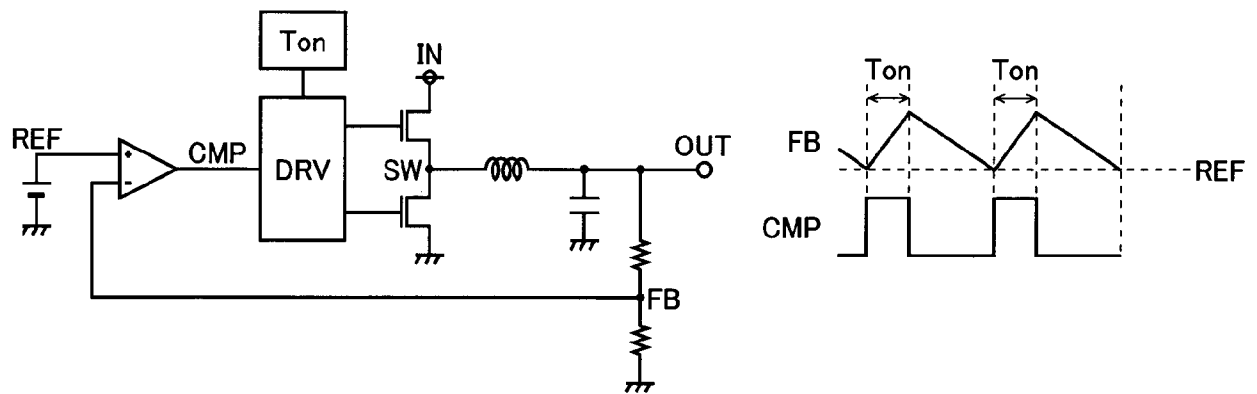
[図6]



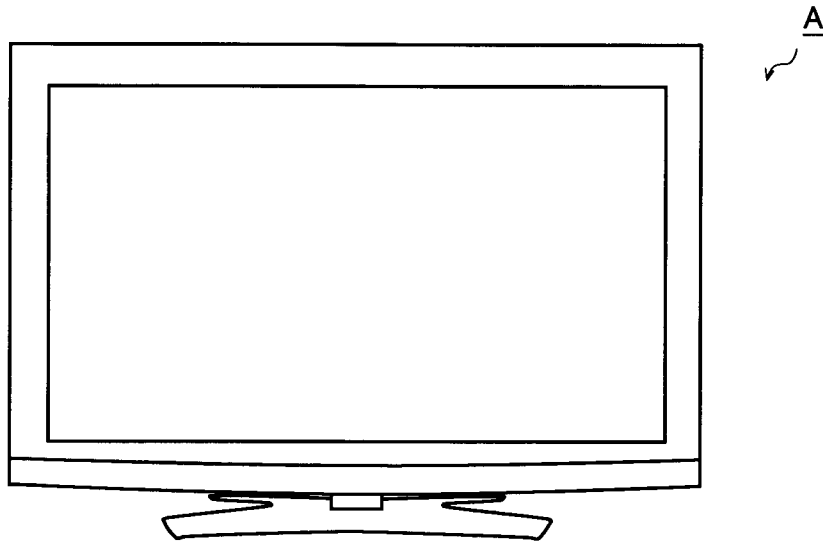
[図7]



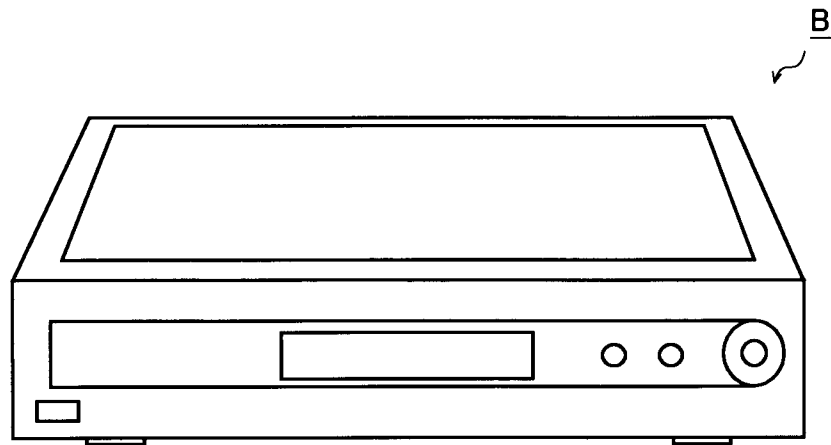
[図8]



[図9]



[図10]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/060583

## A. CLASSIFICATION OF SUBJECT MATTER

H02M3/155 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M3/00-3/44

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2012 |
| Kokai Jitsuyo Shinan Koho | 1971-2012 | Toroku Jitsuyo Shinan Koho | 1994-2012 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                        | Relevant to claim No. |
|-----------|-----------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 2009-065753 A (Rohm Co., Ltd.),<br>26 March 2009 (26.03.2009),<br>(Family: none)                                                                       | 1-11                  |
| A         | JP 2006-050843 A (Rohm Co., Ltd.),<br>16 February 2006 (16.02.2006),<br>& WO 2006/013737 A1 & US 2007/0200541 A1<br>& CN 1973421 A & KR 10-2007-0042969 A | 1-11                  |
| A         | JP 11-289753 A (Fujitsu Ltd.),<br>19 October 1999 (19.10.1999),<br>& US 6911808 B1 & TW 413746 B                                                          | 1-11                  |
| A         | JP 2010-035316 A (Texas Instruments Japan<br>Ltd.),<br>12 February 2010 (12.02.2010),<br>& US 2010/0019749 A1                                             | 1-11                  |

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search  
06 July, 2012 (06.07.12)

Date of mailing of the international search report  
17 July, 2012 (17.07.12)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2012/060583

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                      | Relevant to claim No. |
|-----------|-------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 2008-029159 A (Fuji Electric Device Technology Co., Ltd.),<br>07 February 2008 (07.02.2008),<br>& US 2008/0024104 A1 | 1-11                  |
| A         | JP 2009-148155 A (Micrel Inc.),<br>02 July 2009 (02.07.2009),<br>& US 2008/0088292 A1 & KR 10-2009-0063129 A            | 1-11                  |
| A         | JP 2009-148157 A (Micrel Inc.),<br>02 July 2009 (02.07.2009),<br>& US 2008/0088284 A1 & KR 10-2009-0063135 A            | 1-11                  |
| A         | US 7714547 B2 (FOGG, JK et al.),<br>11 March 2010 (11.03.2010),<br>& US 2010/0033215 A1                                 | 1-11                  |
| A         | JP 2010-226930 A (Fujitsu Semiconductor Ltd.),<br>07 October 2010 (07.10.2010),<br>(Family: none)                       | 1-11                  |

## A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H02M3/155 (2006.01) i

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H02M 3/00-3/44

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |                     |
|-------------|---------------------|
| 日本国実用新案公報   | 1 9 2 2 - 1 9 9 6 年 |
| 日本国公開実用新案公報 | 1 9 7 1 - 2 0 1 2 年 |
| 日本国実用新案登録公報 | 1 9 9 6 - 2 0 1 2 年 |
| 日本国登録実用新案公報 | 1 9 9 4 - 2 0 1 2 年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                        | 関連する<br>請求項の番号 |
|-----------------|--------------------------------------------------------------------------------------------------------------------------|----------------|
| A               | JP 2009-065753 A（ローム株式会社）2009.03.26<br>（ファミリーなし）                                                                         | 1-11           |
| A               | JP 2006-050843 A（ローム株式会社）2006.02.16<br>& WO 2006/013737 A1 & US 2007/0200541 A1 & CN 1973421 A<br>& KR 10-2007-0042969 A | 1-11           |
| A               | JP 11-289753 A（富士通株式会社）1999.10.19<br>& US 6911808 B1 & TW 413746 B                                                       | 1-11           |

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

0 6 . 0 7 . 2 0 1 2

国際調査報告の発送日

1 7 . 0 7 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）  
郵便番号 1 0 0 - 8 9 1 5  
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

永田 和彦

3 V

3 1 1 6

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 5 8

| C (続き) . 関連すると認められる文献 |                                                                                                |                |
|-----------------------|------------------------------------------------------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                              | 関連する<br>請求項の番号 |
| A                     | JP 2010-035316 A (日本テキサス・インスツルメンツ株式会社)<br>2010.02.12<br>& US 2010/0019749 A1                   | 1-11           |
| A                     | JP 2008-029159 A (富士電機デバイステクノロジー株式会社)<br>2008.02.07<br>& US 2008/0024104 A1                    | 1-11           |
| A                     | JP 2009-148155 A (マイクレル, インコーポレーテッド) 2009.07.02<br>& US 2008/0088292 A1 & KR 10-2009-0063129 A | 1-11           |
| A                     | JP 2009-148157 A (マイクレル, インコーポレーテッド) 2009.07.02<br>& US 2008/0088284 A1 & KR 10-2009-0063135 A | 1-11           |
| A                     | US 7714547 B2 (FOGG, JK et al.) 2010.03.11<br>& US 2010/0033215 A1                             | 1-11           |
| A                     | JP 2010-226930 A (富士通セミコンダクター株式会社) 2010.10.07<br>(ファミリーなし)                                     | 1-11           |