

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6234008号
(P6234008)

(45) 発行日 平成29年11月22日 (2017.11.22)

(24) 登録日 平成29年11月2日 (2017.11.2)

(51) Int.Cl.		F I			
H03K	19/00	(2006.01)	H03K	19/00	108
H03B	5/32	(2006.01)	H03B	5/32	A
H03K	19/003	(2006.01)	H03B	5/32	C
			H03K	19/003	169

請求項の数 5 (全 24 頁)

(21) 出願番号	特願2012-74294 (P2012-74294)	(73) 特許権者	000002369
(22) 出願日	平成24年3月28日 (2012.3.28)		セイコーエプソン株式会社
(65) 公開番号	特開2013-207537 (P2013-207537A)		東京都新宿区新宿四丁目1番6号
(43) 公開日	平成25年10月7日 (2013.10.7)	(74) 代理人	100116665
審査請求日	平成27年3月19日 (2015.3.19)		弁理士 渡辺 和昭
審判番号	不服2016-16774 (P2016-16774/J1)	(74) 代理人	100164633
審判請求日	平成28年11月9日 (2016.11.9)		弁理士 西田 圭介
		(74) 代理人	100179475
			弁理士 仲井 智至
		(72) 発明者	伊藤 久浩
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(72) 発明者	二村 良彦
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】 発振回路及び電子機器

(57) 【特許請求の範囲】

【請求項1】

共振子を駆動して交流信号を出力する共振子駆動回路と、

第1の電源電圧が供給され、容量を介して入力される前記交流信号から第1の増幅器を介して第1の振幅レベルを有する第1のパルス信号を生成するパルス化部と、

前記第1の電源電圧より高い第2の電源電圧が供給され、前記第1のパルス信号が入力されて第2の振幅レベルを有する第2のパルス信号を出力するレベルシフト部と、

ソースから前記第1の電源電圧を出力するN型トランジスタを有するソースフォロワー回路と、

前記共振子駆動回路に P T A T (Proportional To Absolute Temperature) 電流を出力するとともに、前記N型トランジスタのゲートに電圧を出力するバンドギャップリファレンス回路と、を含み、

前記第1の増幅器の増幅率が前記レベルシフト部の増幅率よりも大きいことを特徴とする発振回路。

【請求項2】

前記パルス化部は、

前記交流信号の入力ノードに接続される一方の電極と、他方の電極とを有する前記容量と、

前記容量の前記他方の電極に接続される入力端子と、前記第1のパルス信号を出力する出力端子と、を有するインバータ回路と、

10

20

前記インバーター回路の前記入力端子と前記出力端子との間に接続される帰還抵抗と、を含むことを特徴とする請求項 1 に記載の発振回路。

【請求項 3】

前記レベルシフト部は、

ソースに第 3 の電源電圧が供給され、ゲートに前記第 1 のパルス信号が供給される N 型の第 1 のトランジスターと、

ソースに前記第 2 の電源電圧が供給され、ドレインに前記第 1 のトランジスターのドレインが接続される P 型の第 2 のトランジスターと、

ソースに前記第 3 の電源電圧が供給され、ゲートに前記第 1 のパルス信号の反転信号が供給され、ドレインに前記第 2 のトランジスターのゲートが接続される N 型の第 3 のトランジスターと、

10

ソースに前記第 2 の電源電圧が供給され、ドレインに前記第 3 のトランジスターのドレインが接続され、ゲートに前記第 2 のトランジスターのドレインが接続される P 型の第 4 のトランジスターと、を含み、

前記第 4 のトランジスターのドレインから前記第 2 のパルス信号を出力することを特徴とする請求項 1 又は 2 に記載の発振回路。

【請求項 4】

前記 N 型トランジスターのドレインに前記第 2 の電源電圧が供給され、前記 N 型トランジスターのゲートに前記第 2 の電源電圧に基づく電圧が供給されることを特徴とする請求項 1 乃至 3 のいずれか一項に記載の発振回路。

20

【請求項 5】

請求項 1 乃至 4 のいずれか一項に記載の発振回路を含む電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パルス信号生成回路、発振回路、電子機器、及びパルス信号生成方法等に関する。

【背景技術】

【0002】

従来、S P X O (Simple Packaged X 'tal Oscillator) は、ユーザーにより電源が与えられると、温度補償や温度制御を行うことなく共振子の周波数安定度をそのままに発振信号を出力する発振回路として広く用いられている。このような発振回路には、低消費電力化とともに、ユーザーが要求する振幅レベルを有する発振出力を行うことが要求されている。そのため、発振回路は、発振信号の振幅レベルを変換するレベルシフト回路を備える場合がある。

30

【0003】

このようなレベルシフト回路については、種々提案されている。例えば特許文献 1 には、ゲートとドレインが交差接続された第 1 導電型の第 1 トランジスター及び第 2 トランジスターと、相補的にスイッチ制御される第 2 導電型の第 3 トランジスター及び第 4 トランジスターとを含むレベルシフト回路が開示されている。第 1 トランジスター及び第 2 トランジスターの各々には、第 3 トランジスター及び第 4 トランジスターのドレインの各々が接続される。そして、第 1 トランジスター又は第 2 トランジスターをオン状態にするときに閾値電圧が低くなるような電圧を、抵抗素子を介して基板に供給することで、低電圧で動作マージンの改善と低消費電力化を図る。

40

【0004】

ところが、この種のたすきがけ接続したインバーター回路により構成されるレベルシフト回路は、その閾値電圧と、入力信号の中心電圧とが一致しないとき、デューティ比が 50 パーセントの出力信号を出力することができない。従って、発振信号をそのままレベルシフト回路に入力すると、デューティ比が 50 パーセントの信号を得ることが困難となる。

50

【 0 0 0 5 】

これに対して、例えば特許文献 2 又は特許文献 3 には、容量を介して入力された発振信号の振幅レベルを変換するようにした発振回路が開示されている。

【 0 0 0 6 】

図 1 1 に、容量を介して入力された発振信号の振幅レベルを変換する従来の発振回路の構成を示す。発振回路 1 0 は、発振部 2 0 と、増幅部 4 0 と、定電圧回路 5 0 とを備えている。

【 0 0 0 7 】

発振部 2 0 は、水晶振動子 2 2 と、インバーター回路 2 4 と、帰還抵抗 2 6 と、容量 2 8 , 3 0 と、ドレイン抵抗 3 2 とを備えている。容量 2 8 , 3 0 の一方の電極には、それぞれ接地電圧 V_{SS} が供給される。容量 2 8 の他方の電極と容量 3 0 の他方の電極との間には、水晶振動子 2 2 が接続される。インバーター回路 2 4 の入力には、容量 2 8 の他方の電極と帰還抵抗 2 6 の一端とが接続される。インバーター回路 2 4 の出力には、ドレイン抵抗 3 2 の一端及び帰還抵抗 2 6 の他端が接続される。ドレイン抵抗 3 2 の他端には、容量 3 0 の他方の電極が接続される。インバーター回路 2 4 の電源端子には、定電圧回路 5 0 が接続され、接地電源端子には接地電圧 V_{SS} が供給される。

10

【 0 0 0 8 】

増幅部 4 0 は、容量 4 2 と、インバーター回路 4 4 と、帰還抵抗 4 6 とを備えている。容量 4 2 は、インバーター回路 2 4 の出力とインバーター回路 4 4 の入力との間に接続される。インバーター回路 4 4 の入力には、帰還抵抗 4 6 の一端が接続され、出力には、帰還抵抗 4 6 の他端が接続される。このインバーター回路 4 4 の出力が、発振回路 1 0 の出力となる。また、インバーター回路 4 4 の電源端子には、定電圧回路 5 0 が接続され、接地電源端子には接地電圧 V_{SS} が供給される。

20

【 0 0 0 9 】

定電圧回路 5 0 は、発振部 2 0 のインバーター回路 2 4、増幅部 4 0 のインバーター回路 4 4 に定電圧の電源電圧を供給する。このとき、定電圧回路 5 0 は、インバーター回路 2 4 に供給する電圧を、インバーター回路 4 4 に供給する電圧よりも低くする。

【 0 0 1 0 】

発振回路 1 0 では、定電圧回路 5 0 により供給される電源電圧により発振部 2 0 を発振させることにより、発振部 2 0 の低消費電流化を図ることができる。また、振幅の小さい発振部 2 0 の出力を増幅部 4 0 に伝達するため、容量 4 2 を介してインバーター回路 4 4 に入力させることで、発振信号の交流成分がインバーター回路 4 4 に伝達される。増幅部 4 0 は、定電圧回路 5 0 により供給される電源電圧 V_{DD} まで振幅レベルを変換して、出力信号を出力する。このとき、増幅部 4 0 では、帰還抵抗 4 6 によってバイアス電圧が動作点のほぼ中間で安定するようにされるため、発振回路 1 0 の出力のデューティ比が 5 0 パーセントになりやすい。

30

【 0 0 1 1 】

この点、例えば特許文献 2 には、レベルシフト回路をなくすため、図 1 1 の構成を有する容量結合インバーター回路を採用し、増幅部 4 0 にレベルシフト回路と出力バッファの機能を兼用させるようにした技術が開示されている。

40

【 先行技術文献 】

【 特許文献 】

【 0 0 1 2 】

【 特許文献 1 】 特開 2 0 0 6 - 2 3 7 7 6 0 号公報

【 特許文献 2 】 特開平 1 - 3 0 0 6 0 5 号公報

【 特許文献 3 】 特開 2 0 1 1 - 2 4 4 0 6 4 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 3 】

ところで、発振回路には、低消費電力で、ユーザーが要求する振幅レベルでデューティ

50

ー比が50パーセントの出力信号を出力することに加えて、パルス整形の安定性や低い位相雑音が求められている。

【0014】

しかしながら、特許文献1に開示されたレベルシフト回路は、上記のように、入力DCレベルが定まらないため、発振出力のような正弦波が入力されると、デューティ比が50パーセントの出力を得にくいという問題がある。

【0015】

これに対して、特許文献2又は特許文献3に開示された技術によれば、デューティ比が50パーセントの出力を得やすい。しかしながら、特許文献2又は特許文献3では、次のように、低消費電力化とパルス整形の安定性や低い位相雑音とを両立することができないと問題がある。

10

【0016】

図12に、図11の増幅部40に流れる電流の説明図を示す。図12において、図11と同様の部分には同一符号を付し、適宜説明を省略する。

【0017】

インバーター回路44は、P型のMOS(Metal-Oxide Semiconductor)トランジスタTrAと、N型のMOSトランジスタTrBとにより構成される。MOSトランジスタTrAのソースには、定電圧回路50によって生成された電源電圧VDDが供給され、ゲートには、容量42を介して発振部20からの発振信号Vinが入力され、ドレインは、増幅部40の出力となる。MOSトランジスタTrBのソースには、接地電圧VSSが供給され、ゲートには、容量42を介して発振部20からの発振信号Vinが入力され、ドレインは、増幅部40の出力となる。

20

【0018】

帰還抵抗46は、MOSトランジスタTrA(又はMOSトランジスタTrB)のドレインとMOSトランジスタTrA(又はMOSトランジスタTrB)のゲートとの間に接続される。

【0019】

ここで、MOSトランジスタTrAのソース・ドレイン間に流れる電流をIp、MOSトランジスタTrBのソース・ドレイン間に流れる電流をInとする。

【0020】

30

図13(A)、図13(B)に、電流Ip, Inの説明図を示す。図13(A)及び図13(B)は、横軸に発振信号Vin、縦軸に電流値を表す。図13(A)は、電源電圧VDDが1.6Vのときの電流Ip, Inの変化を模式的に表し、図13(B)は、電源電圧VDDが3.6Vのときの電流Ip, Inの変化を模式的に表す。

【0021】

発振信号Vinの電圧が0Vのとき、MOSトランジスタTrAがオンとなり電流Ipが流れ、MOSトランジスタTrBがオフとなり電流Inが流れない。発振信号Vinの電圧が高くなると、電流Ipの電流値が小さくなり、電流Inの電流値が大きくなる。図12に示すように、増幅部40では、帰還抵抗46によりインバーター回路44の入力及び出力が接続されているため、自己バイアスがかかり、例えば電源電圧VDDの中間電圧においてバイアス電圧が安定することになる。図13(A)では、電源電圧VDDが1.6Vのため、ほぼ0.8V(Vb)付近にバイアス電圧が安定し、図13(B)では、電源電圧VDDが3.6Vのため、ほぼ1.8V(Vb')付近にバイアス電圧が安定する。

40

【0022】

ここで、電源電圧VDDが1.6VのときにMOSトランジスタTrA, TrBのサイズを最適化して図13(A)のように調整すると、電源電圧VDDを3.6Vに上げたときに、図13(B)のように大きな貫通電流が流れてしまい、消費電流が大きくなる。一方、電源電圧VDDが3.6Vのときに大きな貫通電流が流れないようにMOSトランジスタTrA, TrBのサイズが小さくなるように調整すると、電源電圧VDDを1.

50

6 Vに下げたときインバーター回路44には十分なゲインが得られない。そのため、出力波形が歪み、位相雑音が悪化するという問題がある。

【0023】

以上のように、電源電圧VDDとして広い電圧範囲での動作が要求される場合、図11の構成では、低消費電力化とパルス整形の安定性や低い位相雑音とを両立することができない。

【0024】

本発明は、上記の課題の少なくとも一部を解決するためになされたものであり、以下の形態又は態様として実現することが可能である。

【課題を解決するための手段】

【0025】

本発明の第1の形態は、パルス信号生成回路が、第1の電源電圧が供給され、容量を介して入力される交流信号から第1の振幅レベルを有する第1のパルス信号を生成するパルス化部と、前記第1の電源電圧より高い第2の電源電圧が供給され、前記第1のパルス信号が入力されて第2の振幅レベルを有する第2のパルス信号を出力するレベルシフト部と、を含む。

本形態においては、交流信号から所望の振幅レベルを有するパルス信号を生成する場合に、パルス化の機能とレベルシフト機能とに分け、パルス化は、第1の電源電圧の下で行い、レベルシフトは、パルス化の際の電源電圧より高い電源電圧の下で行う。従って、本形態によれば、パルス化をレベルシフト部の電圧よりも低い電圧で行うため、ユーザーが要求する電源電圧が高い場合でも、より低い電源電圧の下で消費電流が小さくなるようにパルス化を実現した後、レベルシフト機能により、ユーザーが要求する電源電圧まで振幅レベルを上げたパルス信号を生成することができる。従って、広い電圧範囲での動作が要求される場合、低消費電力化とパルス整形の安定性や低い位相雑音とを両立することができるようになる。

本発明の第2の形態に係るパルス信号生成回路では、第1の形態において、前記パルス化部は、前記交流信号の入力ノードに接続される一方の電極と、他方の電極とを有する前記容量と、前記要領の前記他方の電極に接続される入力端子と、前記第1のパルス信号を出力する出力端子と、を有するインバーター回路と、前記インバーター回路の前記入力端子と前記出力端子との間に接続される帰還抵抗とを含む。

本形態によれば、パルス化部を容量結合インバーター回路により構成するようにしたので、第1の電源電圧の中間電圧にバイアスされた直流レベルに交流信号が重畳するため、デューティ比が50パーセントのパルス信号を生成しやすくなる。そのため、低消費電力で、ユーザーが要求する振幅レベルでデューティ比が50パーセントの出力信号を出力することに加えて、パルス整形の安定性や低い位相雑音を実現することができるようになる。

本発明の第3の形態に係るパルス信号生成回路では、第1の形態又は第2の形態において、前記レベルシフト部は、ソースに第3の電源電圧が供給され、ゲートに前記第1のパルス信号が供給されるN型の第1のトランジスターと、ソースに前記第2の電源電圧が供給され、ドレインに前記第1のトランジスターのドレインが接続されるP型の第2のトランジスターと、ソースに前記第3の電源電圧が供給され、ゲートに前記第1のパルス信号の反転信号が供給され、ドレインに前記第2のトランジスターのゲートが接続されるN型の第3のトランジスターと、ソースに前記第2の電源電圧が供給され、ドレインに前記第3のトランジスターのドレインが接続され、ゲートに前記第2のトランジスターのドレインが接続されるP型の第4のトランジスターと、を含み、前記第4のトランジスターのドレインから前記第2のパルス信号を出力する。

本形態によれば、レベルシフト部を、たすきがけ接続したインバーター回路により構成したので、電源電圧によらず貫通電流が大きく変化しない。このため、パルス化部におけるデューティ良好性を生かしながら、低消費電力化とパルス整形の安定性と低位相雑音特性を満足することができるようになる。

10

20

30

40

50

本発明の第４の形態に係るパルス信号生成回路は、第１の形態乃至第３の形態のいずれかにおいて、ソースから前記第１の電源電圧を出力するＮ型トランジスタを有するソースフォロワー回路を含む。

本形態によれば、ソースフォロワー回路により第１の電源電圧を供給するようにしたので、上記の効果に加えて、複数の電源電圧を供給するための不要な回路を省略することができるようになる。

本発明の第５の形態に係るパルス信号生成回路は、第４の形態において、前記Ｎ型トランジスタのドレインに前記第２の電源電圧が供給され、前記Ｎ型トランジスタのゲートに前記第２の電源電圧に基づく電圧が供給される。

本形態によれば、ソースフォロワー回路により、第２の電源電圧に基づいて第１の電源電圧を生成するようにしたので、上記の効果に加えて、複数の電源電圧を供給するための演算増幅器等の不要な回路を省略することができ、構成を簡素化することができる。

本発明の第６の形態は、発振回路が、第１の形態乃至第５の形態のいずれかのパルス信号生成回路と、共振子を駆動して前記第１のパルス信号を出力する共振子駆動回路と、を含む。

本形態によれば、パルス化部におけるデューティー良好性を生かしながら、低消費電流化とパルス整形の安定性と低位相雑音特性を満足する発振回路を提供することができるようになる。

本発明の第７の形態は、発振回路が、第４の形態のパルス信号生成回路と、共振子を駆動して前記第１のパルス信号を出力する共振子駆動回路と、前記共振子駆動回路にＰＴＡＴ（Proportional To Absolute Temperature）電流を出力するとともに、前記Ｎ型トランジスタのゲートに電圧を出力するバンドギャップリファレンス回路と、を含む。

本形態によれば、パルス化部におけるデューティー良好性を生かしながら、低消費電流化とパルス整形の安定性と低位相雑音特性を満足する発振回路を提供することができるようになる。更に、本形態によれば、電流駆動を行う素子の温度特性を補償することができるようになる。

本発明の第８の形態は、電子機器が、第６の形態又は第７の形態に記載の発振回路を含む。

本形態によれば、パルス化部におけるデューティー良好性を生かしながら、低消費電流化とパルス整形の安定性と低位相雑音特性を満足する発振回路が適用された電子機器を提供することができる。

本発明の第９の形態は、パルス信号生成方法が、共振子を駆動して発振信号を生成する発振信号生成ステップと、第１の電源電圧の下で、容量を介して入力される前記発振信号から第１の振幅レベルを有する第１のパルス信号を生成するパルス化ステップと、前記第１の電源電圧より高い第２の電源電圧の下で、前記第１のパルス信号を第２の振幅レベルを有する第２のパルス信号に変換するレベルシフトステップとを含む。

本形態においては、交流信号から所望の振幅レベルを有するパルス信号を生成する場合に、パルス化の機能とレベルシフト機能とに分け、パルス化は、第１の電源電圧の下で行い、レベルシフトは、パルス化の際の電源電圧より高い電源電圧の下で行う。従って、本形態によれば、パルス化をレベルシフト部の電圧よりも低い電圧で行うため、ユーザーが要求する電源電圧が高い場合でも、より低い電源電圧の下で消費電流が小さくなるようにパルス化を実現した後、レベルシフト機能により、ユーザーが要求する電源電圧まで振幅レベルを上げたパルス信号を生成することができる。従って、広い電圧範囲での動作が要求される場合、低消費電力化とパルス整形の安定性や低い位相雑音とを両立することができるようになる。

本発明の第１０の形態に係るパルス信号生成方法では、第９の形態において、前記発振信号生成ステップは、バンドギャップリファレンス回路から出力されるＰＴＡＴ電流を用いた電流駆動により前記発振信号を生成し、前記パルス化ステップは、前記バンドギャップリファレンス回路により生成された電圧がゲートに供給されるＮ型トランジスタのソース電圧を前記第１の電源電圧として、前記第１のパルス信号を生成する。

本形態によれば、上記の効果に加えて、構成を簡素化し、電流駆動を行う素子の温度特性を補償することができるようになる。

(1) 本発明の第1の態様は、パルス信号生成回路が、定電圧である第1の電源電圧が供給され、容量を介して入力される交流信号から第1の振幅レベルを有する第1のパルス信号を生成するパルス化部と、前記第1の電源電圧より高い第2の電源電圧が供給され、前記第1のパルス信号を第2の振幅レベルを有する第2のパルス信号に変換するレベルシフト部とを含む。

【0026】

本態様においては、交流信号から所望の振幅レベルを有するパルス信号を生成する場合に、パルス化の機能とレベルシフト機能とに分け、パルス化は、一定の電源電圧の下で行い、レベルシフトは、パルス化の際の電源電圧より低い電源電圧の下で行う。従って、本態様によれば、パルス化を定電圧の下で行うため、消費電流を一定にすることができる。そのため、ユーザーが要求する電源電圧が高い場合でも、より低い電源電圧の下で消費電流が小さくなるようにパルス化を実現した後、レベルシフト機能により、ユーザーが要求する電源電圧まで振幅レベルを上げたパルス信号を生成することができる。従って、広い電圧範囲での動作が要求される場合、低消費電力化とパルス整形の安定性や低い位相雑音とを両立することができるようになる。

【0027】

(2) 本発明の第2の態様に係るパルス信号生成回路では、第1の態様において、前記パルス化部は、一方の電極が前記交流信号の入力ノードに接続される前記容量と、入力端子が前記容量の他方の電極に接続され、出力端子から前記第1のパルス信号を出力するインバーター回路と、前記インバーター回路の前記入力端子と前記出力端子との間に接続される帰還抵抗とを含む。

【0028】

本態様によれば、パルス化部を容量結合インバーター回路により構成するようにしたので、第1の電源電圧の中間電圧にバイアスされた直流レベルに交流信号が重畳するため、デューティ比が50パーセントのパルス信号を生成しやすくなる。そのため、低消費電力で、ユーザーが要求する振幅レベルでデューティ比が50パーセントの出力信号を出力することに加えて、パルス整形の安定性や低い位相雑音を実現することができるようになる。

【0029】

(3) 本発明の第3の態様に係るパルス信号生成回路では、第1の態様又は第2の態様において、前記レベルシフト部は、ソースに第3の電源電圧が供給され、ゲートに前記第1のパルス信号が供給されるN型の第1のトランジスターと、ソースに前記第2の電源電圧が供給され、ドレインに前記第1のトランジスターのドレインが接続されるP型の第2のトランジスターと、ソースに前記第3の電源電圧が供給され、ゲートに前記第1のパルス信号の反転信号が供給され、ドレインに前記第2のトランジスターのゲートが接続されるN型の第3のトランジスターと、ソースに前記第2の電源電圧が供給され、ドレインに前記第3のトランジスターのドレインが接続され、ゲートに前記第2のトランジスターのドレインが接続されるP型の第4のトランジスターとを含み、前記第4のトランジスターのドレインから前記第2のパルス信号を出力する。

【0030】

本態様によれば、レベルシフト部を、たすきがけ接続したインバーター回路により構成したので、電源電圧によらず貫通電流が大きく変化しない。このため、パルス化部におけるデューティ良好性を生かしながら、低消費電流化とパルス整形の安定性と低位相雑音特性を満足することができるようになる。

【0031】

(4) 本発明の第4の態様に係るパルス信号生成回路は、第1の態様乃至第3の態様のいずれかにおいて、ソースに前記パルス化部の電源端子が接続されるN型トランジスターを有するソースフォロワー回路を含む。

【 0 0 3 2 】

本態様によれば、ソースフォロワー回路により第 1 の電源電圧を供給するようにしたので、上記の効果に加えて、複数の電源電圧を供給するための不要な回路を省略することができる。

【 0 0 3 3 】

(5) 本発明の第 5 の態様に係るパルス信号生成回路は、第 4 の態様において、前記 N 型トランジスタのドレインに前記第 2 の電源電圧が供給され、前記 N 型トランジスタのゲートに定電圧が供給される。

【 0 0 3 4 】

本態様によれば、ソースフォロワー回路により、第 2 の電源電圧に基づいて第 1 の電源電圧を生成するようにしたので、上記の効果に加えて、複数の電源電圧を供給するための演算増幅器等の不要な回路を省略することができ、構成を簡素化することができる。

【 0 0 3 5 】

(6) 本発明の第 6 の態様は、発振回路が、共振子を駆動して発振信号を出力する共振子駆動回路と、前記発振信号が入力される第 1 の態様乃至第 5 の態様のいずれか記載のパルス信号生成回路とを含む。

【 0 0 3 6 】

本態様によれば、パルス化部におけるデューティー良好性を生かしながら、低消費電流化とパルス整形の安定性と低位相雑音特性を満足する発振回路を提供することができる。

【 0 0 3 7 】

(7) 本発明の第 7 の態様は、発振回路が、前記定電圧を生成するバンドギャップリファレンス回路と、共振子を駆動して発振信号を出力する共振子駆動回路と、前記発振信号が入力される第 4 の態様記載のパルス信号生成回路とを含み、前記共振子駆動回路は、前記バンドギャップリファレンス回路から出力される P T A T (Proportional To Absolute Temperature) 電流を用いた電流駆動により前記共振子を駆動する。

【 0 0 3 8 】

本態様によれば、パルス化部におけるデューティー良好性を生かしながら、低消費電流化とパルス整形の安定性と低位相雑音特性を満足する発振回路を提供することができる。更に、本態様によれば、電流駆動を行う素子の温度特性を補償することができる。

【 0 0 3 9 】

(8) 本発明の第 8 の態様は、電子機器が、第 6 の態様又は第 7 の態様記載の発振回路を含む。

【 0 0 4 0 】

本態様によれば、パルス化部におけるデューティー良好性を生かしながら、低消費電流化とパルス整形の安定性と低位相雑音特性を満足する発振回路が適用された電子機器を提供することができる。

【 0 0 4 1 】

(9) 本発明の第 9 の態様は、パルス信号生成方法が、共振子を駆動して発振信号を生成する発振信号生成ステップと、一定の第 1 の電源電圧の下で、容量を介して入力される前記発振信号から第 1 の振幅レベルを有する第 1 のパルス信号を生成するパルス化ステップと、前記第 1 の電源電圧より高い第 2 の電源電圧の下で、前記第 1 のパルス信号を第 2 の振幅レベルを有する第 2 のパルス信号に変換するレベルシフトステップとを含む。

【 0 0 4 2 】

本態様においては、交流信号から所望の振幅レベルを有するパルス信号を生成する場合に、パルス化の機能とレベルシフト機能とに分け、パルス化は、一定の電源電圧の下で行い、レベルシフトは、パルス化の際の電源電圧より低い電源電圧の下で行う。従って、本態様によれば、パルス化を定電圧の下で行うため、消費電流を一定にすることができる。そのため、ユーザーが要求する電源電圧が高い場合でも、より低い電源電圧の下で消費電

10

20

30

40

50

流が小さくなるようにパルス化を実現した後、レベルシフト機能により、ユーザーが要求する電源電圧まで振幅レベルを上げたパルス信号を生成することができる。従って、広い電圧範囲での動作が要求される場合、低消費電力化とパルス整形の安定性や低い位相雑音とを両立することができるようになる。

【0043】

(10) 本発明の第10の態様に係るパルス信号生成方法では、第9の態様において、前記発振信号生成ステップは、バンドギャップリファレンス回路から出力されるPTAT電流を用いた電流駆動により前記発振信号を生成し、前記パルス化ステップは、前記バンドギャップリファレンス回路により生成された定電圧がゲートに供給されるN型トランジスタのソース電圧を前記第1の電源電圧として、前記第1のパルス信号を生成する。

10

【0044】

本態様によれば、上記の効果に加えて、構成を簡素化し、電流駆動を行う素子の温度特性を補償することができるようになる。

【図面の簡単な説明】

【0045】

【図1】第1の実施形態における発振回路の構成例のブロック図。

【図2】第1の実施形態におけるパルス信号生成方法のフローの一例を示す図。

【図3】第1の実施形態における発振回路の具体的な構成例の回路図。

【図4】図4(A)、図4(B)、図4(C)、図4(D)は、発振回路のシミュレーション結果の一例を示す図。

20

【図5】第2の実施形態における発振回路の構成例のブロック図。

【図6】第3の実施形態における発振回路の構成例のブロック図。

【図7】第3の実施形態における発振回路の具体的な構成例の回路図。

【図8】図7のバンドギャップリファレンス回路の構成例の回路図。

【図9】第3の実施形態の変形例におけるバンドギャップリファレンス回路の構成例の回路図。

【図10】本発明に係る実施形態又はその変形例における発振回路が適用された電子機器として携帯型情報端末の構成例のブロック図。

【図11】従来の発振回路の構成を示す図。

【図12】図11の増幅部に流れる電流の説明図。

30

【図13】図13(A)は、電源電圧が1.6Vのときの電流の変化を模式的に示す図。図13(B)は、電源電圧が3.6Vのときの電流の変化を模式的に示す図。

【発明を実施するための形態】

【0046】

以下、本発明の実施の形態について図面を用いて詳細に説明する。なお、以下に説明する実施の形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成のすべてが本発明の課題を解決するために必須の構成要件であるとは限らない。

【0047】

〔第1の実施形態〕

40

図1に、本発明の第1の実施形態における発振回路の構成例のブロック図を示す。

【0048】

第1の実施形態における発振回路100は、発振部110と、パルス信号生成回路200とを備えている。パルス信号生成回路200は、パルス化部210と、レベルシフト部220とを備えている。発振部110は、共振子と、共振子駆動回路とを備え、共振子駆動回路が共振子を駆動することで発振信号をパルス信号生成回路200に出力する。

【0049】

パルス信号生成回路200において、パルス化部210には、定電圧である第1の電源電圧VDD1と接地電源からの接地電圧VSSとが供給される。また、レベルシフト部220には、第1の電源電圧VDD1より高い可変の第2の電源電圧VDD2と接地電源か

50

らの接地電圧 VSS とが供給される。以下では、接地電圧 VSS が $0V$ であるものとし、各部は、高電位側の電源電圧を動作電圧として動作するものとする。

【0050】

パルス化部 210 には、容量を介して発振部 110 からの発振信号が入力される。パルス化部 210 は、第 1 の電源電圧 $VDD1$ を動作電圧として動作し、発振信号の交流成分（交流信号）から、第 1 の電源電圧 $VDD1$ の電圧レベルに対応する第 1 の振幅レベルを有する第 1 のパルス信号を生成する。

【0051】

レベルシフト部 220 は、第 1 のパルス信号を、第 2 の電源電圧 $VDD2$ の電圧レベルに対応する第 2 の振幅レベルを有する第 2 のパルス信号に変換する。発振回路 100 は、レベルシフト部 220 によって変換された第 2 のパルス信号を、出力端子 OUT から出力信号として出力する。

10

【0052】

図 2 に、第 1 の実施形態におけるパルス信号生成方法のフローの一例を示す。

【0053】

まず、第 1 の実施形態では、発振回路 100 は、発振部 110 において、共振子を駆動して発振信号を生成する（ステップ $S1$ 、発振信号生成ステップ）。

【0054】

次に、発振回路 100 は、パルス化部 210 において、一定の電源電圧の下で、容量を介して入力される発振信号から第 1 の振幅レベルのパルス信号（第 1 のパルス信号）を生成する（ステップ $S2$ 、パルス化ステップ）。

20

【0055】

そして、発振回路 100 は、レベルシフト部 220 において、ステップ $S2$ における電源電圧より高い電源電圧の下で、第 1 のパルス信号を、第 2 の振幅レベルを有する第 2 のパルス信号に変換する（ステップ $S3$ 、レベルシフトステップ）。その後、発振回路 100 は、一連の処理を終了する（エンド）。

【0056】

以上のように、第 1 の実施形態では、図 11 の増幅部 40 のように 1 つのインバーター回路で、レベルシフト回路の機能と出力バッファ回路の機能とを兼用させるのではなく、パルス化の機能とレベルシフト機能とを分ける。このとき、パルス化は、一定の電源電圧の下で行い、レベルシフトは、パルス化の際の電源電圧より低い電源電圧の下で行う。また、レベルシフトは、ユーザーが要求する電源電圧の下で行う。

30

【0057】

従って、第 1 の実施形態によれば、パルス化を定電圧の下で行うため、消費電流を一定にすることができる。そのため、ユーザーが要求する電源電圧が高い場合でも、より低い電源電圧の下で消費電流が小さくなるようにパルス化を実現した後、レベルシフト機能により、ユーザーが要求する電源電圧まで振幅レベルを上げたパルス信号を生成することができる。このとき、レベルシフト機能を実現する回路として、低消費電流で動作する回路を採用することによって、発振回路 100 のより一層の低消費電力化を図ることができる。

40

【0058】

図 3 に、第 1 の実施形態における発振回路 100 の具体的な構成例の回路図を示す。図 3 において、図 1 と同様の部分には同一符号を付し、適宜説明を省略する。以下では、 $1.2V$ の定電圧の電源電圧の下でパルス化部 210 を動作させ、 $1.6V \sim 3.6V$ の可変の電源電圧の下でレベルシフト部 220 を動作させるものとする。

【0059】

発振部 110 は、共振子（振動子）としての水晶振動子 112 と、共振子駆動回路としてのインバーター回路 114 と、帰還抵抗 116 と、容量 118、120 と、ドレイン抵抗 122 とを備えている。容量 118、120 の一方の電極には、それぞれ接地電圧 VSS が供給される。容量 118 の他方の電極と容量 120 の他方の電極との間には、水晶振

50

動子 1 1 2 が接続される。インバーター回路 1 1 4 の入力には、容量 1 1 8 の他方の電極と帰還抵抗 1 1 6 の一端とが接続される。インバーター回路 1 1 4 の出力には、ドレイン抵抗 1 2 2 の一端及び帰還抵抗 1 1 6 の他端が接続される。ドレイン抵抗 1 2 2 の他端には、容量 1 2 0 の他方の電極が接続される。インバーター回路 1 1 4 の電源端子（図示せず）には、所与の電源電圧が供給され、接地電源端子（図示せず）には接地電圧 V_{SS} が供給される。

【 0 0 6 0 】

パルス化部 2 1 0 は、容量 2 1 2 と、P 型の MOS トランジスター 2 1 4 と、N 型の MOS トランジスター 2 1 6 と、帰還抵抗 2 1 8 とを備えた容量結合インバーター回路である。MOS トランジスター 2 1 4 , 2 1 6 によりインバーター回路が構成される。容量 2 1 2 の一方の電極には、パルス化部 2 1 0 の入力ノード（例えば、インバーター回路 1 1 4 の入力）が接続される。容量 2 1 2 の他方の電極には、MOS トランジスター 2 1 4 , 2 1 6 のゲート（インバーター回路 4 4 の入力）及び帰還抵抗 2 1 8 の一端が接続される。帰還抵抗 2 1 8 の他端には、MOS トランジスター 2 1 4 , 2 1 6 のドレイン（インバーター回路 4 4 の出力）が接続される。MOS トランジスター 2 1 4 のソースには、第 1 の電源電圧 V_{DD1} が供給される。MOS トランジスター 2 1 6 のソースには、接地電圧 V_{SS} が供給される。MOS トランジスター 2 1 4 , 2 1 6 のドレイン（インバーター回路 4 4 の出力）から、第 1 の電源電圧 V_{DD1} に対応する第 1 の振幅レベルを有するパルス信号が出力される。

【 0 0 6 1 】

レベルシフト部 2 2 0 は、P 型の MOS トランジスター 2 2 2 , 2 2 4 と、N 型の MOS トランジスター 2 2 6 , 2 2 8 と、インバーター回路 2 3 0 とを備えた、たすきがけ接続したインバーター回路である。MOS トランジスター 2 2 2 , 2 2 4 のソースには、第 2 の電源電圧 V_{DD2} が供給される。MOS トランジスター 2 2 2 のゲートには、MOS トランジスター 2 2 4 のドレインと MOS トランジスター 2 2 8 のドレインとが接続される。MOS トランジスター 2 2 2 のドレインには、MOS トランジスター 2 2 4 のゲートと MOS トランジスター 2 2 6 のドレインとが接続される。MOS トランジスター 2 2 6 のソースには、接地電圧 V_{SS} （第 3 の電源電圧）が供給され、ゲートには、MOS トランジスター 2 1 4 , 2 1 6 のドレインとインバーター回路 2 3 0 の入力とが接続される。MOS トランジスター 2 2 8 のソースには、接地電圧 V_{SS} が供給され、ゲートには、インバーター回路 2 3 0 の出力が接続される。MOS トランジスター 2 2 4 , 2 2 8 のドレインからパルス信号生成回路 2 0 0 の出力が取り出される。

【 0 0 6 2 】

なお、できるだけ歪みのない波形を有する発振出力を得るために、パルス化部 2 1 0 のゲインは、レベルシフト部 2 2 0 のゲインより大きいことが望ましい。

【 0 0 6 3 】

なお、MOS トランジスター 2 2 6 は、第 1 のトランジスターとして機能し、MOS トランジスター 2 2 2 は、第 2 のトランジスターとして機能する。MOS トランジスター 2 2 8 は、第 3 のトランジスターとして機能し、MOS トランジスター 2 2 4 は、第 4 のトランジスターとして機能する。

【 0 0 6 4 】

以上のような構成を有する発振回路 1 0 0 は、発振部 1 1 0 において、インバーター回路 1 1 4 に所与の電源電圧が与えられると、インバーター回路 1 1 4 が増幅した発振信号により水晶振動子 1 1 2 が駆動される。このとき、増幅された発振信号を帰還抵抗 1 1 6 によりインバーター回路 1 1 4 の入力に帰還させながら、発振ノードに接続される容量 1 1 8 , 1 2 0 の充電と放電を行って、所望の発振周波数で発振を継続するようになっている。発振部 1 1 0 における発振による発振信号は、インバーター回路 1 1 4 の入力側（ゲート側）から取り出される。

【 0 0 6 5 】

パルス化部 2 1 0 を構成する MOS トランジスター 2 1 4 , 2 1 6 のゲートには、容量

212を介して発振部110からの発振信号が入力される。そのため、発振信号の交流成分のみが、MOSトランジスタ214, 216により構成されるインバータ回路に伝達される。このとき、MOSトランジスタ214, 216により構成されるインバータ回路では、 $VDD1/2$ にバイアスされた直流レベルに交流信号が重畳するため、帰還抵抗218によってバイアス電圧が動作点のほぼ中間で安定する。そのため、パルス化部210のデューティ比が50パーセントになりやすい。

【0066】

なお、容量結合インバータ回路は、1.6V~3.6Vのような広い電源電圧範囲で動作させると、消費電流と、パルス整形の安定性及び位相雑音特性との間でトレードオフがある。そこで、第1の実施形態では、容量結合インバータ回路では低い定電圧の下で動作させ、レベルシフト部220により振幅レベルを高くする。こうすることで、容量結合インバータ回路において消費電流を優先にしたときに劣化するパルス整形の安定性及び位相雑音特性の悪化を抑える。

【0067】

レベルシフト部220では、MOSトランジスタ226がオンになると、MOSトランジスタ224がオンとなり、出力端子OUTは第2の電源電圧VDD2の電圧レベルとなる。このとき、MOSトランジスタ222, 228がオフとなるため、レベルシフト部220では、貫通電流がほとんど流れない。

【0068】

また、MOSトランジスタ228がオンになると、出力端子OUTは接地電圧VSSの電圧レベルとなる。このとき、MOSトランジスタ222がオンとなるが、MOSトランジスタ224, 226がオフとなるため、レベルシフト部220では、貫通電流がほとんど流れない。

【0069】

なお、たすきがけ接続したインバータ回路は、その閾値電圧と、入力信号の中心電圧とが一致しないとき、デューティ比が50パーセントの出力信号を出力することができない。この点、第1の実施形態では、パルス化部210によって一定の中心電圧を基準としたパルス信号が入力されるため、たすきがけ接続したインバータ回路の閾値電圧をこれに揃えることができる。

【0070】

図4(A)、図4(B)、図4(C)、図4(D)に、発振回路100のシミュレーション結果の一例を示す。図4(A)~図4(D)は、パルス化部210に1.2Vの電源電圧(第1の電源電圧VDD1)を供給し、レベルシフト部220に3.3Vの電源電圧(第2の電源電圧VDD2)を供給した場合のシミュレーション結果を表す。図4(A)はパルス化部210の入力ノードND1のシミュレーション波形、図4(B)はMOSトランジスタ214, 216のゲートノードND2のシミュレーション波形を表す。図4(C)はMOSトランジスタ214, 216のドレインノードND3のシミュレーション波形、図4(D)は出力端子OUTから出力される出力信号のシミュレーション波形を表す。図4(A)~図4(D)において、横軸は時間軸とし、縦軸は電圧を表している。

【0071】

図4(A)に示すような約0.8Vの振幅レベルを有する発振信号が入力ノードND1に入力されると、容量212を介してこの発振信号が入力されるゲートノードND2は、図4(B)に示すように、図4(A)の交流成分のみが伝搬される。このとき、帰還抵抗218によって自己バイアスされるため、ゲートノードND2は、0.6V(=VDD1/2)を中心レベルとした交流信号となる。この結果、ドレインノードND3には、図4(C)に示すように、1.2Vの振幅レベルのパルス信号が出力される。

【0072】

レベルシフト部220は、上記のように振幅レベルの変換を行い、図4(D)に示すように、3.3V(=VDD2)の振幅レベルを有するパルス信号を、出力端子OUTから出力信号として出力する。

10

20

30

40

50

【 0 0 7 3 】

以上説明したように、第 1 の実施形態において、パルス化部 2 1 0 を容量結合インバーター回路により構成したので、 $VDD1/2$ にバイアスされた直流レベルに交流信号が重畳するため、デューティ比が 5 0 パーセントのパルス信号を生成しやすくなる。また、第 1 の実施形態では、発振部 1 1 0 から取り出される発振信号の振幅をそれほど高くする必要がないため、インバーター回路 1 1 4 の入力側から発振信号を取り出してパルス信号を生成することができる。これにより、ノイズ成分のより一層少ない発振信号からパルス信号を生成することができ、デューティ比が 5 0 パーセントのパルス信号をより一層得やすくなる。

【 0 0 7 4 】

10

更に、レベルシフト部 2 2 0 を、たすきがけ接続したインバーター回路により構成したので、電源電圧によらず貫通電流が大きく変化しない。このため、パルス化部 2 1 0 におけるデューティ比良好性を生かしながら、低消費電流化とパルス整形の安定性と低位相雑音特性のすべてを満足する発振回路を提供することができるようになる。

【 0 0 7 5 】

〔 第 2 の実施形態 〕

第 1 の実施形態では、第 1 の電源電圧 $VDD1$ 及び第 2 の電源電圧 $VDD2$ を図示しない電圧発生回路から供給することができるが、第 1 の電源電圧 $VDD1$ を、第 2 の電源電圧 $VDD2$ に基づいて生成するようにしてもよい。

【 0 0 7 6 】

20

図 5 に、本発明の第 2 の実施形態における発振回路の構成例のブロック図を示す。図 5 において、図 1 と同様の部分には同一符号を付し、適宜説明を省略する。

【 0 0 7 7 】

第 2 の実施形態における発振回路 3 0 0 は、発振部 1 1 0 と、パルス信号生成回路 4 0 0 と、定電圧回路 3 1 0 とを備えている。パルス信号生成回路 4 0 0 は、パルス化部 2 1 0 と、レベルシフト部 2 2 0 と、ソースフォロワー回路 4 1 0 とを備えている。

【 0 0 7 8 】

定電圧回路 3 1 0 は、第 2 の電源電圧 $VDD2$ から一定電圧である基準電圧を生成する。定電圧回路 3 1 0 によって生成された基準電圧は、ソースフォロワー回路 4 1 0 に出力される。

30

【 0 0 7 9 】

ソースフォロワー回路 4 1 0 は、N 型 MOS トランジスタ（N 型トランジスタ）を備えている。この N 型 MOS トランジスタのドレインには、第 2 の電源電圧 $VDD2$ が供給され、ゲートには定電圧回路 3 1 0 からの基準電圧が供給され、ソースには第 1 の電源電圧 $VDD1$ が出力される。この N 型 MOS トランジスタの閾値電圧を V_{thn} とすると、次式が成り立つ。

【 数 1 】

$$VDD1 = VDD2 - V_{thn} \quad \cdots (1)$$

【 0 0 8 0 】

N 型 MOS トランジスタのソースには、パルス化部 2 1 0 の電源端子が接続され、パルス化部 2 1 0 には、定電圧である第 1 の電源電圧 $VDD1$ が供給される。

40

【 0 0 8 1 】

パルス化部 2 1 0 には、第 1 の電源電圧 $VDD1$ と接地電源からの接地電圧 VSS とが供給され、レベルシフト部 2 2 0 には、第 1 の電源電圧 $VDD1$ より高い可変の第 2 の電源電圧 $VDD2$ と接地電源からの接地電圧 VSS とが供給される。

【 0 0 8 2 】

以上のような構成を有する第 2 の実施形態においても、図 2 で説明したように、第 1 の実施形態と同様に、パルス信号を生成して、ユーザーが要求する電源電圧レベルの発振出力を得ることができる。

【 0 0 8 3 】

50

即ち、第2の実施形態においても、第1の実施形態と同様に、図11の増幅部40のように1つのインバーター回路で、レベルシフト回路の機能と出力バッファ回路の機能とを兼用させるのではなく、パルス化の機能とレベルシフト機能とを分けることができる。このとき、パルス化は、一定の電源電圧の下で行い、レベルシフトは、パルス化の際の電源電圧より低い電源電圧の下で行う。また、レベルシフトは、ユーザーが要求する電源電圧の下で行う。

【0084】

しかも、第2の実施形態では、第1の電源電圧VDD1を第2の電源電圧VDD2に基づいて生成するようにしたので、複数の電源電圧を供給するための不要な回路を省略し、簡素な構成で、第1の実施形態と同様の効果を得ることができる。

10

【0085】

〔第3の実施形態〕

第1の実施形態又は第2の実施形態では、発振部において電圧駆動によって発振信号を生成する発振回路を例に説明したが、本発明に係る実施形態は、これに限定されるものではない。

【0086】

図6に、本発明の第3の実施形態における発振回路の構成例のブロック図を示す。図6において、図1又は図5と同様の部分には同一符号を付し、適宜説明を省略する。

【0087】

第3の実施形態における発振回路500は、発振部510と、パルス信号生成回路400と、バンドギャップリファレンス回路530とを備えている。パルス信号生成回路400は、パルス化部210と、レベルシフト部220と、ソースフォロワー回路410とを備えている。

20

【0088】

発振部510は、共振子と、共振子駆動回路とを備え、電流駆動により共振子駆動回路が共振子を駆動することで発振信号をパルス信号生成回路400に出力する。このような発振部510の機能は、ピアース型の発振回路の発振部によって実現される。

【0089】

バンドギャップリファレンス回路530には、第2の電源電圧VDD2が供給される。バンドギャップリファレンス回路530は、1.25Vの定電圧Vrefを生成してソースフォロワー回路410に供給するとともに、PTAT (Proportional To Absolute Temperature) 電流を発振部510に出力する。発振部510は、バンドギャップリファレンス回路530からのPTAT電流Iptatを用いて発振信号を生成する。

30

【0090】

ソースフォロワー回路410が備えるN型のMOSトランジスタのドレインには、第2の電源電圧VDD2が供給され、ゲートにはバンドギャップリファレンス回路530からの定電圧Vrefが供給され、ソースには第1の電源電圧VDD1が出力される。このとき、第1の電源電圧VDD1は、式(1)のようになる。

【0091】

以上のような構成を有する第3の実施形態でも、図2で説明したように、第1の実施形態と同様に、パルス信号を生成して、ユーザーが要求する電源電圧レベルの発振出力を得ることができる。

40

【0092】

即ち、第3の実施形態においても、第1の実施形態と同様に、図11の増幅部40のように1つのインバーター回路で、レベルシフト回路の機能と出力バッファ回路の機能とを兼用させるのではなく、パルス化の機能とレベルシフト機能とを分けることができる。このとき、パルス化は、一定の電源電圧の下で行い、レベルシフトは、パルス化の際の電源電圧より低い電源電圧の下で行う。また、レベルシフトは、ユーザーが要求する電源電圧の下で行う。

【0093】

50

しかも、第3の実施形態では、バンドギャップリファレンス回路530により発振部510にPTAT電流 I_{ptat} を供給し、ソースフォロワー回路410を介してパルス化部210に第1の電源電圧 V_{DD1} を供給する。そのため、複数の電源電圧を供給するための演算増幅器等の不要な回路を省略することができ、簡素な構成で、第1の実施形態と同様の効果を得ることができる。

【0094】

図7に、第3の実施形態における発振回路500の具体的な構成例の回路図を示す。図7において、図3又は図6と同様の部分には同一符号を付し、適宜説明を省略する。

【0095】

発振部510は、共振子としての水晶振動子512と、共振子駆動回路としてのN型のMOSトランジスタ514と、帰還抵抗516と、容量518、520と、ドレイン抵抗522とを備えている。容量518、520の一方の電極には、それぞれ接地電圧 V_{SS} が供給される。容量518の他方の電極と容量520の他方の電極との間には、水晶振動子512が接続される。

【0096】

MOSトランジスタ514のソースには、接地電圧 V_{SS} が供給され、ゲートには、容量518の他方の電極が接続され、ドレインにはドレイン抵抗522の一端が接続される。ドレイン抵抗522の他端には、容量520の他方の電極が接続される。MOSトランジスタ514のゲートとドレインとの間には、帰還抵抗516が接続される。また、MOSトランジスタ514のドレインには、バンドギャップリファレンス回路530が接続され、バンドギャップリファレンス回路530からのPTAT電流 I_{ptat} が供給される。

【0097】

パルス化部210における容量212は、MOSトランジスタ514のゲートと、MOSトランジスタ214、216のゲートとの間に接続される。

【0098】

ソースフォロワー回路410は、N型のMOSトランジスタ（N型トランジスタ）412を備えている。MOSトランジスタ412のドレインには、第2の電源電圧 V_{DD2} が供給され、ゲートにはバンドギャップリファレンス回路530からの定電圧 V_{ref} が供給され、ソースには第1の電源電圧 V_{DD1} が出力される。

【0099】

図8に、図7のバンドギャップリファレンス回路530の構成例の回路図を示す。

【0100】

バンドギャップリファレンス回路530は、PN接合を有するダイオードD1、D2、D3と、P型のMOSトランジスタQP1、QP2、QP3、QP4と、N型のMOSトランジスタQN1、QN2と、抵抗R1、R2とを備えている。MOSトランジスタQP1、QP2のゲート同士が接続され、ソースには、第2の電源電圧 V_{DD2} が供給される。MOSトランジスタQP2のゲート及びドレインが接続される。MOSトランジスタQN1、QN2のゲート同士が接続され、MOSトランジスタQN1のゲート及びドレインが接続される。MOSトランジスタQN1のドレインには、MOSトランジスタQP1のドレインが接続され、ソースには、ダイオードD1のアノードが接続される。ダイオードD1のカソードには、接地電圧 V_{SS} を供給する接地電源が接続される。MOSトランジスタQN2のドレインには、MOSトランジスタQP2のドレインが接続され、ソースには、抵抗R1の一端が接続される。抵抗R1の他端には、ダイオードD2のアノードが接続される。ダイオードD2のカソードには、接地電圧 V_{SS} を供給する接地電源が接続される。

【0101】

MOSトランジスタQP3のソースには、第2の電源電圧 V_{DD2} が供給され、ゲートには、MOSトランジスタQP1、QP2のゲートが接続される。MOSトランジスタQP3のドレインには、抵抗R2の一端が接続される。抵抗R2の他端には、ダイオ

ードD3のアノードが接続される。ダイオードD3のカソードには、接地電圧VSSを供給する接地電源が接続される。MOSトランジスタQP3のドレインの電圧が定電圧Vrefとして出力される。

【0102】

MOSトランジスタQP4のソースには、第2の電源電圧VDD2が供給され、ゲートには、MOSトランジスタQP1, QP2のゲートが接続される。MOSトランジスタQP4のドレインの電流が、PTAT電流Iptatとして出力される。

【0103】

図8の構成において、MOSトランジスタQP1, QP2, QP3, Q4, QN1, QN2の各々は、チャネル長及びチャネル幅が同サイズのトランジスタ素子として形成される。そのため、MOSトランジスタQP1～QP4はカレントミラー回路を構成し、MOSトランジスタQN1, QN2もカレントミラー回路を構成するため、各MOSトランジスタに流れる電流は、ほぼ等しくなる。また、MOSトランジスタQN1, QN2のソースの電圧も、ほぼ等しくなる。

【0104】

一方、ダイオードD2におけるPN接合の並列接続数（又は面積）は、ダイオードD1におけるPN接合の並列接続数（又は面積）のM倍となるように形成される。そのため、ダイオードD1の飽和電流をIsとすると、ダイオードD2の飽和電流はM×Isとなる。

【0105】

ここで、MOSトランジスタQP1～QP4の各々に流れる電流をI、ダイオードD1～D3の各々の両端電圧をVd1～Vd3、抵抗R1, R2の各々の抵抗値をR1, R2とすると、以下の式が成立する。なお、以下の式において、kはボルツマン定数、Tは絶対温度であり、qは電子の電荷とする。

【数2】

$$Vd1 = \frac{kT}{q} \ln\left(\frac{I}{Is}\right) \quad \dots (2)$$

$$Vd2 = \frac{kT}{q} \ln\left(\frac{I}{M \cdot Is}\right) \quad \dots (3)$$

$$Vd1 = I \cdot R_1 + Vd2 \quad \dots (4)$$

【0106】

式(2)～式(4)より、MOSトランジスタQP3のドレインの電圧である定電圧Vrefは、次式によって表される。

【数3】

$$Vref = I \cdot R_2 + Vd3 = \frac{R_2}{R_1} \cdot \frac{kT}{q} \ln(M) + Vd3 \quad \dots (5)$$

【0107】

ここで、式(5)を絶対温度Tで微分すると、次式のようになる。

【数4】

$$\frac{dVref}{dT} = \frac{R_2}{R_1} \cdot \frac{k}{q} \ln(M) + \frac{dVd3}{dT} \quad \dots (6)$$

【0108】

式(6)において、dVd3/dTの項は負の温度特性を有し、これに対応して、(R2/R1)(k/q)ln(M)の値を正の値に調整することにより、式(6)はゼロとすることができ、定電圧Vrefの温度依存性をキャンセルすることができる。

【 0 1 0 9 】

また、M O S トランジスタ Q P 4 のドレインの電流 I_{ptat} は、次式のように表すことができる。

【 数 5 】

$$I_{ptat} = \frac{kT}{qR_1} \ln(M) \cdots (7)$$

【 0 1 1 0 】

以上のような構成を有する発振回路 5 0 0 は、発振部 5 1 0 において、バンドギャップリファレンス回路 5 3 0 から P T A T 電流 I_{ptat} が供給されると、M O S トランジスタ 5 1 4 が増幅した発振信号により水晶振動子 5 1 2 が駆動される。このとき、増幅された発振信号を帰還抵抗 5 1 6 により M O S トランジスタ 5 1 4 のゲートに帰還させながら、発振ノードに接続される容量 5 1 8 , 5 2 0 の充電と放電を行って、所望の発振周波数で発振を継続するようになっている。

10

【 0 1 1 1 】

一方、バンドギャップリファレンス回路 5 3 0 が生成する定電圧 V_{ref} は、M O S トランジスタ 4 1 2 のゲートに供給され、一定電圧である第 1 の電源電圧 V_{DD1} が第 2 の電源電圧 V_{DD2} から生成される。

【 0 1 1 2 】

パルス化部 2 1 0 を構成する M O S トランジスタ 2 1 4 , 2 1 6 のゲートには、容量 2 1 2 を介して発振部 5 1 0 からの発振信号が入力される。そのため、発振信号の交流成分のみが、M O S トランジスタ 2 1 4 , 2 1 6 により構成されるインバーター回路に伝達される。このとき、M O S トランジスタ 2 1 4 , 2 1 6 により構成されるインバーター回路では、上記のように帰還抵抗 2 1 8 によってバイアス電圧が動作点のほぼ中間で安定し、パルス化部 2 1 0 のデューティ比が 5 0 パーセントになりやすい。

20

【 0 1 1 3 】

レベルシフト部 2 2 0 は、上記のように、パルス化部 2 1 0 からのパルス信号の振幅レベルを、第 2 の電源電圧 V_{DD2} の振幅レベルに変換する。

【 0 1 1 4 】

なお、第 3 の実施形態では、図 2 のステップ S 2 では、バンドギャップリファレンス回路 5 3 0 から出力される P T A T 電流 I_{ptat} を用いた電流駆動により発振信号を生成する。また、図 2 のステップ S 3 では、バンドギャップリファレンス回路 5 3 0 により生成された定電圧 V_{ref} がゲートに供給される M O S トランジスタ 4 1 2 のソース電圧を第 1 の電源電圧 V_{DD1} として、第 1 のパルス信号を生成する。

30

【 0 1 1 5 】

以上説明したように、第 3 の実施形態において、パルス化部 2 1 0 を容量結合インバーター回路により構成したので、 $V_{DD1} / 2$ にバイアスされた直流レベルに交流信号が重畳するため、デューティ比が 5 0 パーセントのパルス信号を生成しやすくなる。また、第 3 の実施形態では、発振部 5 1 0 から取り出される発振信号の振幅をそれほど高くする必要がないため、M O S トランジスタ 5 1 4 のゲート側から発振信号を取り出してパルス信号を生成することができる。これにより、ノイズ成分のより一層少ない発振信号からパルス信号を生成することができ、デューティ比が 5 0 パーセントのパルス信号をより一層得やすくなる。

40

【 0 1 1 6 】

更に、レベルシフト部 2 2 0 を、たすきがけ接続したインバーター回路により構成したので、電源電圧によらず貫通電流が大きく変化しない。このため、パルス化部 2 1 0 におけるデューティ比良好性を生かしながら、低消費電流化とパルス整形の安定性と低位相雑音特性のすべてを満足する発振回路を提供することができるようになる。

【 0 1 1 7 】

更に、第 3 の実施形態では、バンドギャップリファレンス回路 5 3 0 により発振部 5 1

50

0にPTAT電流 I_{ptat} を供給し、ソースフォロワー回路410を介してパルス化部210に第1の電源電圧 V_{DD1} を供給する。そのため、複数の電源電圧を供給するための演算増幅器等の不要な回路を省略することができ、簡素な構成で、第1の実施形態と同様の効果を得ることができる。

【0118】

また、PTAT電流 I_{ptat} によりMOSトランジスタ514を駆動するようにしたので、低温で抵抗が大きくなる分だけ電流値が小さくなり、高温で抵抗が大きくなる分だけ電流値が大きくなる。このため、MOSトランジスタ514の温度特性を補償することができるようになる。

【0119】

〔変形例〕

第3の実施形態では、バンドギャップリファレンス回路530として図8に示す構成を例に説明したが、本発明に係る実施形態は、これに限定されるものではない。

【0120】

図9に、第3の実施形態の変形例におけるバンドギャップリファレンス回路の構成例の回路図を示す。

【0121】

本変形例におけるバンドギャップリファレンス回路530aは、NPN型のバイポーラトランジスタBQ1、BQ2と、P型のMOSトランジスタQP1a、QP2aと、抵抗R1a、R2a、R3aと、差動増幅器AP1とを備えている。MOSトランジスタQP1a、QP2aのゲート同士が接続され、ソースには、第2の電源電圧 V_{DD2} が供給される。

【0122】

MOSトランジスタQP1aのドレインには、抵抗R1a、R2aの一端が接続される。MOSトランジスタQP1aのドレインの電圧が、定電圧 V_{ref} として出力される。MOSトランジスタQP2aのドレインの電流が、PTAT電流 I_{ptat} として出力される。抵抗R1aの他端には、バイポーラトランジスタBQ1のコレクター及びベースが接続される。バイポーラトランジスタBQ1のエミッターには、接地電圧 V_{SS} が供給される。抵抗R2aの他端には、バイポーラトランジスタBQ2のコレクター及びベースが接続される。バイポーラトランジスタBQ2のエミッターには、抵抗R3aの一端が接続される。抵抗R3aの他端には、接地電圧 V_{SS} が供給される。

【0123】

差動増幅器AP1の非反転入力端子には、バイポーラトランジスタBQ2のコレクターが接続される。差動増幅器AP1の反転入力端子には、バイポーラトランジスタBQ1のコレクターが接続される。差動増幅器AP1の出力端子には、MOSトランジスタQP1a、QP2aのゲートが接続される。

【0124】

このような構成を有するバンドギャップリファレンス回路530aは、バンドギャップリファレンス回路530に代えて図7の構成に設けられる。

【0125】

図9の構成において、MOSトランジスタQP1a、QP2aの各々は、チャネル長及びチャネル幅が同サイズのトランジスタ素子として形成される。そのため、MOSトランジスタQP1a、QP2aはカレントミラー回路を構成するため、各MOSトランジスタに流れる電流は、ほぼ等しくなる。バイポーラトランジスタBQ2におけるPN接合の並列接続数（又は面積）は、バイポーラトランジスタBQ1におけるPN接合の並列接続数（又は面積）のM倍となるように形成される。また、抵抗R1a、R2aは、同じ抵抗値となるように形成される。

【0126】

差動増幅器AP1は、バイポーラトランジスタBQ1のコレクターの電圧と、バイポーラトランジスタBQ2のコレクターの電圧とが等しくなるように、MOSトランジス

10

20

30

40

50

ターQP1, QP2のゲートを制御する。その結果、MやR2a/R3aを調整することによって、定電圧Vrefの温度依存性をキャンセルすることができる。例えば、抵抗R1a, R2aの抵抗値を図8の抵抗R1と同じ抵抗値R₁、抵抗R3aの抵抗値を図8の抵抗R2と同じ抵抗値R₂とすると、定電圧Vrefは式(5)、PTAT電流Iptatは式(7)のように表すことができる。

【0127】

〔電子機器〕

図10に、上記のいずれかの実施形態又はその変形例における発振回路が適用された電子機器として携帯型情報端末の構成例のブロック図を示す。なお、図10において、図1と同様の部分には同一符号を付し、適宜説明を省略する。また、図10では、第1の実施形態における発振回路100が携帯型情報端末に適用される例を示したが、第2の実施形態、第3の実施形態、又はその変形例における発振回路を適用してもよい。

10

【0128】

携帯型情報端末600は、制御部610と、記憶部620と、通信回路630と、操作部640と、表示部650とを備えている。制御部610は、中央演算処理装置を備え、記憶部620に記憶されたプログラムを読み込んで、携帯型情報端末600を構成する各部の制御を行う。記憶部620は、制御部610によって実行されるプログラムやデータなどを記憶し、制御部610により各種ワークエリアとして機能する。

【0129】

通信回路630は、外部機器からの受信信号を受信して復調処理を行ったり、変調処理後のデータを送信信号として外部機器に送信したりする。通信回路630は、発振回路100を備えている。通信回路630は、発振回路100により生成された発振信号に基づいて、例えば送信及び受信用の基準クロックを生成し、上記の送信又は受信を行う。

20

【0130】

操作部640は、ユーザーからの操作情報を受け付け、該操作情報を制御部610に供給する。例えば制御部610は、操作部640からの操作情報に基づいて、通信回路630及び記憶部620とデータをやりとりし、必要なデータ処理を行う。表示部650は、制御部610により行われた所定の処理後のデータに対応した画像を表示する。

【0131】

以上、本発明に係るパルス信号生成回路、発振回路、電子機器、及びパルス信号生成方法等を上記のいずれかの実施形態又はその変形例に基づいて説明したが、本発明は上記のいずれかの実施形態又はその変形例に限定されるものではない。例えば、その要旨を逸脱しない範囲において種々の態様において実施することが可能であり、次のような変形も可能である。

30

【0132】

(1) 上記のいずれかの実施形態又はその変形例において、発振回路としてSPXOを例に説明したが、本発明は、これに限定されるものではない。

【0133】

(2) 上記のいずれかの実施形態又はその変形例において、発振回路の外部に、水晶振動子等の共振子が設けられていてもよい。

40

【0134】

(3) 上記のいずれかの実施形態又はその変形例において、パルス化部の後段にレベルシフト部を設けているが、本発明は、これに限定されるものではない。パルス化部とレベルシフト部との間に、インバーター回路やバッファ回路を設けて、パルス化部からのパルス信号の振幅レベルを上げてから、更にレベルシフト部にパルス信号を入力するようにしてもよい。

【0135】

(4) 上記のいずれかの実施形態又はその変形例において、バンドギャップリファレンス回路として、図8又は図9の構成を例に説明したが、本発明は、これに限定されるものではない。

50

【 0 1 3 6 】

(5) 本発明に係る発振回路が適用される電子機器として、携帯型情報端末を例に説明したが、本発明はこれに限定されるものではない。例えば、デジタルスチルカメラ、テレビ、ビデオカメラ、カーナビゲーション装置、ページャー、電子手帳、電子ペーパー、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS (Point of sale system) 端末、プリンター、スキャナー、複写機、ビデオプレーヤー、タッチパネルを備えた機器などが挙げられる。

【符号の説明】

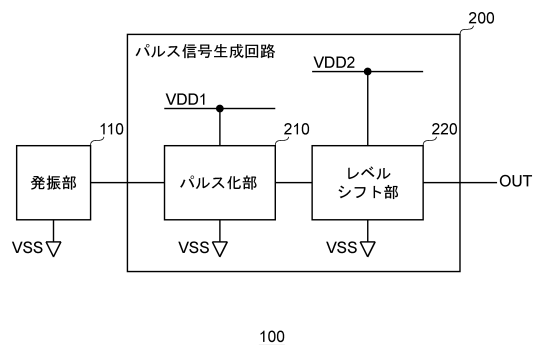
【 0 1 3 7 】

1 0 0 , 3 0 0 , 5 0 0 ... 発振回路、 1 1 0 , 5 1 0 ... 発振部、
 1 1 2 , 5 1 2 ... 水晶振動子 (共振子) 、 1 1 4 , 2 3 0 ... インバーター回路、
 1 1 6 , 2 1 8 , 5 1 6 ... 帰還抵抗、
 1 1 8 , 1 2 0 , 2 1 2 , 5 1 8 , 5 2 0 ... 容量、 1 2 2 , 5 2 2 ... ドレイン抵抗、
 2 0 0 , 4 0 0 ... パルス信号生成回路、 2 1 0 ... パルス化部、
 2 1 4 , 2 2 2 , 2 2 4 ... P 型の MOS トランジスター、
 2 1 6 , 2 2 6 , 2 2 8 , 4 1 2 ... N 型の MOS トランジスター、
 2 2 0 ... レベルシフト部、 3 1 0 ... 定電圧回路、 4 1 0 ... ソースフォロワー回路、
 5 3 0 ... バンドギャップリファレンス回路、 6 0 0 ... 携帯型情報端末 (電子機器) 、
 6 1 0 ... 制御部、 6 2 0 ... 記憶部、 6 3 0 ... 通信回路、 6 4 0 ... 操作部、
 6 5 0 ... 表示部、 I p t a t ... P T A T 電流、 O U T ... 出力端子、
 V D D 1 ... 第 1 の電源電圧、 V D D 2 ... 第 2 の電源電圧、 V r e f ... 定電圧、
 V S S ... 接地電圧 (第 3 の電源電圧)

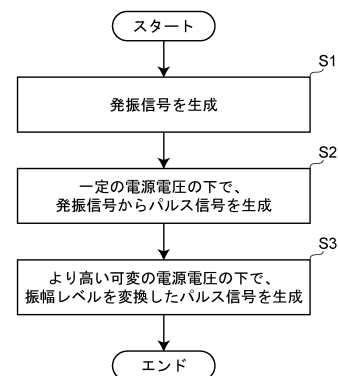
10

20

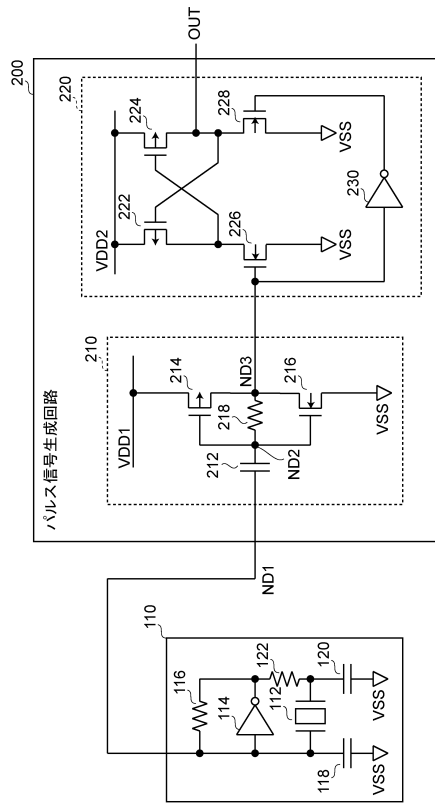
【 図 1 】



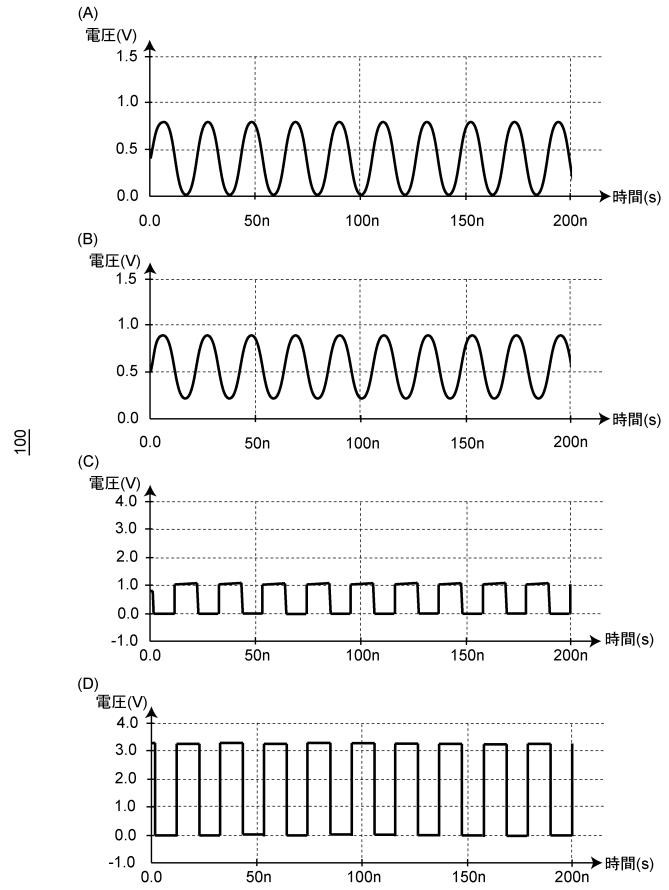
【 図 2 】



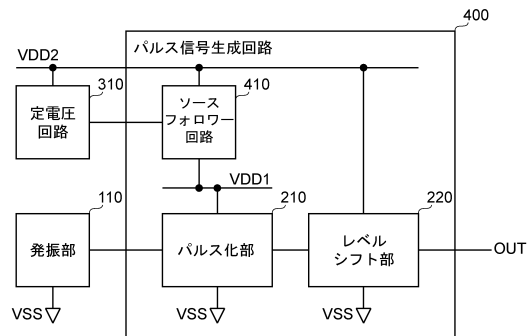
【図 3】



【図 4】

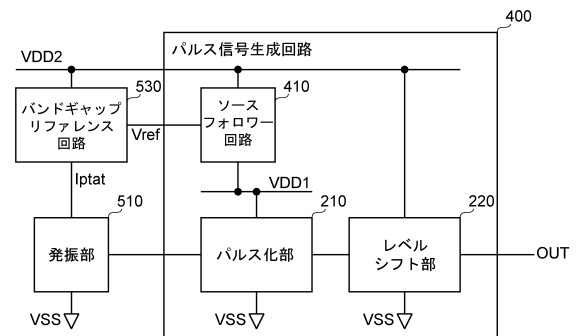


【図 5】



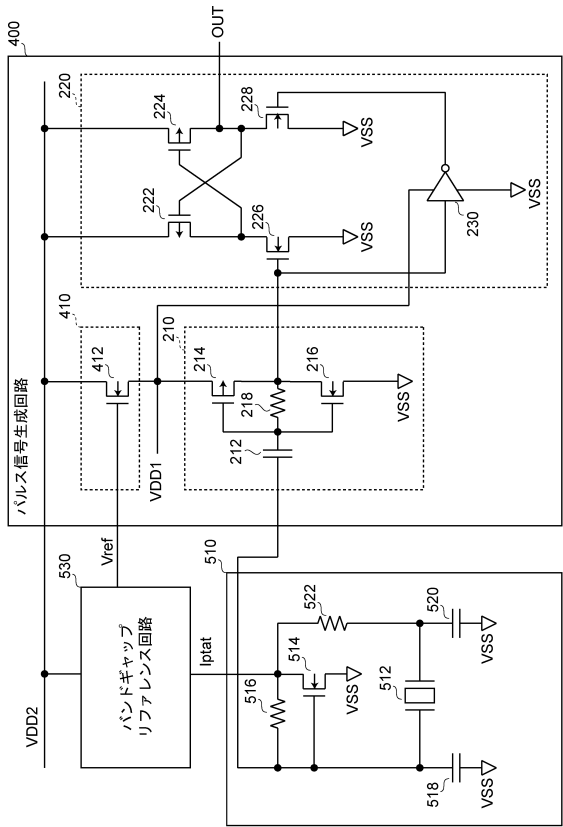
300

【図 6】

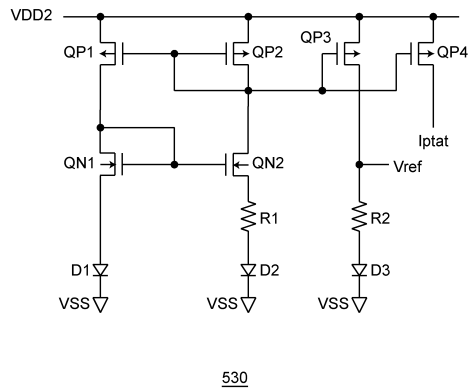


500

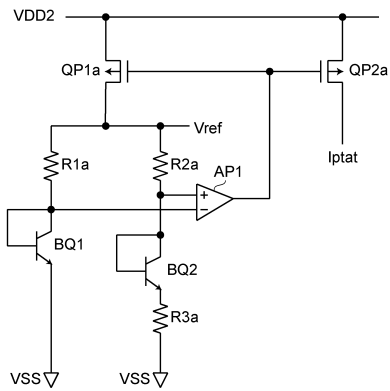
【図 7】



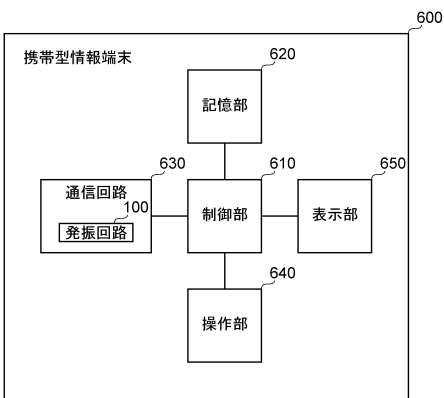
【図 8】



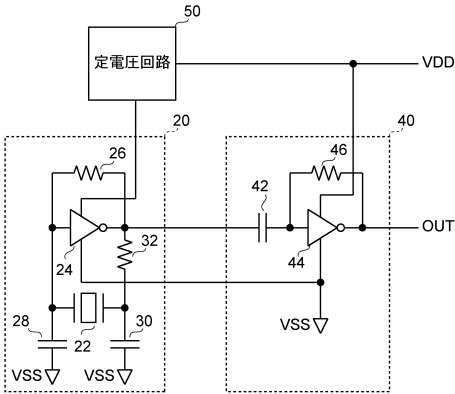
【図 9】



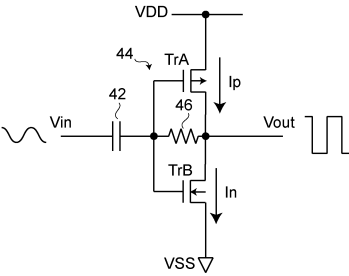
【図 10】



【図 1 1】



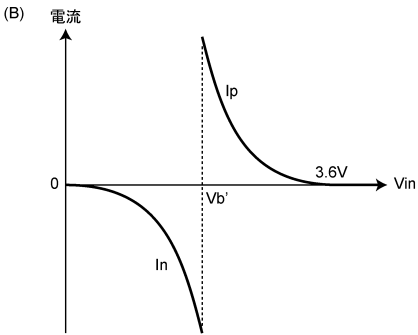
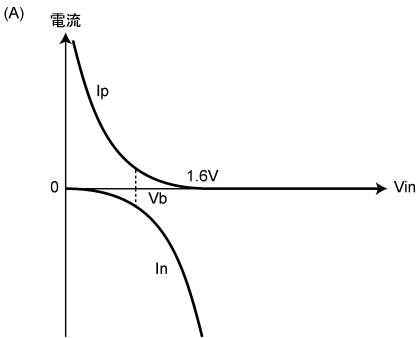
【図 1 2】



40

10

【図 1 3】



フロントページの続き

合議体

審判長 大塚 良平

審判官 吉田 隆之

審判官 中野 浩昌

- (56)参考文献 特開2005-45695(JP,A)
特開2008-160510(JP,A)
特開2006-211514(JP,A)
特開2006-270902(JP,A)
特開平6-83468(JP,A)

- (58)調査した分野(Int.Cl., DB名)

H03K