

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5938182号
(P5938182)

(45) 発行日 平成28年6月22日 (2016. 6. 22)

(24) 登録日 平成28年5月20日 (2016. 5. 20)

(51) Int. Cl.

F I

H O 1 L 29/786 (2006. 01)

H O 1 L 21/336 (2006. 01)

H O 1 L 29/78 6 1 6 S

H O 1 L 29/78 6 1 8 B

H O 1 L 29/78 6 1 8 C

H O 1 L 29/78 6 1 7 N

H O 1 L 29/78 6 1 7 J

請求項の数 5 (全 21 頁)

(21) 出願番号 特願2011-205447 (P2011-205447)

(22) 出願日 平成23年9月21日 (2011. 9. 21)

(65) 公開番号 特開2012-89831 (P2012-89831A)

(43) 公開日 平成24年5月10日 (2012. 5. 10)

審査請求日 平成26年9月5日 (2014. 9. 5)

(31) 優先権主張番号 特願2010-212185 (P2010-212185)

(32) 優先日 平成22年9月22日 (2010. 9. 22)

(33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷 3 9 8 番地

(72) 発明者 竹村 保彦

神奈川県厚木市長谷 3 9 8 番地 株式会社

半導体エネルギー研究所内

審査官 小堺 行彦

最終頁に続く

(54) 【発明の名称】 パワー絶縁ゲート型電界効果トランジスタ

(57) 【特許請求の範囲】

【請求項 1】

ゲート電極と、

前記ゲート電極上方の絶縁膜と、

前記絶縁膜を介して、前記ゲート電極と重なる領域を有する第 1 の酸化物半導体層と、

前記第 1 の酸化物半導体層上方に設けられ、前記第 1 の酸化物半導体層の一部と重なる
第 2 の酸化物半導体層と、

ソース電極又はドレイン電極の一方と、

ソース電極又はドレイン電極の他方と、

を有し、

前記ソース電極又はドレイン電極の一方は、前記第 1 の酸化物半導体層と接し、

前記ソース電極又はドレイン電極の他方は、前記第 2 の酸化物半導体層と接し、

前記第 2 の酸化物半導体層の厚さは、 $0.5 \mu\text{m}$ 以上 $5 \mu\text{m}$ 以下であり、前記第 1 の酸化物半導体層中のドナーあるいはアクセプタに由来するキャリア濃度が $1 \times 10^{12} \text{ cm}^{-3}$ 以下であり、前記第 2 の酸化物半導体層中のドナーに由来するキャリア濃度が $1 \times 10^{16} \text{ cm}^{-3}$
以上 $1 \times 10^{17} \text{ cm}^{-3}$ 以下であることを特徴とする パワー絶縁ゲート型電界効果トランジスタ。

【請求項 2】

第 1 のゲート電極と、

前記第1のゲート電極上方の第1の絶縁膜と、

前記第1の絶縁膜を介して、前記第1のゲート電極と重なる領域を有する第1の酸化物半導体層と、

前記第1の酸化物半導体層上方に設けられ、前記第1の酸化物半導体層の一部と重なる第2の酸化物半導体層と、

前記第1の酸化物半導体層上方の第2の絶縁膜と、

前記第2の絶縁膜を介して、前記第1の酸化物半導体層と重なる領域を有する第2のゲート電極と、

ソース電極又はドレイン電極の一方と、

ソース電極又はドレイン電極の他方と、

を有し、

前記ソース電極又はドレイン電極の一方は、前記第1の酸化物半導体層と接し、

前記ソース電極又はドレイン電極の他方は、前記第2の酸化物半導体層と接し、

前記第2の酸化物半導体層の厚さは、 $0.5\ \mu\text{m}$ 以上 $5\ \mu\text{m}$ 以下であり、

前記第1の酸化物半導体層中のドナーあるいはアクセプタに由来するキャリア濃度が $1 \times 10^{12}\ \text{cm}^{-3}$ 以下であり、

前記第2の酸化物半導体層中のドナーに由来するキャリア濃度が $1 \times 10^{16}\ \text{cm}^{-3}$ 以上 $1 \times 10^{17}\ \text{cm}^{-3}$ 以下であることを特徴とするパワー絶縁ゲート型電界効果トランジスタ。

【請求項3】

ゲート電極と、

前記ゲート電極上方の絶縁膜と、

前記絶縁膜上方の第1の酸化物半導体層と、

前記第1の酸化物半導体層上方に設けられ、前記第1の酸化物半導体層と重ならない第1の領域と、前記第1の酸化物半導体層と重なる第2の領域と、を有する第2の酸化物半導体層と、

ソース電極又はドレイン電極の一方と、

ソース電極又はドレイン電極の他方と、

を有し、

前記ソース電極又はドレイン電極の一方は、前記第1の領域と接し、

前記ソース電極又はドレイン電極の他方は、前記第2の領域と接し、

前記第1の酸化物半導体層の厚さは、 $0.5\ \mu\text{m}$ 以上 $5\ \mu\text{m}$ 以下であることを特徴とするパワー絶縁ゲート型電界効果トランジスタ。

【請求項4】

第1のゲート電極と、

前記第1のゲート電極上方の第1の絶縁膜と、

前記第1の絶縁膜上方の第1の酸化物半導体層と、

前記第1の酸化物半導体層上方に設けられ、前記第1の酸化物半導体層と重ならない第1の領域と、前記第1の酸化物半導体層と重なる第2の領域と、を有する第2の酸化物半導体層と、

前記第2の酸化物半導体層上方の第2の絶縁膜と、

前記第2の絶縁膜を介して、前記第2の酸化物半導体層と重なる領域を有する第2のゲート電極と、

ソース電極又はドレイン電極の一方と、

ソース電極又はドレイン電極の他方と、

を有し、

前記ソース電極又はドレイン電極の一方は、前記第1の領域と接し、

前記ソース電極又はドレイン電極の他方は、前記第2の領域と接し、

前記第1の酸化物半導体層の厚さは、 $0.5\ \mu\text{m}$ 以上 $5\ \mu\text{m}$ 以下であることを特徴とするパワー絶縁ゲート型電界効果トランジスタ。

【請求項 5】

請求項 1 又は 2 において、

前記第 1 の酸化物半導体層中の水素濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることを特徴とするパワー絶縁ゲート型電界効果トランジスタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体を用いた電界効果トランジスタ（FET）、特に、パワー絶縁ゲート型電界効果トランジスタ（以後、パワーMISFETという）に関する。

【背景技術】

10

【0002】

FETとは、半導体にソース、ドレインという領域を設け、それぞれに電極（ソース電極、ドレイン電極）を接続し、絶縁膜あるいはショットキーバリアを介してゲート電極より半導体に電圧をかけ、半導体の状態を制御することにより、ソース電極とドレイン電極間に流れる電流を制御するものである。用いられる半導体としては、珪素やゲルマニウム等の14族元素やガリウムヒ素、インジウムリン、窒化ガリウム、硫化亜鉛、カドミウムテルル等の化合物が挙げられる。

【0003】

近年、酸化亜鉛やインジウムガリウム亜鉛系酸化物（In-Ga-Zn系酸化物、IGZOとも表記する）等の酸化物を半導体として用いたFETが報告された（特許文献1および特許文献2）。これらの酸化物半導体を用いたFETでは、比較的大きな移動度が得られると共に、それらの材料は3電子ボルト以上の大きなバンドギャップを有する。

20

【先行技術文献】

【特許文献】

【0004】

【特許文献1】米国特許公開2005/0199879号公報

【特許文献2】米国特許公開2007/0194379号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

30

本発明の一形態は、このような酸化物半導体を用いて、パワーMISFETを提供せんとするものである。珪素半導体を用いたパワーMISFETは既に実用化されている。しかしながら、耐圧60V以下であれば、オン抵抗は0.1Ω程度であるものの、耐圧が高くなるとオン抵抗が1Ω以上となる。例えば、オン抵抗が1Ωであると、10Aの電流のオンオフをおこなう場合には、100Wもの電力が消費されてしまうため実用的ではない。このような高耐圧用途には、絶縁ゲートバイポーラトランジスタが用いられているが、高周波特性の面で劣っていることは否めない。

【0006】

本発明の一形態は、バンドギャップが3電子ボルト以上である酸化物半導体の耐圧に着目し、これを用いることで、耐圧300Vでもオン抵抗が0.8Ω以下、好ましくは0.2Ω以下という高効率のパワーMISFETを提供するものである。

40

【課題を解決するための手段】

【0007】

本発明の態様の一は、ゲート電極と酸化物半導体よりなる半導体層に挟まれたゲート絶縁膜と、半導体層に接して設けられたソース電極とドレイン電極を有し、ゲート電極はソース電極と重なり、ドレイン電極とは重ならない領域を有し、半導体層のうちドレイン電極およびゲート電極と重ならない領域の長さを0.5μm乃至5μmとすることを特徴とするパワーMISFETである。

【0008】

本発明の態様の一は、ゲート電極と酸化物半導体よりなる半導体層に挟まれたゲート絶縁

50

膜と、半導体層に接して設けられたソース電極とドレイン電極を有し、半導体層の厚さは不均一でドレイン電極に接する部分の厚さは、 $0.5\ \mu\text{m}$ 乃至 $5\ \mu\text{m}$ であることを特徴とするパワーMISFETである。

【0009】

このようなパワーMISFETのドレイン電極とソース電極の間に 100V 以上の電源と負荷を直列に接続し、ゲート電極に制御用の信号を入力して使用する。なお、上記において半導体層は、ゲート電極とバックゲート電極にはさまれた構造であってもよい。また、ゲート電極はP型単結晶珪素基板あるいはN型単結晶珪素基板上に形成されたP型にドーピングされた領域（P型領域）であってもよい。また、ゲート電極あるいはバックゲート電極、ソース電極あるいはドレイン電極は金属あるいは導電性酸化物よりなるものを用いてもよい。

10

【0010】

また、半導体層中のドナーあるいはアクセプタに由来するキャリア濃度は $1 \times 10^{12}\text{cm}^{-3}$ 以下、好ましくは $1 \times 10^{11}\text{cm}^{-3}$ 以下としてもよい。なお、半導体は導体に接すると、後述のように、導体からキャリアが注入されたり、導体にキャリアが吸収されたりして、本来のキャリア濃度を知ることは困難である。したがって、現実的にはMISFET内の半導体層のドナーあるいはアクセプタに由来するキャリア濃度を知ることは困難である。その場合には、MISFETに使用されている半導体層と同じ方法で作製された半導体層の、導体から $10\ \mu\text{m}$ 以上、好ましくは $100\ \mu\text{m}$ 以上離れた点で測定することで、 $1 \times 10^{12}\text{cm}^{-3}$ 以下であるか否かを知ることができる。

20

【0011】

上記に関連して、半導体層は、酸素欠損濃度や水素濃度が小さい方が好ましい。酸素欠損や水素の混入はキャリアの源泉となるためである。また、水素を含有すると、MISFETの動作を不安定にする。水素濃度は $1 \times 10^{18}\text{cm}^{-3}$ 以下とすることが好ましい。

【0012】

また、ソース電極やドレイン電極の仕事関数は、半導体層の電子親和力と 0.3 電子ボルトの和（すなわち、電子親和力 $+0.3$ 電子ボルト）よりも小さいことが好ましい。あるいは、ソース電極やドレイン電極と半導体層の接合はオーミック接合であることが好ましい。また、ドレイン電極の仕事関数はソース電極の仕事関数よりも小さいことが好ましい。

30

【0013】

さらには、ゲート電極あるいはバックゲート電極の仕事関数が、ソース電極やドレイン電極の仕事関数より 0.3 電子ボルト以上大きいとよい。あるいは、ゲート電極あるいはバックゲート電極の仕事関数は、半導体層の電子親和力と 0.6 電子ボルトの和（すなわち、電子親和力 $+0.6$ 電子ボルト）よりも大きいことが好ましい。

【0014】

本発明の説明をおこなう前に、従来のパワーMISFETについて説明する。図10（A）は従来の単結晶珪素を用いたパワーMISFETの原理を説明するものである。すなわち、P型の単結晶珪素基板501上にN型の不純物を拡散して形成したソース502a、ドレイン502bを設け、それぞれにソース電極505a、ドレイン電極505bが設けられる。また、基板上にはゲート電極504と絶縁物506が設けられる。

40

【0015】

これらの構成要素は通常のMISFETと同じであるが、それらに加えて、パワーMISFETでは、ドレイン502bとチャネル領域の間にドリフト領域503が設けられている。この領域は、MISFETがオフとなった際に、MISFETのドレイン502bとゲート電極504にかかる高電圧を吸収する目的で設けられる。

【0016】

すなわち、高電圧が印加された際には、ドリフト領域は空乏化して、絶縁体となり、その領域に珪素の耐圧以下の電界がかかることで、MISFETが破壊されることを防ぐ。珪素の絶縁破壊電界強度を $0.3\text{MV}/\text{cm}$ とし、 300V の耐圧を保証するMISFET

50

であれば、ドリフト領域の幅は $10\text{ }\mu\text{m}$ 必要である。

【0017】

一方、MISFETがオンとなった場合には、この領域は導電性を示す必要があるため、N型の導電性を示すことが要求されるが、ドナーの濃度が高すぎると、十分に空乏化できなくなる。ドナー濃度は $4\times 10^{15}\text{ cm}^{-3}$ が適正となる。

【0018】

ところで、ドナー濃度が $4\times 10^{15}\text{ cm}^{-3}$ である単結晶珪素の抵抗率は $1\text{ }\Omega\text{ cm}$ 以上となる。図10(A)のようにドリフト領域503を基板501の1つの面の浅い部分に形成すると、その抵抗が高くなるので、図10(B)のように、基板自体をドリフト領域503として、電流の流れる断面積を大きくすることにより、その抵抗を下げる 것이 おこなわれている。それでも耐圧300Vを保証するにはドリフト領域の抵抗は $1\text{ }\Omega$ 以上となる。

10

【0019】

しかも、このパワーMISFETは多くのドーピング工程が必要である。すなわち、弱いN型単結晶珪素の基板501の裏面にN型不純物をドーピングして、ドレイン502bを形成する。さらに、ゲート電極504を形成した後、表面より、P型不純物をドーピングしてP型領域507とN型不純物をドーピングしてソース502aを、それぞれ形成する。ドリフト領域503は基板と同じ不純物濃度である。

【0020】

これに対し、バンドギャップが3電子ボルト以上の酸化物半導体においては絶縁破壊電界強度は 3 MV/cm 以上であるため、ドリフト領域に相当する部分の幅は $1\text{ }\mu\text{m}$ でよい。しかしながら、珪素半導体ではドリフト領域に微量のドナーを拡散してオンの際の導電性を確保できるが、通常の酸化物半導体ではそのような技術は確立されていない。

20

【0021】

酸化物半導体では水素がドナーとなることは知られている。また、酸素欠損もドナーの要因となることも知られている。しかしながら、本発明者の知見では、水素が酸化物半導体中に存在すると信頼性に大きな問題を生じる。一方、酸素欠損やその他のドナー不純物も含めて、その濃度を精密に制御できるような技術は未だ知られていない。

【0022】

したがって、珪素半導体の技術をそのまま酸化物半導体に適用することは非常に難しいといわざるを得ない。その点に関して、本発明者は酸化物半導体のMISFETの動作を基礎から究明した結果、以下に示す構造のMISFETで目的とする耐圧を得られること、およびオンの際に十分な電流が流れることを見出した。

30

【0023】

図1(A)にその例を示す。このパワーMISFETは、例えば、酸化物半導体よりなるI型の半導体層101とゲート電極102aと、それらにはさまれたゲート絶縁膜104aとソース電極103a、ドレイン電極103bとを有する。珪素半導体の場合と同様に、チャンネル領域とドレイン電極103bの間にはドリフト領域に相当する部分を設ける。この部分の長さXは、300Vの耐圧を保証するのであれば $1\text{ }\mu\text{m}$ でよい。一般的には、 $0.5\text{ }\mu\text{m}$ 乃至 $5\text{ }\mu\text{m}$ とするとよい。

40

【0024】

長さXが大きいほど耐圧は大きくなる。しかしながら、Xが大きくなるとオン状態でのドレイン電極103bから半導体層101（特に厚い半導体層101b）にかけての電子濃度が不十分となるため、オン抵抗が高くなり、トランジスタとして十分な機能が果たせない場合がある。したがって、一般的にはXは $5\text{ }\mu\text{m}$ より大きいことは好ましくない。

【0025】

しかし、オン抵抗が高くても問題ないという状況（例えば、使用する電流が十分に小さい場合等）であれば、Xが $5\text{ }\mu\text{m}$ より大きくても動作に支障をきたさないこともある。一般に、オン抵抗は負荷の $1/10$ 以下であることが好ましい。

【0026】

50

図1 (B) には、さらに発展させた形状のパワーMISFETを示す。このFETでは、半導体層101のうちドレイン電極103bと接する部分(半導体層101b)を、ソース電極103aと接する部分やチャンネルの部分の半導体層101aよりも厚く形成し、それをドリフト領域に相当する部分とするものである。その際、半導体層101bの厚さ(長さX)は $0.5\mu\text{m}$ 乃至 $5\mu\text{m}$ とするとよい。

【0027】

すなわち、図1 (A) においては、電流が流れる方向は、図の右から左であったが、図1 (B) では、ドレイン電極103bからチャンネルにかけては、図の上から下となる。そして、図1 (A) の場合は電流の流れる部分の断面積は半導体層101の厚さと半導体層101の幅(紙面に垂直な部分の長さ)の積であるが、図1 (B) の場合は、ドレイン電極の幅d2と半導体層101(あるいは半導体層101b)の幅の積である。

10

【0028】

図1 (A) においては、ドリフト領域に相当する部分の厚さは半導体層101の厚さで制限されている。図1 (B) ではドリフト領域に相当する部分の厚さはドレイン電極103bの幅d2である。半導体層101の厚さに比べて、ドレイン電極103bの幅d2は大きくすることが容易であるので、ドリフト領域に相当する部分の抵抗は減少する。例えば、d2として、 $2\mu\text{m}$ 以上 $10\mu\text{m}$ 以下とするとよい。

【0029】

それを超える値とすると、ドリフト領域に相当する部分の単位チャンネル幅あたりの抵抗自体は減少するが、回路のレイアウト上の制限で、MISFETのチャンネル幅を大きくできず、結果として全体としてのオン抵抗の低下が困難となる。

20

【0030】

また、図1 (A) の半導体層101を厚くすると、ソース電極103aとチャンネルとの間の抵抗が増加してオン抵抗が高くなるので、図1 (A) の半導体層101の厚さは 10nm 以上 100nm 以下とすることが好ましい。同じ理由から図1 (B) の半導体層101aの厚さも 10nm 以上 100nm 以下とすることが好ましい。

【0031】

さらには、一般に、PN接合を用いないFETでは、チャンネル長に比較してチャンネル部分の半導体層の厚さが大きくなると、オフの際のリーク電流が大きくなる。この効果は半導体層の厚さだけではなくゲート絶縁膜の実効的な厚さ(厚さ $\times$ 半導体層の比誘電率/ゲート絶縁膜の比誘電率)とも関連する。

30

【0032】

チャンネル部分の半導体層の厚さとゲート絶縁膜の実効的な厚さの和がチャンネル長の $1/3$ 以上であると、特にチャンネル長 $1\mu\text{m}$ 以下のFETではしきい値が極端に低下し、また、サブスレショルド特性も悪化する。すなわち、オフの際のソース電極とドレイン電極の間の電流が増加する。後述するように、そのような状態で、ソース電極とドレイン電極に高い電圧がかかるとゲート絶縁膜に高い電圧がかかって、FETが破壊されてしまう。

【0033】

詳細については省略するが、チャンネル部分の半導体層の厚さとゲート絶縁膜の実効的な厚さの和は、チャンネル長の $1/10$ 以下、好ましくは $1/20$ 以下とするとよい。

40

【0034】

図1 (A) および図1 (B) のパワーMISFETはゲート電極102aに加えて、反対側にバックゲート絶縁膜104bを介してバックゲート電極102bを有する。バックゲート電極102bはゲート電極102aと同期した電位を与えてもよいが、常に一定の電位を与えてもよい。特に、オフ状態においてソース電極103aの電位よりも低い電位を与えると、耐圧を高める上で効果がある。

【0035】

図1はパワーMISFETの断面図であるが、図1 (B) のパワーMISFETを上方より見た場合のレイアウトの例を図2乃至図4に示す。これらの例では、いずれもソース電極103aとドレイン電極103bをかみ合わせるような構成とすることにより、MIS

50

F E Tのチャネル幅を大きくできる。バックゲート電極102bを設けるのであれば、ソース電極103aとドレイン電極103bの間に設ける。

【0036】

この際、図1(B)に示すバックゲート電極102bとドレイン電極103bの間隔d1は耐圧を考慮した値とすることが必要である。間の絶縁物の絶縁破壊電圧を考慮して、0.3 μm 以上とすることが好ましい。一方、間隔d1が大きいと集積度の点で不利となるので、2 μm 以下とするとよい。

【0037】

なお、配線抵抗を小さくするためには、ソース電極103a、ドレイン電極103bとも可能な限り、その面積を大きく、あるいは、厚くすることが好ましい。それに加えて、熱伝導性の高い材料を使用することが放熱性の面でも好ましい。また、基板材料も放熱性の高い金属性あるいは半導体性の材料を用いることが好ましい。

10

【0038】

図2乃至図4の違いは半導体層101とソース電極103a、バックゲート電極102b、ドレイン電極103bの重なり方である。図2の例では、半導体層101のうちバックゲート電極102b、ソース電極103a、ドレイン電極103bが重ならない部分は全て3以上（この場合は14）の長方形となる。一方、図3ではその部分は全て3以上（この場合は7）の概略U字型となり、図4では2つのより複雑な形状となる。

【0039】

このような構造のパワーMISFETのオン抵抗が十分に低くなる理由について説明する。酸化物半導体、特に亜鉛もしくはインジウムを有する酸化物半導体においては、これまで、P型の導電性を示すものはほとんど報告されていない。そのため、珪素のFETのようなPN接合を用いたものは報告されておらず、特許文献1および特許文献2にあるように、N型の酸化物半導体に導体電極を接触させた導体半導体接合によって、ソース、ドレインを形成していた。

20

【0040】

本発明者の知見では、さらにドナーを減らして、それに由来するキャリア濃度を低減させたI型（本明細書では、キャリア濃度が $1 \times 10^{12} \text{ cm}^{-3}$ 以下の半導体をI型という）の酸化物半導体では、信頼性も高く、かつ、オンオフ比が大きく、また、サブスレショールド値が小さなMISFETが得られる。そして、このようなドナー濃度の低い酸化物半導体を用いたMISFETの動作について以下のように考察した。

30

【0041】

導体半導体接合によって、ソース、ドレインを形成したMISFETでは、用いる半導体のキャリア濃度が高いと、オフ状態でもソースとドレインの間に電流（オフ電流）が流れてしまう。そこで、半導体中のキャリア濃度を低減させて、I型とすることにより、オフ電流を低減できる。

【0042】

一般に、導体半導体接合においては、導体の仕事関数と半導体の電子親和力（あるいはフェルミ準位）の関係によって、オーミック接合になったり、ショットキーバリア接合になったりする。例えば、電子親和力が4.3電子ボルトの半導体に、仕事関数3.9電子ボルトの導体を接触させ、理想的な（すなわち、接合界面での化学反応やキャリアのトラップのない状態）導体半導体接合を形成したとすると、導体から半導体の一定の幅を有する領域へ電子が流入する。

40

【0043】

その場合、導体と半導体の接合界面に近いほど電子の濃度が高く、電子濃度は、大雑把な計算では、導体半導体接合界面から数nmでは $1 \times 10^{20} \text{ cm}^{-3}$ 、数十nmでは $1 \times 10^{18} \text{ cm}^{-3}$ 、数百nmでは $1 \times 10^{16} \text{ cm}^{-3}$ 、数 μm でも $1 \times 10^{14} \text{ cm}^{-3}$ である。すなわち、半導体自体がI型であっても、導体との接触によって、電子濃度の高い領域ができてしまう。このような電子の多い領域が導体半導体接合界面近傍にできることにより、導体半導体接合はオーミック接合となる。

50

【0044】

一方、例えば、電子親和力が4.3電子ボルトの半導体に、仕事関数4.9電子ボルトの導体を接触させ、理想的な導体半導体接合を形成したとすると、半導体のある幅の領域に存在する電子が導体へ移動する。電子がなくなった領域では、当然のことながら、電子の濃度は極めて低くなる。電子が移動する半導体の領域の幅は、半導体の電子濃度に依存し、例えば、もともとの半導体の電子濃度が $1 \times 10^{18} \text{ cm}^{-3}$ であれば、数十nm程度である。

【0045】

そして、この部分の電子濃度が著しく低くなるため、バンド図においては、導体と半導体との接合界面において、バリアができる。このようなバリアを有する導体半導体接合をショットキーバリア型接合という。電子は、半導体から導体へは流れやすいが、導体から半導体へは、バリアがあるため流れにくい。したがって、ショットキーバリア型接合では整流作用が観測される。

10

【0046】

同様のことは、導体が直接、半導体に接していなくても起こる。例えば、半導体と導体との間に絶縁膜が存在する場合にも半導体の電子濃度は導体の影響を受ける。もちろん、その程度は、絶縁膜の厚さや誘電率により影響される。絶縁膜が厚くなるか、誘電率が低くなれば、導体の影響は小さくなる。

【0047】

ソース電極と半導体あるいはドレイン電極と半導体との接合は、電流が流れやすいことが好ましいので、オーミック接合となるように導体材料が選択される。例えば、チタンや窒化チタン等である。電極と半導体との接合がオーミック接合であると、得られるMISFETの特性が安定し、良品率が高くなるというメリットもある。

20

【0048】

また、ゲート電極の材料としては、半導体の電子を排除する作用を有する材料が選択される。例えば、タングステンや白金等である。あるいは、酸化モリブデン等の導電性酸化物でもよい。導電性酸化物のいくつかは仕事関数が5電子ボルト以上である。このような材料は導電性に劣ることがあるので、導電性のよい材料との積層によって使用するとよい。また、窒化インジウム、窒化亜鉛等の導電性窒化物でもよい。

【0049】

上述のように、導体との接触によって電子が半導体層に侵入することが示されたが、例えば、図1(A)のパワーMISFETのようにドリフト領域に相当する領域の幅Xが $1 \mu\text{m}$ であれば、ソース電極とドレイン電極に電位差が無い場合には、その部分の電子の濃度は $1 \times 10^{16} \text{ cm}^{-3}$ 程度と見積もられる。この値は図10に示すドリフト領域503のドナー濃度と同じか高いレベルである。もちろん、オフの場合は、この程度の厚さの領域は容易に空乏化し、ドレイン電極とゲート電極にかかる電圧はこの空乏化した部分で吸収することとなる。

30

【0050】

図9に図1(B)に示すパワーMISFETの電子状態を模式的に示す。図9(A)は、ゲート電極102a、バックゲート電極102b、ソース電極103a、ドレイン電極103bが等電位の状態の半導体層101における電子状態である。ソース電極103a、ドレイン電極103bから電子が半導体層101に流入し、それぞれの近傍に電子濃度の高い領域110a、110bを形成する。

40

【0051】

また、ゲート電極102a、バックゲート電極102bに仕事関数の大きな材料を用いると、電子を排除する作用が働き、ゲート電極102a、バックゲート電極102bの近傍での電子濃度は非常に小さい。ソース電極103a近傍では半導体層101が薄く、ゲート電極102a、バックゲート電極102bと近接しているため電子濃度の高い領域110aは狭い。

【0052】

50

一方、ドレイン電極103b近傍では半導体層101が厚く、ゲート電極102a、バックゲート電極102bと離れているため電子濃度の高い領域110bはより広い。オン抵抗を低下させる目的では、ドレイン電極103b近傍の電子濃度の高い領域110bが大きく、かつ、その部分の電子濃度が高いことが好ましい。そのためには、ドレイン電極103bの材料として仕事関数の低い材料を用いることが好ましい。

【0053】

一方、ソース電極103aに関しては、その近傍の電子濃度の高い領域110aが過剰に拡大し、電子濃度が高いことは、特にオフ状態における耐圧を低下させる要因となる。したがって、ソース電極103aの材料としては、ドレイン電極103bの材料よりも仕事関数の大きなものを用いることが好ましい。

10

【0054】

この状態で図9(B)のようにソース電極103aとドレイン電極103bの間に負荷Rを直列に接続し、ソース電極103aと負荷Rの間に高い正の電圧(100V以上耐圧以下)を加えると、ドレイン電極103b近傍の電子は、ドレイン電極103bに吸収され、電子濃度の高い領域110bは消滅する。一方、ソース電極103a近傍の電子濃度の高い領域110aは、ドレイン電極103bの高い正の電位に引き寄せられてドレイン電極103b側に拡大しようとするが、ゲート電極102aとバックゲート電極102bに阻まれるため、ほとんどその大きさを変えない。

【0055】

このため、ソース電極103aとドレイン電極103bの間にはほとんど電流が流れず、回路にかかる電圧のほとんどはドレイン電極103bとゲート電極102aの間で吸収される。この部分の半導体層101bとゲート絶縁膜104aがこの電圧に耐えられれば回路およびMISFETが破壊されることはない。半導体層101bの厚さがこの電圧に耐えられるように設計されていれば、ゲート絶縁膜104aが100nm以下であっても破壊されることはない。

20

【0056】

もし、ゲート電極102aおよび102bの仕事関数が十分に大きくない場合には、ソース電極103a近傍の電子濃度の高い領域110aがドレイン電極103b側へ拡大し、多少なりとも電子がソース電極103aからドレイン電極103bに流れる。その場合には、ゲート絶縁膜104aに高電圧がかかって、素子が破壊されてしまうおそれがある。そのため、ゲート電極102aおよびバックゲート電極102bの仕事関数の値は重要である。

30

【0057】

特にバックゲート電極102bは、ソース電極103aからドレイン電極103bへの電子の流れを阻止する上で効果的である。ゲート電極102aはソース電極と重なることが好ましいが、バックゲート電極102bはその必要はない。ただし、バックゲート電極102bの電位がゲート電極102aと同期するのであれば、ソース電極103aと重なる方がオン抵抗は低下する。

【0058】

なお、珪素半導体では、ソース502aとチャネル領域との間の逆方向のPN接合により同様な作用を得ている。酸化物半導体ではPN接合を用いることができないので、ゲート電極102aおよびバックゲート電極102bとして仕事関数の大きな材料を用いるとよい。または、オフの状態では、いずれかのゲート電極あるいは双方をソース電極103aよりも1ボルト以上電位の低い状態とすることが好ましい。

40

【0059】

次に、図9(C)のようにゲート電極102aに(場合によってはバックゲート電極102bにも)正の電位を与えて、MISFETをオンとする。図9(C)では、バックゲート電極102bにもゲート電極102aと同じ電位を与えるものとする。その結果、半導体層101にチャネルが形成され、半導体層101全体の電子濃度が高くなる。

【0060】

50

注目すべきことは、ドレイン電極103b近傍にまで電子濃度の高い領域が広がる。これは、ソース電極103aとドレイン電極103bの間の抵抗が低下し、その間の電圧が低下することによりドレイン電極103bから半導体層101（特に半導体層101b）に電子が流入するためである。このような電子濃度の高い領域の存在により、オン抵抗が低下する。

【0061】

以上の考察から明らかなように、図1に示すMISFETの耐圧は十分である。加えて、ドリフト領域に相当する部分の幅が珪素半導体の場合の $1/10$ であることによりオン抵抗を低減できる。なお、酸化物半導体の電界効果移動度が珪素半導体の $1/100$ 程度と小さいことが懸念されるが、従来の珪素半導体ではパワーMISFETのオン抵抗の多くの部分をドリフト領域に相当する部分の抵抗が占めるため、そのことにより影響は小さい。もちろん、電界効果移動度が高くてもそのことによる悪影響はない。

10

【0062】

試算では、図1（B）のタイプのMISFETでチャンネル長 $1\mu\text{m}$ 、ゲート絶縁膜の厚さ 25nm （酸化珪素換算）、電界効果移動度 $10\text{cm}^2/\text{Vs}$ 、しきい値 $+1\text{V}$ のMISFETのオン抵抗（ゲート電圧 10V 、ドレイン電圧 3V ）はチャンネル幅 1m あたり 0.1Ω となる。一方、ドリフト領域の幅 X を耐圧 300V に必要な $1\mu\text{m}$ とし、ドレイン電極103bの幅 d_2 を $3\mu\text{m}$ とすると、その部分のオン時の抵抗はチャンネル幅 1m あたり 0.5Ω となる。したがって、チャンネル幅 5m のパワーMISFETではオン抵抗は 0.12Ω となる。図1（B）のタイプのMISFETでは、チャンネル幅 5m のMISFETは 5mm 角のチップに十分形成できる大きさである。

20

【0063】

なお、以上の考察では、半導体層101（半導体層101a、半導体層101bを含む）をI型であるとして、説明した。十分なオフ抵抗を得るため、MISFETの半導体層101のうちチャンネル部分はI型であることが求められるが、ドリフト領域に相当する部分では、必ずしもI型である必要はなく、必要とされる耐圧に応じて決定されるキャリア濃度の上限以下のドナー（あるいはアクセプタ）に由来するキャリアを含んでいてもよい。

【0064】

例えば、図1（B）の半導体層101bの厚さを $1\mu\text{m}$ とし、耐圧を 300V とするとき、 $1 \times 10^{17}\text{cm}^{-3}$ 以下のドナーに由来するキャリアを含んでいてもよい。実施の形態で説明するように、半導体層101bと半導体層101aは異なる工程で作製されるため、半導体層101aをI型、半導体層101bを弱いN型とすることも可能である。

30

【0065】

用いる酸化物半導体としては、少なくともインジウム（In）あるいは亜鉛（Zn）を含むことが好ましい。特にInとZnを含むことが好ましい。また、該酸化物を用いたMISFETの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム（Ga）を有することが好ましい。また、スタビライザーとしてスズ（Sn）を有することが好ましい。また、スタビライザーとしてハフニウム（Hf）を有することが好ましい。また、スタビライザーとしてアルミニウム（Al）を有することが好ましい。

【0066】

また、他のスタビライザーとして、ランタノイドである、ランタン（La）、セリウム（Ce）、プラセオジウム（Pr）、ネオジウム（Nd）、サマリウム（Sm）、ユウロピウム（Eu）、ガドリニウム（Gd）、テルビウム（Tb）、ジスプロシウム（Dy）、ホルミウム（Ho）、エルビウム（Er）、ツリウム（Tm）、イッテルビウム（Yb）、ルテチウム（Lu）のいずれか一種あるいは複数種を有してもよい。

40

【0067】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、三元系金属の酸化物であるIn-Ga-Zn系酸化物、In-Al-Zn系酸化物、In-Sn-Zn

50

系酸化物、 $\text{Sn}-\text{Ga}-\text{Zn}$ 系酸化物、 $\text{Al}-\text{Ga}-\text{Zn}$ 系酸化物、 $\text{Sn}-\text{Al}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Hf}-\text{Zn}$ 系酸化物、 $\text{In}-\text{La}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Ce}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Pr}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Nd}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Sm}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Eu}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Gd}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Tb}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Dy}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Ho}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Er}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Tm}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Yb}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Lu}-\text{Zn}$ 系酸化物、四元系金属の酸化物である $\text{In}-\text{Sn}-\text{Ga}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Hf}-\text{Ga}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Al}-\text{Ga}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Sn}-\text{Al}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Sn}-\text{Hf}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Hf}-\text{Al}-\text{Zn}$ 系酸化物を用いることができる。

【0068】

10

なお、ここで、例えば、 $\text{In}-\text{Ga}-\text{Zn}$ 系酸化物とは、 In と Ga と Zn を主成分として有する酸化物という意味であり、 In と Ga と Zn の比率は問わない。また、 In と Ga と Zn 以外の金属元素が入っていてもよい。

【0069】

また、酸化物半導体として、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ 、且つ、 m は整数でない)で表記される材料を用いてもよい。なお、 M は、 Ga 、 Fe 、 Mn 及び Co から選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n > 0$ 、且つ、 n は整数)で表記される材料を用いてもよい。

【0070】

例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ ($=1/3:1/3:1/3$) あるいは $\text{In}:\text{Ga}:\text{Zn}=2:2:1$ ($=2/5:2/5:1/5$) の原子比の $\text{In}-\text{Ga}-\text{Zn}$ 系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $\text{In}:\text{Sn}:\text{Zn}=1:1:1$ ($=1/3:1/3:1/3$)、 $\text{In}:\text{Sn}:\text{Zn}=2:1:3$ ($=1/3:1/6:1/2$) あるいは $\text{In}:\text{Sn}:\text{Zn}=2:1:5$ ($=1/4:1/8:5/8$) の原子比の $\text{In}-\text{Sn}-\text{Zn}$ 系酸化物やその組成の近傍の酸化物を用いるとよい。

20

【0071】

しかし、これらに限られず、必要とする半導体特性(移動度、しきい値、ばらつき等)に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度等を適切なものとするのが好ましい。

30

【0072】

例えば、 $\text{In}-\text{Sn}-\text{Zn}$ 系酸化物では比較的容易に高い移動度を得られる。しかしながら、 $\text{In}-\text{Ga}-\text{Zn}$ 系酸化物でも、バルク内欠陥密度を下げることで移動度を上げることができる。

【0073】

なお、例えば、 In 、 Ga 、 Zn の原子数比が $\text{In}:\text{Ga}:\text{Zn}=a:b:c$ ($a+b+c=1$) である酸化物の組成が、原子数比が $\text{In}:\text{Ga}:\text{Zn}=A:B:C$ ($A+B+C=1$) の酸化物の組成の近傍であるとは、 a 、 b 、 c が、

$$(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$$

を満たすことをいい、 r は、例えば、0.05とすればよい。他の酸化物でも同様である。

40

【0074】

酸化物半導体は単結晶でも、非単結晶でもよい。後者の場合、アモルファスでも、多結晶でもよい。また、アモルファス中に結晶性を有する部分を含む構造でも、非アモルファスでもよい。

【0075】

アモルファス状態の酸化物半導体は、比較的容易に平坦な表面を得ることができるため、これを用いてMISFETを作製した際の界面散乱を低減でき、比較的容易に、比較的高い移動度を得ることができる。

【0076】

50

また、結晶性を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ（Ra）が1 nm以下、好ましくは0.3 nm以下、より好ましくは0.1 nm以下の表面上に形成するとよい。

【0077】

なお、Raは、JIS B0601で定義されている中心線平均粗さを面に対して適用できるように三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」と表現できる。Raは原子間力顕微鏡（AFM：Atomic Force Microscope）にて評価可能である。

10

【発明の効果】

【0078】

上記の説明から明らかなように、本発明のパワーMISFETは十分な耐圧と低いオン抵抗を有する。特に本発明のパワーMISFETは、公知の珪素半導体のパワーMISFETと異なり、低濃度のドナー領域を形成する必要がない。そのことにより製造工程を短縮することができる。

【0079】

なお、もっとも簡単な仮定では、導体の仕事関数は半導体との界面で決定される値を用いればよいが、現実には界面は、化学的反応により半導体と導体の化合物が生成されたり、あるいは界面に電荷や異種元素がトラップされたりして複雑な物性を示すことも多い。

20

【0080】

また、例えば、半導体層に厚さが数nm以下の極めて薄い第1の導体層と、それに重なる、ある程度の厚みのある第2の導体層が積層している場合は、第1の導体層の仕事関数の影響がかなり低下する。それは、ゲート電極においても同様である。したがって、本発明を適用するに当たっては、界面から5 nm離れた部分での各種材料の値が、本発明で好ましいとする条件を満たすように設計してもよい。

【0081】

本発明は、キャリアとして、実質的に、電子あるいはホール的一方しか用いられない半導体材料において効果が顕著である。すなわち、電子あるいはホール的一方の移動度が、 $1 \text{ cm}^2/\text{Vs}$ 以上であるのに対し、他方の移動度が $0.01 \text{ cm}^2/\text{Vs}$ 以下であるとか、他方がキャリアとして存在しないとか、あるいは、一方の有効質量が他方の100倍以上であるとか、という場合において好ましい結果が得られる。

30

【図面の簡単な説明】

【0082】

【図1】本発明のパワーMISFETの例を示す図である。

【図2】本発明のパワーMISFETの例を示す図である。

【図3】本発明のパワーMISFETの例を示す図である。

【図4】本発明のパワーMISFETの例を示す図である。

【図5】本発明のパワーMISFETの作製工程を示す図である。

【図6】本発明のパワーMISFETの作製工程を示す図である。

40

【図7】本発明のパワーMISFETの作製工程を示す図である。

【図8】本発明のパワーMISFETの回路を示す図である。

【図9】本発明のパワーMISFETの電子状態の例を示す図である。

【図10】従来のパワーMISFETの例および動作を示す図である。

【発明を実施するための形態】

【0083】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って本実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する構成において、同

50

様のものを指す符号は異なる図面間で共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【0084】

(実施の形態1)

本実施の形態では、図1(B)に示すパワーMISFETの作製方法について図5(A)乃至(D)を用いて説明する。まず、図5(A)に示すように、N型単結晶珪素基板201の表面に熱酸化膜203を形成する。熱酸化膜203はゲート絶縁膜として機能する。厚さは20nm乃至100nmとするとよい。その後、N型単結晶珪素基板201にP型不純物を拡散させて、P型領域202を形成する。P型領域の不純物濃度は $2 \times 10^{20} \text{ cm}^{-3}$ 乃至 $5 \times 10^{21} \text{ cm}^{-3}$ とし、縮退したP型半導体となるようにするとよい。10
なお、熱酸化膜203を形成する前にP型領域202を形成してもよい。

【0085】

さらに、厚さ10nm乃至50nmの酸化物半導体膜を形成する。酸化物半導体としてはさまざまなものを用いることができる。例えば、インジウムと亜鉛が等しく含まれる酸化物セラミックスをターゲットに用いたスパッタリング法によって形成すればよい。インジウムと亜鉛の比率は上記に限定されず、実施する者が目的とする特性に合わせて適宜、設定できる。さらに、酸化物半導体膜を選択的にエッチングして、第1の半導体層204を得る。

【0086】

その後、スパッタリング法やPCVD法等で厚さ20nm乃至100nmの酸化珪素、酸化窒化珪素、酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化ランタン、酸化イットリウム等の材料でバックゲート絶縁膜205を形成する。バックゲート絶縁膜205と第1の半導体層204が重なる部分の一部には第1の開口部206を形成する(図5(B)参照)。20

【0087】

なお、第1の半導体層204を形成後、あるいは、バックゲート絶縁膜205を形成後のいずれか一方、もしくは双方で、適切な熱処理をおこなうとよい。これは、第1の半導体層204中の水素濃度や酸素欠損を低減させるためであり、可能であれば、第1の半導体層204形成直後におこなうとよい。

【0088】

そして、スパッタリング法により、厚さ0.5 μm 乃至5 μm の酸化物半導体膜を形成する。厚さは、作製するパワーMISFETの耐圧を考慮して決定されるとよい。また、本実施の形態では、このとき形成される酸化物半導体膜の組成は第1の半導体層204と同じものとする。30

【0089】

そして、これを選択的にエッチングして、第2の半導体層207とする。エッチングに際しては、バックゲート絶縁膜205がエッチングストッパーとなり、第1の半導体層204がエッチングされるのを防止することができる。さらに、バックゲート絶縁膜205、及び／または熱酸化膜203を選択的にエッチングして、第2の開口部208と第3の開口部209を形成する。40

【0090】

その後、スパッタリング法等により、厚さ10nm乃至50nmの白金、酸化モリブデン、窒化インジウム、窒化亜鉛等の仕事関数の大きな材料の膜を形成し、これを選択的にエッチングして高仕事関数材料の膜210を形成する(図5(C)参照)。

【0091】

さらに、その後、スパッタリング法等により、厚さ30nm乃至300nmのチタン、窒化チタン等の仕事関数の小さな材料の膜を形成し、さらに、その上に、厚さ300nm乃至10 μm のアルミニウム膜を堆積し、これらを選択的にエッチングしてソース電極211a、バックゲート電極211b、ドレイン電極211c、接続電極211dを形成する(図5(D)参照)。50

【0092】

以上のようにしてパワーMISFETを作製する。本実施の形態では、ゲート電極として仕事関数が5.2電子ボルトのP型の縮退した珪素よりなるP型領域202を用いることにより、特にオフ状態における高電圧印加時のソース電極211aとドレイン電極211cの間の絶縁性を高めることができる。

【0093】

(実施の形態2)

本実施の形態では、パワーMISFETの作製方法について図6(A)乃至(E)を用いて説明する。まず、図6(A)に示すように、N型単結晶珪素基板301の表面から深さ100 μm 以上の部分にP型不純物を拡散させて、P型領域302を形成する。P型領域の不純物濃度は $2 \times 10^{20} \text{ cm}^{-3}$ 乃至 $5 \times 10^{21} \text{ cm}^{-3}$ とし、縮退したP型半導体となるようにするとよい。P型領域はMISFETのゲート電極として機能する。

10

【0094】

なお、P型不純物が高濃度にドーピングされたP型単結晶基板をN型単結晶珪素基板301の代わりに用いる場合にはこの作業は不要である。

【0095】

次に表面に熱酸化膜303を形成する。熱酸化膜303はゲート絶縁膜として機能する。厚さは20nm乃至100nmとするとよい。そして、実施の形態1で示した方法で、厚さ10nm乃至50nmのインジウムと亜鉛とを有する酸化物半導体膜を形成する。さらに、その上に厚さ5nm乃至20nmの窒化珪素膜を形成する。

20

【0096】

この成膜は、酸化物半導体膜の表面が大気に曝されない状態でおこなうことが好ましい。すなわち、酸化物半導体膜の成膜装置と窒化珪素膜の成膜装置が連結されていて、酸化物半導体膜の成膜後に基板を大気に取り出さなくても、続けて窒化珪素膜の成膜がおこなえる構造になっているか、同じ成膜室で、酸化物半導体膜の成膜と窒化珪素膜の成膜がおこなえる構造となっていることが好ましい。かくすると酸化物半導体膜の表面が大気に触れることによる酸化物半導体膜の水や水蒸気の吸収を防止できる。

【0097】

そして、これらの膜を選択的にエッチングして、第1の半導体層304とバリヤ層305を形成する(図6(A)参照)。

30

【0098】

次にバリヤ層305をマスクとして熱酸化膜303およびP型領域302を選択的にエッチングして、深さ1 μm 乃至50 μm のシャロートレンチ306a、306bを形成する(図6(B)参照)。このエッチングの後には、エッチングされた表面を熱酸化してもよい。

【0099】

次に、公知のPCVD法等の段差被覆性に優れた成膜方法で、酸化珪素あるいは酸化窒化珪素等の絶縁物307を形成する(図6(C)参照)。

【0100】

そして、絶縁物307を化学的機械的研磨(CMP)等の表面平坦化技術を用いて研磨する。この工程はバリヤ層305をストッパーとしておこなえばよい。工程終了後、バリヤ層305はドライエッチング法等により除去する。かくして、埋め込み絶縁物307aおよび307bが形成される(図6(D)参照)。

40

【0101】

そして、スパッタリング法により、厚さ0.5 μm 乃至5 μm の酸化亜鉛を主成分とする酸化物半導体膜を形成する。厚さは、作製するパワーMISFETの耐圧を考慮して決定されるとよい。そして、これを選択的にエッチングして、第2の半導体層308とする。酸化亜鉛のみを選択的にエッチングする方法を採用すれば、第1の半導体層304をほとんどエッチングすることなく第2の半導体層308を形成できる。

【0102】

50

また、第1の半導体層304と第2の半導体層308が異なる材料であるので、その物性も異なってもよい。例えば、第1の半導体層304をI型とし、第2の半導体層308を弱いN型（ドナーに由来するキャリア濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{17} \text{ cm}^{-3}$ 以下）としてもよい。

【0103】

次に埋め込み絶縁物307aにP型領域302に達するコンタクトホールを形成する。そして、スパッタリング法等により、チタン、窒化チタン等の仕事関数の小さな材料の膜とアルミニウム膜よりなる多層膜を堆積し、これらを選択的にエッチングして接続電極310a、ソース電極310b、ドレイン電極310cを形成する。なお、図6（E）において、埋め込み絶縁物307bの上には、ドレイン電極310cから延在する配線が示されている。

10

【0104】

そして、実施の形態1と同様にバックゲート絶縁膜309を形成し、埋め込み絶縁物307bの上のドレイン電極310cから延在する配線部分にコンタクトホールを形成した後、スパッタリング法等により、厚さ10nm乃至50nmの白金、酸化モリブデン、窒化インジウム、窒化亜鉛等の仕事関数の大きな材料の膜とアルミニウム膜との多層膜を形成し、これを選択的にエッチングしてバックゲート電極311aおよび接続電極311bを形成する（図6（E）参照）。以上のようにしてパワーMISFETを作製する。

【0105】

（実施の形態3）

20

本実施の形態では、パワーMISFETの作製方法について図7（A）乃至（D）および図8を用いて説明する。まず、図7（A）に示すように、N型単結晶珪素基板401の表面に熱酸化膜403を形成する。熱酸化膜403はゲート絶縁膜として機能する。厚さは20nm乃至100nmとするとよい。

【0106】

その後、N型単結晶珪素基板401にP型不純物を拡散させて、P型領域402を形成する。P型領域の不純物濃度は $2 \times 10^{20} \text{ cm}^{-3}$ 乃至 $5 \times 10^{21} \text{ cm}^{-3}$ とし、縮退したP型半導体となるようにするとよい。なお、熱酸化膜403を形成する前にP型領域402を形成してもよい。

【0107】

30

そして、スパッタリング法により、厚さ0.5 μm 乃至5 μm のインジウムと亜鉛を有する酸化物半導体膜を形成する。厚さは、作製するパワーMISFETの耐圧を考慮して決定されるとよい。そして、これを選択的にエッチングして、第2の半導体層404とする（図7（A）参照）。

【0108】

さらに、厚さ10nm乃至50nmのインジウムと亜鉛を有する酸化物半導体膜を形成する。これを選択的にエッチングして、第1の半導体層405aおよび405bを形成する（図7（B）参照）。

【0109】

さらに、その後、スパッタリング法等により、厚さ30nm乃至300nmのチタン、窒化チタン等の仕事関数の小さな材料の膜と厚さ300nm乃至10 μm のアルミニウム膜よりなる多層膜を形成し、これらを選択的にエッチングして第1の電極406a、第2の電極406b、第3の電極406cを形成する（図7（C）参照）。

40

【0110】

第1の電極406aはダイオードのドレイン電極となり、第2の電極406bはダイオードのソース電極とMISFETのソース電極となり、第3の電極406cはMISFETのドレイン電極となる。

【0111】

その後、スパッタリング法やPCVD法等で厚さ20nm乃至100nmの酸化珪素、酸窒化珪素、酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化ランタン、酸化

50

イットリウム等の材料でバックゲート絶縁膜 407 を形成する。第 1 の電極 406 a 上のバックゲート絶縁膜 407 には開口部を形成する。

【0112】

その後、スパッタリング法等により、厚さ 10 nm 乃至 50 nm の白金、酸化モリブデン、窒化インジウム、窒化亜鉛等の仕事関数の大きな材料の膜とアルミニウム膜との多層膜を形成し、これを選択的にエッチングしてダイオードのゲート電極 408 a およびバックゲート電極 408 b を形成する（図 7（D）参照）。

【0113】

第 1 の半導体層 405 a と第 1 の電極 406 a およびダイオードのゲート電極 408 a は図 7（D）に示されるように接触し、ダイオード 409 を構成する。ダイオード 409 は第 1 の電極 406 a から第 2 の電極 406 b 方向が順方向となる。

10

【0114】

このようなダイオードを、図 8 に示す回路図のように、ゲート電極と第 2 の電極 406 b の間に複数設け、ゲート保護ダイオード列 411 を形成できる。この回路を設けることによりパワー MISFET 410 のゲートに規定以上の高電圧が印加された際に、パワー MISFET 410 が破壊されることを防止できる。

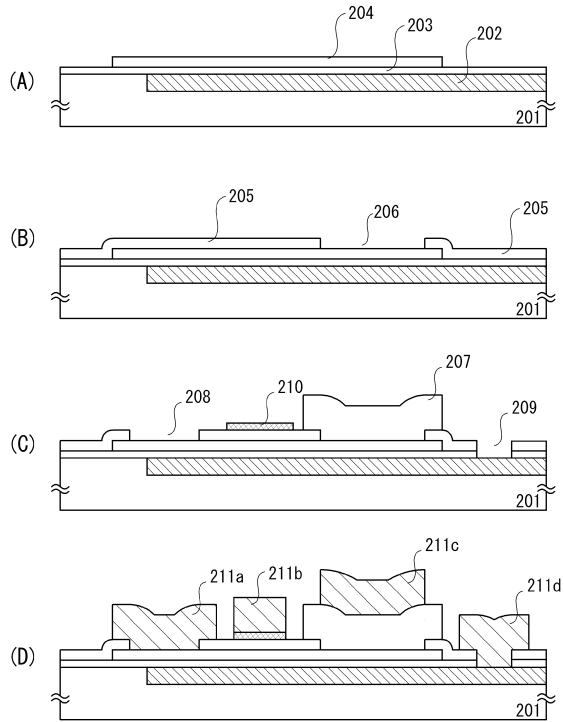
【符号の説明】

【0115】

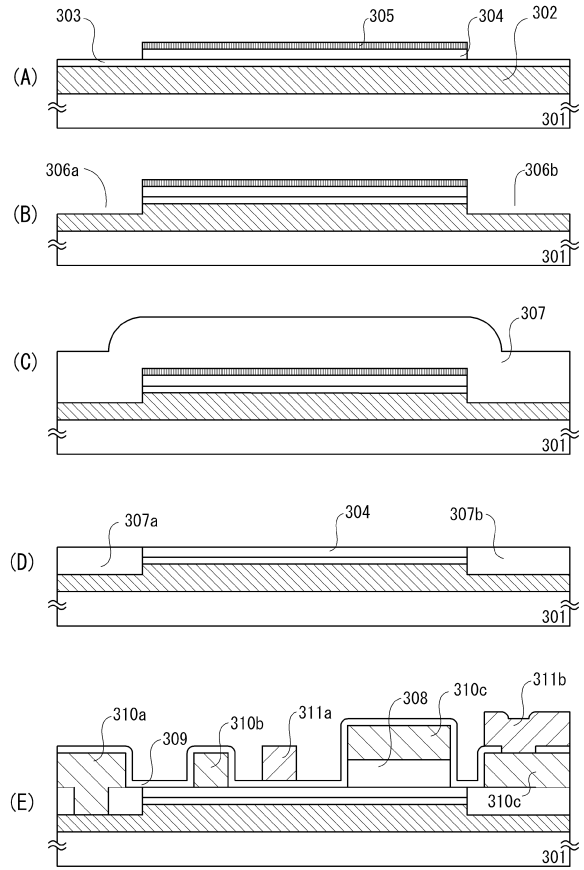
101	半導体層	
101 a	半導体層	20
101 b	半導体層	
102 a	ゲート電極	
102 b	バックゲート電極	
103 a	ソース電極	
103 b	ドレイン電極	
104 a	ゲート絶縁膜	
104 b	バックゲート絶縁膜	
110 a	電子濃度の高い領域	
110 b	電子濃度の高い領域	
201	N 型単結晶珪素基板	30
202	P 型領域	
203	熱酸化膜	
204	第 1 の半導体層	
205	バックゲート絶縁膜	
206	第 1 の開口部	
207	第 2 の半導体層	
208	第 2 の開口部	
209	第 3 の開口部	
210	高仕事関数材料の膜	
211 a	ソース電極	40
211 b	バックゲート電極	
211 c	ドレイン電極	
211 d	接続電極	
301	N 型単結晶珪素基板	
302	P 型領域	
303	熱酸化膜	
304	第 1 の半導体層	
305	バリア層	
306 a	シャロートレンチ	
306 b	シャロートレンチ	50

3 0 7	絶縁物	
3 0 7 a	埋め込み絶縁物	
3 0 7 b	埋め込み絶縁物	
3 0 8	第 2 の半導体層	
3 0 9	バックゲート絶縁膜	
3 1 0 a	接続電極	
3 1 0 b	ソース電極	
3 1 0 c	ドレイン電極	
3 1 1 a	バックゲート電極	
3 1 1 b	接続電極	10
4 0 1	N型単結晶珪素基板	
4 0 2	P型領域	
4 0 3	熱酸化膜	
4 0 4	第 2 の半導体層	
4 0 5 a	第 1 の半導体層	
4 0 5 b	第 1 の半導体層	
4 0 6 a	第 1 の電極	
4 0 6 b	第 2 の電極	
4 0 6 c	第 3 の電極	
4 0 7	バックゲート絶縁膜	20
4 0 8 a	ダイオードのゲート電極	
4 0 8 b	バックゲート電極	
4 0 9	ダイオード	
4 1 0	パワー M I S F E T	
4 1 1	ゲート保護ダイオード列	
5 0 1	基板	
5 0 2 a	ソース	
5 0 2 b	ドレイン	
5 0 3	ドリフト領域	
5 0 4	ゲート電極	30
5 0 5 a	ソース電極	
5 0 5 b	ドレイン電極	
5 0 6	絶縁物	
5 0 7	P型領域	

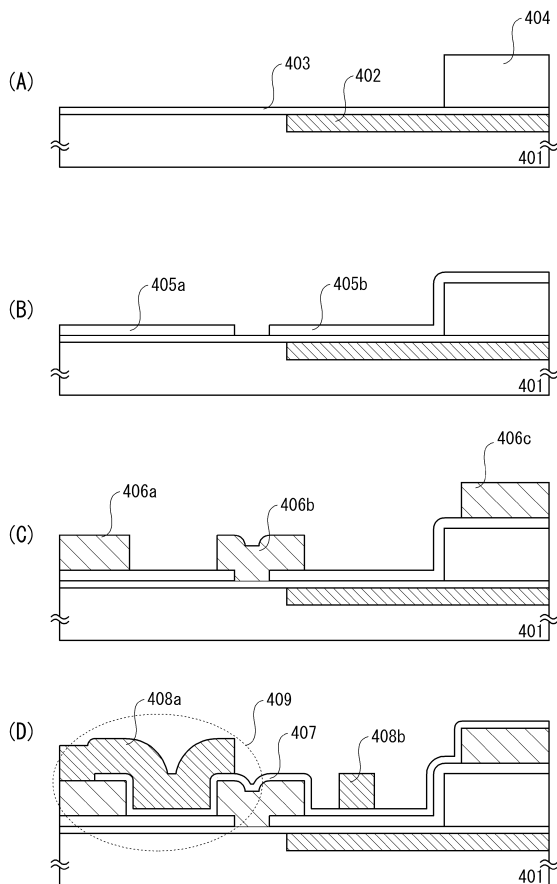
【図 5】



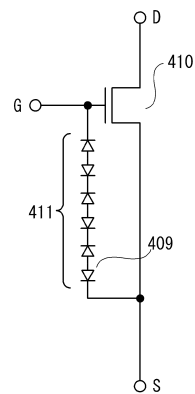
【図 6】



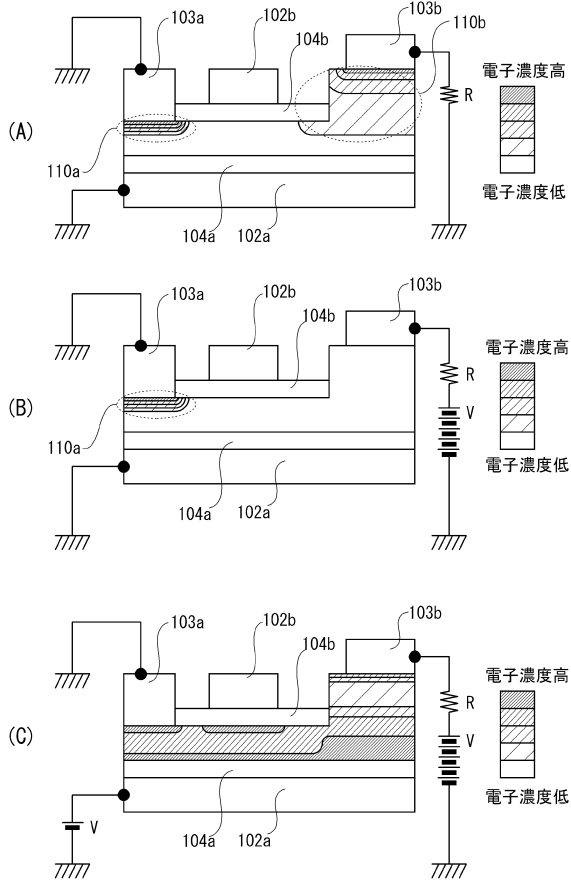
【図 7】



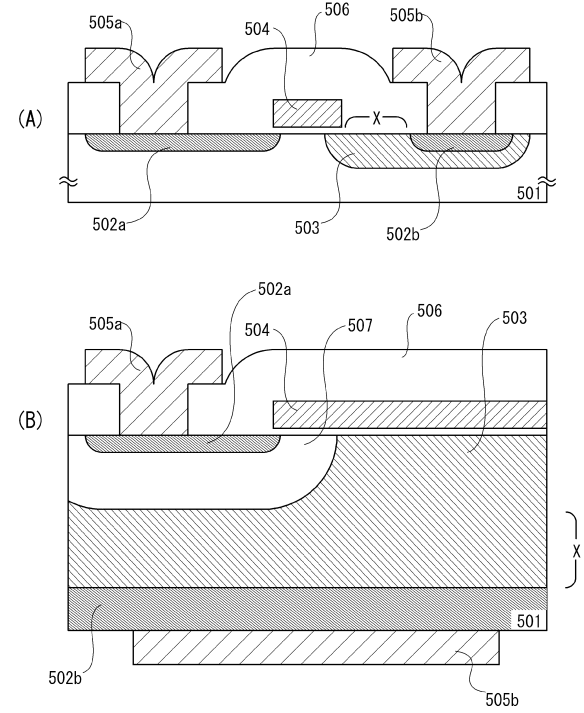
【図 8】



【図 9】



【図 10】



フロントページの続き

- (56)参考文献 特開2009-212476 (JP, A)
特開2009-176865 (JP, A)
特開2007-103918 (JP, A)
特開2008-294433 (JP, A)
特開2009-076877 (JP, A)
特開2009-302541 (JP, A)
特開2006-093684 (JP, A)
特開2009-283930 (JP, A)
特開2010-056546 (JP, A)
特開2010-004000 (JP, A)
特開2009-170456 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H01L 29/786
H01L 21/336