

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5413691号
(P5413691)

(45) 発行日 平成26年2月12日(2014.2.12)

(24) 登録日 平成25年11月22日(2013.11.22)

(51) Int. Cl.	F I
G06F 12/16 (2006.01)	G06F 12/16 340P
G06F 12/02 (2006.01)	G06F 12/02 570A
G06F 12/00 (2006.01)	G06F 12/00 597U

請求項の数 16 (全 21 頁)

(21) 出願番号	特願2011-527021 (P2011-527021)	(73) 特許権者	595168543
(86) (22) 出願日	平成21年9月14日(2009.9.14)		マイクロン テクノロジー, インク.
(65) 公表番号	特表2012-503234 (P2012-503234A)		アメリカ合衆国, アイダホ州 83716
(43) 公表日	平成24年2月2日(2012.2.2)		-9632, ボイズ, サウス フェデ
(86) 国際出願番号	PCT/US2009/056811		ラル ウェイ 8000
(87) 国際公開番号	W02010/033455	(74) 代理人	100106851
(87) 国際公開日	平成22年3月25日(2010.3.25)		弁理士 野村 泰久
審査請求日	平成23年4月4日(2011.4.4)	(74) 代理人	100074099
(31) 優先権主張番号	0810149661.5		弁理士 大菅 義之
(32) 優先日	平成20年9月16日(2008.9.16)	(72) 発明者	チェン, フランク
(33) 優先権主張国	中国 (CN)		アメリカ合衆国, メリーランド州 208
(31) 優先権主張番号	12/268,879		78, ノース ボトマック, ナティア マ
(32) 優先日	平成20年11月11日(2008.11.11)		ナー ドライブ 13901
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 メモリ装置のための組み込みマッピング情報

(57) 【特許請求の範囲】

【請求項1】

マッピング情報を記憶するためのメモリモジュールを動作させる方法であって、
前記メモリモジュールの論理データブロックの論理ページにアドレス指定されたユーザデータを受信することと、

前記論理データブロックの各論理ページとそれらの論理ページと関連付けられたデータの記憶先前記メモリモジュールの物理ページとの間のマッピング対応関係を示すメタデータと前記論理ページへの前記ユーザデータとを結合することと、

前記論理データブロックと関連付けられた空き物理ページに前記結合されたデータを書き込むことと、
を含む方法。

【請求項2】

前記論理データブロックの各論理ページのマッピング対応関係を示すメタデータを生成することであって、各論理ページの前記メタデータが、どの物理ブロックがその論理ページのユーザデータの最終有効バージョンを格納しているか、およびその物理ブロックのどの物理ページがユーザデータのその最終有効バージョンを格納しているかを示すことをさらに含む、請求項1に記載の方法。

【請求項3】

前記論理データブロックが物理データブロックと関連付けられており、前記物理データブロックが1つ以上の物理ログブロックと関連付けられており、どの物理ブロックが論理

ページのユーザデータの前記最終有効バージョンを格納しているかを示すメタデータを生成することが、その物理ブロックが前記物理データブロックであるか、その関連ログブロックのうちの1つであるかを示すメタデータを生成することを含み、請求項2に記載の方法。

【請求項4】

前記ユーザデータを前記メタデータと結合することが、ユーザデータの第1の部分をメタデータの第1の部分と、かつユーザデータの第2の部分をメタデータの第2の部分と結合することを含み、メタデータの前記第1の部分が、前記論理データブロックの論理ページの第1の部分のマッピング対応関係を示し、メタデータの前記第2の部分が、前記論理データブロックの論理ページの第2の異なる部分のマッピング対応関係を示す、請求項1

10

【請求項5】

前記論理データブロックが2つ以上の物理データブロックと関連付けられており、各物理データブロックが1つ以上の物理ログブロックと関連付けられており、前記論理データブロックと関連付けられた空き物理ページに前記結合されたデータを書き込むことが、前記物理データブロックまたはそれらの関連ログブロックの各々の空き物理ページに前記結合されたデータの一部分を書き込むことを含み、請求項1または2に記載の方法。

【請求項6】

前記結合されたデータの一部分を前記物理データブロックまたはそれらの関連ログブロックの各々の空き物理ページに書き込むことが、前記物理データブロックまたはそれらの

20

【請求項7】

前記物理データブロックまたはそれらの関連ログブロックの各々に、前記論理データブロックの一部分だけのマッピング対応関係を示すデータを書き込むことが、前記論理データブロックの各論理ページのマッピング対応関係を示すデータを1コピー分より多く記憶することを含み、請求項6に記載の方法。

【請求項8】

前記結合されたユーザデータおよびメタデータ用のECCデータを生成することと、前記結合されたデータを書き込む前に前記ユーザデータと前記メタデータと前記ECCデータとを結合することと、をさらに含み、請求項1または2に記載の方法。

30

【請求項9】

前記論理データブロックに対応し、かつ前記論理データブロックの各論理ページとそれらの論理ページと関連付けられたデータの記憶先前記メモリモジュールの前記物理ページとの間の前記マッピング対応関係を示すマッピング情報を取得することと、

前記論理データブロックの取り出されたマッピング情報に対応する前記メタデータを生成することと、

を更に含み、請求項1～8のいずれかに記載の方法。

【請求項10】

前記メモリモジュールの少なくとも1つのメモリ装置に関するマッピング情報が破損していることを検出することと、

40

前記少なくとも1つのメモリ装置の各論理データブロックと関連付けられた最終有効物理ページを読み込むことと、

前記少なくとも1つのメモリ装置の各論理データブロックと関連付けられた前記最終有効物理ページのみから読み込まれた前記データからマッピング情報を取得することと、

前記最終有効物理ページから取得された前記マッピング情報から前記メモリ装置に関するマッピング情報を再構築することと、

を含み、請求項1～9のいずれかに記載の方法。

【請求項11】

1つ以上のメモリ装置と、

50

前記1つ以上のメモリ装置に連結された制御回路と、
を含むメモリモジュールであって、

前記制御回路が、論理データブロックのマッピング対応関係を示す前記1つ以上のメモリ装置にアドレス指定可能な前記論理データブロックの各々にデータを記憶するように構成されており、かつ

前記制御回路が、その論理データブロックにユーザデータを記憶する一方で、論理データブロックの前記マッピング対応関係を示す前記データを記憶するように構成されており、かつ

論理データブロックのマッピング対応関係を示す前記データは、前記論理データブロックに関連付けられた全ての有効データが前記ユーザデータの記憶時に記憶される物理位置を示すデータを含む、
メモリモジュール。

10

【請求項12】

物理位置を示す前記データが、その論理データブロックと関連付けられた物理ブロックの物理ページアドレスを示すデータを少なくとも備える、請求項11に記載のメモリモジュール。

【請求項13】

物理位置を示す前記データが、前記物理ページアドレスがどの物理ブロックに関係しているかを示すデータをさらに備える、請求項12に記載のメモリモジュール。

【請求項14】

前記物理ページアドレスがどの物理ブロックに関係するかを示す前記データが、前記物理ブロックがデータブロックであるか関連ログブロックであるかを示すデータを備える、請求項13に記載のメモリモジュール。

20

【請求項15】

前記制御回路が、前記メモリ装置の1つ以上に関するマッピング情報の破損を検出し、破損が検出された場合には、前記1つ以上のメモリ装置にアドレス指定可能な各論理データブロックと関連付けられた最終有効物理ページのみを読み込み、前記最終有効物理ページから読み込まれた前記データから前記論理データブロックの各々に関するマッピング情報を取得し、前記メモリモジュールに関する前記マッピング情報を再構築するために前記論理データブロックの各々に関する前記取得されたマッピング情報を結合するように構成されている、請求項11～14のいずれかに記載のメモリモジュール。

30

【請求項16】

メモリセルの1つ以上の物理ブロックを備え、各々がデータを記憶するためのメモリセルの2つ以上の物理ページを備えるメモリ装置であって、

前記メモリ装置が、メモリセルの論理ブロックに組織され、各々がメモリセルの2つ以上の論理ページを備え、

メモリセルの特定の論理ブロックが、メモリセルの前記物理ブロックの1つ以上と関連付けられており、

メモリセルの前記特定の論理ブロックと関連付けられたメモリセルの特定の物理ブロックのメモリセルの少なくとも1つの物理ページがデータ構造を備え、

40

前記データ構造が、メモリセルの前記特定の論理ブロックのメモリセルの各論理ページと、メモリセルのそれらの各論理ページと関連付けられた物理ページアドレスとの間のマッピング対応関係を示すメタデータのインデックスを備える、
メモリ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、概して半導体メモリに関し、1つ以上の実施形態において、本開示は特にメモリ装置のための組み込みマッピング情報を利用する方法と装置とに関する。

【背景技術】

50

【 0 0 0 2 】

電子装置は、それらの装置向けに提供されている何らかのタイプの大容量記憶装置を有するのが通例である。一般的な例がハードディスク装置（HDD）である。HDDは、比較的低コストで大量の記憶が可能であり、現在の消費者向けHDDは1テラバイト以上の容量が利用可能である。

【 0 0 0 3 】

HDDは一般に、回転磁気メディアまたはプラッタにデータを記憶する。データは、プラッタ上に一定パターンの磁束反転として記憶されるのが典型的である。典型的なHDDにデータを書き込むために、プラッタは高速で回転する一方で、プラッタの上に浮いている書き込みヘッドが一連の磁気パルスを生成し、そのプラッタ上の磁性粒子を整列させてデータを表現する。典型的なHDDからデータを読み込むために、磁気抵抗読み込みヘッドが高速で回転するプラッタの上に浮いているときに、抵抗の変化が誘発される。実際に生成されるデータ信号は、データパターンの磁束反転の結果であるピークとボトムを有するアナログ信号である。その後、部分的反応最大尤推定法（PRML）と呼ばれるデジタル信号処理技術が使用され、アナログデータ信号をサンプリングして、そのデータ信号の生成を司っている、可能性が高いデータパターンを判断する。

10

【 0 0 0 4 】

HDDは、その機械的性質ゆえの欠点を有する。HDDは、衝撃、振動または強い磁場による損傷または過剰な読み込み/書き込みエラーが生じやすい。加えて、HDDは、可搬型電子装置において比較的消費電力の大きな存在である。

20

【 0 0 0 5 】

大容量記憶装置の別例が、ソリッドステートドライブ（SSD）である。SSDは、データを回転メディアに記憶するのではなく、半導体メモリ装置を利用してデータを記憶するが、ホストシステムに対し、あたかも典型的なHDDであるかのように表示させるインタフェースとフォームファクタとを含むことが多い。SSDのメモリ装置は、不揮発性フラッシュメモリ装置であるのが典型的である。

【 0 0 0 6 】

フラッシュメモリ装置は、幅広い電子的用途で使用される不揮発性メモリの人気供給源へと発展した。フラッシュメモリ装置は、高いメモリ密度、高い信頼性、および少ない電力消費を可能にする1トランジスタメモリセルを使用するのが典型的である。セルのしきい値電圧の変化は、電荷蓄積ノード（フローティングゲートやトラッピング層など）または他の物理的な現象（位相変化や分極化など）をプログラミングすることによって、各セルのデータ値を判断する。フラッシュメモリおよび他の不揮発性メモリの一般的な用途は、パーソナルコンピュータ、パーソナルデジタルアシスタンス（PDA）、デジタルカメラ、デジタルメディアプレーヤー、デジタルレコーダ、ゲーム、電気器具、車両、無線装置、携帯電話、および着脱可能なメモリモジュールを含み、不揮発性メモリの使用は拡大し続けている。

30

【 0 0 0 7 】

HDDとは異なり、SSDの動作は、その固体性質により、振動、衝撃、あるいは磁場の影響を一般に受けない。同様に、可動部品を持たないため、SSDはHDDよりも電力要件が低い。ただしSSDは現在、同じフォームファクタのHDDと比較して、記憶容量がはるかに小さく、同等の記憶容量だと著しく高コストである。

40

【 0 0 0 8 】

フラッシュメモリ装置の性質により、所与の論理アドレスに対応するフラッシュメモリ装置内の物理的位置は、時間とともに変化するのが一般的であろう。このような対応の変更に対処するために、Flash Translation Layer（FTL）を使用して、論理アドレスをデータの記憶先物理アドレスにマッピングする。この高度なマッピング情報は、使いやすさを理由に、メモリ装置の動作時には揮発性メモリに保持されるが、かかるマッピング情報は、装置の起動時に取り出せるように、不揮発性メモリに周期的に記憶される。あるいは、このマッピング情報が、各書き込み動作により、更新されて

50

不揮発性記憶装置に記憶される場合もある。SSDの電力が突然停止して、直近のマッピング情報が不揮発性メモリに記憶されなかった場合には、論理アドレスと現在の物理アドレスとの関係を再構築するために、SSDを形成しているメモリ装置のすべての有効ページがスキャンされる。このスキャンには相当の時間がかかる場合があり、その間はホストがそのSSDを利用できない。

【発明の概要】

【0009】

上記の理由、および本願明細書を読み、理解すれば当業者にとって明らかとなるであろう他の理由により、当該技術においては、代替大容量記憶オプションに対するニーズがある。

10

【図面の簡単な説明】

【0010】

【図1】本開示の一実施形態にかかる、少なくとも1つのメモリモジュールを有する電子システムの機能ブロックダイアグラムである。

【図2】本開示の一実施形態にかかるデータブロックとその関連ログブロックとを表す。

【図3】本開示の一実施形態にかかるページのデータ構造を表す。

【図4A】本開示の一実施形態にかかる複数の物理データブロックを結合している論理データブロックのブロック図である。

【図4B】本開示の一実施形態にかかる複数の物理データブロックを結合している論理データブロックのブロック図である。

20

【図5】本開示の一実施形態にかかるメモリモジュールを動作させる方法のフローチャートである。

【図6】本開示の一実施形態にかかるメモリモジュールを動作させる方法のフローチャートである。

【発明を実施するための形態】

【0011】

以下に示す本実施形態の詳細な説明では、本実施形態の一部を形成し、かつ本実施形態が実施され得る具体的な実施形態を例示目的で示す添付の図面を参照する。これらの実施形態は、当業者が本発明を実施できるよう十分に詳しく記載されており、他の実施形態が利用され得ることに加え、本開示の範囲から逸脱しない限り、その処理上、電氣的または機械的変更が行われ得ることを理解すべきである。したがって、以下に示す詳細な説明は、限定的な意味で受け止められるべきでない。

30

【0012】

図1は、本開示の一実施形態にかかる、電子システム120の一部としてプロセッサ130と連通（連結など）しているソリッドステートドライブ（SSD）100のブロック図である。電子システム120は、プロセッサ130によってSSD 100の動作を制御するという点で、SSD 100のホストみなされ得る。電子システムのいくつかの実施例は、パーソナルコンピュータ、ラップトップコンピュータ、パーソナルデジタルアシスタンス（PDA）、デジタルカメラ、デジタルメディアプレーヤー、デジタルレコーダ、電子ゲーム等を含む。プロセッサ130は、ディスクドライブコントローラまたは他の外部プロセッサであり得る。プロセッサ130とそのSSD 100とを接続する目的で使用される標準プロトコルを用いている通信バス132が存在するのが典型的である。通信バス132は、アドレス、データ、電力、および各種I/O信号を含む複数の信号から成るのが典型的である。通信バス132のタイプは、システム120で利用されているドライブインタフェースのタイプに依存するであろう。いくつかの従来型ディスクドライブインタフェースバスプロトコルの例は、IDE、ATA、SATA、PATA、ファイバチャネル、およびSCSIである。当該技術においては、他のドライブインタフェースが存在し、かつ公知である。図1は、本開示の実施形態に的を絞るために単純化されている点に留意する必要がある。本開示の範囲から逸脱しない限り、付加的あるいは異なる構成部品、接続、およびI/O信号が、当該技術において公知であるものとして実装され得る

40

50

。例えば、SSD 100は、電力調節/分配回路、揮発性メモリ、およびそのコントローラなどを含み得る。ただし、かかる追加部品は本開示の理解に必要でない。

【0013】

本開示の一実施形態にかかるSSD 100は、図1に図示するとおり、インタフェース102を含んでおり、ドライブコントローラなどのプロセッサ130が通信バス132を介してSSD 100と対話することができる。インタフェース102は、当業者に広く知られている多数の標準コネクタの1つであり得る。これらのインタフェース102コネクタのいくつかの例が、IDE、ATA、SATA、およびPCMCIAコネクタである。本開示の各種実施形態は、さまざまな従来タイプのHDDをエミュレートするように構成できるため、他のディスクドライブコネクタがインタフェース102で利用され得る。

10

【0014】

図1のSSD 100は、マスタコントローラ104と、いくつかのメモリモジュール106₁~106_Nを含む。マスタコントローラ104によって実行される機能のいくつかは、SSD 100内で動作を管理し、プロセッサ130など、SSD 100に対して外部の装置と通信バス132によって通信する。メモリモジュール106₁~106_Nは、SSD 100用の大容量記憶メディアとして機能する。

【0015】

マスタコントローラ104は、SSD 100の各種動作を管理する。上記のとおり、標準的なHDDに代わるドロップとしてSSD 100が使用され得ることに加え、標準インタフェースと通信プロトコルとを有する多数の標準HDDが存在する。そのため、マスタコントローラ104が持つ数多くの機能の1つは、これらの標準化されたHDDプロトコルの1つその動作をエミュレートすることである。マスタコントローラ104の別の機能は、SSD 100に取り付けられたメモリモジュール106の動作を管理することである。マスタコントローラ104は、様々な標準通信プロトコルを使用してメモリモジュール106と通信するように構成することができる。例えば、本開示の一実施形態では、マスタコントローラ104が、SATAプロトコルを使用してメモリモジュール106と対話する。他の実施形態は、メモリモジュール106と通信するために、他の通信プロトコルを利用し得る。マスタコントローラ104も、エラー修正コード(ECC)チェックなど、メモリモジュールに関連する付加機能を実行し得る。マスタコントローラ104の実装は、ハードウェアまたはハードウェア/ソフトウェアの組み合わせを使用して実現され得る。例えば、マスタコントローラ104は、状態マシンによって全体的あるいは部分的に実装され得る。

20

30

【0016】

メモリモジュール106は、内部通信バス112を使用してマスタコントローラ104に連結される。マスタコントローラ104とメモリモジュール106との間の通信は、図示の共有バス112を利用して、および/またはマスタコントローラ104と各メモリモジュール106との個別接続によって実装され得る。

【0017】

制御回路110は、対応するメモリモジュール106₁~106_Nで非揮発性メモリ装置116の動作を管理する。メモリ装置116は、フラッシュメモリ装置であり得る。制御回路110は、メモリモジュール106₁~106_Nと通信するためにマスタコントローラ104によって利用される通信プロトコルを翻訳する目的でも機能し得る。例えば、本開示の一実施形態では、マスタコントローラ104が、メモリモジュール106₁~106_Nと対話するためにSATAプロトコルを利用している可能性がある。かかる実施形態では、制御回路110がSATAインタフェースをエミュレートするように構成されている。制御回路110は、セキュリティ機能など他のメモリ機能を管理して、メモリモジュールとウェアレベリングとに記憶されたデータへのアクセスを規制することもできる。制御回路110は、本開示の1つ以上の方法を実行するように更に構成されている。

40

【0018】

50

上記のとおり、フラッシュメモリ装置の性質により、所与の論理アドレスに対応するフラッシュメモリ装置内の物理的位置は、時間とともに変化するのが一般的であろう。この変化は、フラッシュメモリ装置における記憶位置が、一般に、再プログラミングされる前に消去される必要があるために起こる。そのため、メモリ装置内で既存の物理的位置を消去してその位置を新たなデータで再プログラミングするのではなく、所与の論理アドレスに対応するデータが変更される場合、メモリ装置は単に新たなデータを新たな物理的位置に書き込み、古い物理的位置を旧ページとしてマークするだけである。

【0019】

フラッシュメモリ装置は、メモリセルのブロックとして組織されるのが典型的であり、これらのブロックはページへと更に分割される。データがブロックに書き込まれると、そのデータはそのブロックの最初の空きページに書き込まれる。そのため、ブロックには、有効なページと旧ページが混在し得る。ブロックが満杯になると、有効なデータは統合のために空きブロックにコピーされ得る。この動作は、折りたたみ (folding) と称されることが多い。ただし、効率化のために、データブロックは自身と関連付けられた1つ以上のログブロックを有し得る。データブロックが満杯のときにログブロックが利用されと、そのデータブロックに関する以降の書き込みは、そのデータブロック1つ以上のログブロックの次の空きページに対して行われる。このように、折りたたみ動作は実行頻度を減らすことができるため効率的である。有効ページが新たなブロックに折り畳まれると、古いデータブロックとそのログブロックが存在する場合には、それらが消去対象としてマークされる。

【0020】

この処理の実施例が図2に示されている。図2は、物理データブロック202と、その関連物理ログブロック204aおよび204bとを表す。データブロック202および関連ログブロック204aならびに204bは、単一の論理ブロックアドレスと関連付けられる。本実施例では、ブロック202/204の各々が、8つの物理ページ201₀から201₇を含む。データブロック202にアドレス指定されたデータは、物理ページ201₀から始まり、物理ページ201₇まで8つの論理ページをデータブロック202に書き込んだ。データブロック202が満杯、すなわちその最終利用可能物理ページ201₇が書き込まれたら、以降のページ書き込みは、ログブロック204aに行き、その後同様にログブロック204bまで進んだ。論理ページ0が自身の物理ページ201₀で最初にログブロック204に書き込まれると、データブロック202の物理ページ201₀が旧ページとしてマークされるなどした。図2に示すとおり、データブロック202は、自身と自身の関連ログブロック204との間に8つの有効ページ201を有する。

【0021】

Flash Translation Layer (FTL) は、論理アドレスと、自身の対応する物理アドレスとの間の対応関係を追跡する。電力損失または突然の電源停止のためにこのマッピング情報が更新されなければ、メモリ装置のブロックをスキャンすることによって再構築される必要がある。書き込み動作はブロックのページを順番に進んでいくため、このスキャン処理はブロックを逆方向に進んでいく。例えば、ブロック当たり64ページ存在し、ページ0からページ63の方向で書き込みが進む場合であれば、スキャンはページ63からページ0の方向に進む。有効物理ページが発見されると、マッピング情報において自身の対応する論理アドレスが更新される。この処理は、比較的長い時間と多くの電力を消費する場合がある。そのため、図2を再び参照すると、スキャンはログブロック204bの物理ページ201₇から始まり、データブロック202の方に進む。各有効物理ページ201が発見されると、マッピング情報において自身の対応する論理ページが更新される。ただし図2の実施例では、スキャン処理が、データブロック202の物理ページ201₃に到達し、データブロック202に対応する論理ブロックアドレスに関するマッピング情報の完全対応関係を取得するまで進む必要がある。

【0022】

各種実施形態は、論理ブロックアドレスに対応する物理ブロック内に格納された組み込

10

20

30

40

50

みマッピング情報を利用する。特に、ページがブロックに書き込まれると、そのページは、そのブロックの現在のマッピング情報のスナップショットを含む。このため、ブロックの最終有効ページは、そのブロックの物理/論理マッピングを格納することになる。したがって、各種実施形態は、メモリ装置の有効ページをすべてスキャンしてマッピング情報を再構築するのではなく、各論理ブロックと関連付けられた最終有効ページだけを求めてスキャンし得る。ブロックの最終有効ページが発見されると、そのブロックの最新のマッピング情報がそのページから読み込まれ得る。なお、ログブロックが利用される場合には、ブロックの最終有効ページ、すなわちそのブロックに関して最後に書き込まれたページが関連ログブロックで生じ得る。図2の実施例に戻って参照すると、データブロック202の最終有効ページ、すなわち本実施例におけるログブロック204bの物理ページ201₁に記憶されたユーザデータにマッピング情報が組み込まれた場合には、データブロック202に関するマッピング情報の完全対応関係を構築するために、そのページのみスキャンされる必要がある。

10

【0023】

データのページが物理位置、すなわちメモリセルに記憶されている間は、メモリセルの連続するグループに記憶されてはならない。例えば、あるブロックのあるページのメモリセルは、そのブロックの別のページ、あるいはさらに別のブロックのメモリセルとインターリーブされ得る。加えて/あるいは、メモリセルが、そのブロックの2つのページからのデータを記憶し得る。例えば、メモリセル当たり複数桁のデータを記憶するためにマルチレベルセルが使用される場合、1桁が1ページに属し、別の桁は別のページに属し得る。そのため、物理ページまたは物理ブロックを参照すると、ページまたはブロックとしてそれぞれ論理的に関連付けられたメモリセルのグループを参照することになる。さらに、ページまたはブロックのデータ構造に関する記述に、ページまたはブロックの一部分の表示が、メモリセルの連続する物理グループを格納する必要がなく、メモリセルの連続する論理グループさえ格納する必要がない。例えば、データのページがユーザデータの第1の部分と、メタデータの第2の部分と、エラー修正コード(ECC)データの第3の部分とを論理的に格納し得る場合、コントローラが、どのメモリセルがユーザデータを格納しているか、どのメモリセルがメタデータを格納しているか、そしてどのメモリセルがECCデータを格納しているか識別できるように構成されていれば、メタデータおよびECCデータは、物理的にも論理的にもユーザデータの間で分散され得る。

20

30

【0024】

図3は、本開示の一実施形態にかかるページ201のデータ構造の一実施形態を表す。ページ201は、1つ以上のユーザデータ部分312と、1つ以上のメタデータ部分314と、任意で1つ以上のECC部分316とを有する。本実施例では、ECC部分316が、ユーザデータ部分312とメタデータ部分314との両方を対象とするECCデータを含む。ECCデータは、ユーザデータと一緒に記憶されることが多いものの、異なるページに別々に記憶されても良い。図3の実施例では、ECC部分316aがユーザデータ部分312aとメタデータ部分314aとに関するECCデータを格納し得るのに対し、ECC部分316bはユーザデータ部分312bとメタデータ部分314bとに関するECCデータを格納し得る。一例を挙げると、各ユーザデータ部分312は、2,048バイトのユーザデータを格納し、各メタデータ部分314は32バイトのメタデータ(以降で定義)を格納し、各ECC部分316は16バイトのECCデータを格納している。ページ201は、設計者が選択する可能性のある他の目的のための付加データ部分(図示せず)を更に含み得る。先述の実施例では、結合されたユーザデータとメタデータとを使用してECCデータを生成する方が効率的だが、データ部分ごとにECCデータを別々に生成することもできる。

40

【0025】

メタデータ部分314は、ページ201の関連付け先論理データブロックに関するマッピング情報を表すデータを格納している。そのため、メタデータ部分314は、論理アドレスに対応するデータを格納している論理アドレスと物理的位置との間にマッピング対応

50

関係を再構築するのに十分なデータを格納している。64枚の物理ページを格納しており、最大2つのログブロックを利用しているデータブロックと、データブロックに64個の論理ページアドレスを関連付けているアドレス指定スキームを考慮すると、各メタデータ部分314は、各々が1つの論理ページアドレスを表す32か所のメタデータ下位部分324に下位分割される可能性がある。第1のメタデータ下位部分324に所在するブロックの第1の論理ページに対応するデータ、第2のメタデータ下位部分324に所在するブロックの第2の論理ページに対応するデータ、第3のメタデータ下位部分324に所在するブロックの第3の論理ページに対応するデータなど、自身の論理ページオフセットによってメタデータ下位部分324にインデックスを付けることにより、どの論理ページの物理マッピング情報に対応するメタデータも容易に判断され得る。

10

【0026】

一実施形態では、論理ページのマッピング情報に対応するメタデータが、その論理ページ用のデータが記憶される物理ページアドレスを示すデータを格納している。更なる実施形態では、メタデータが付加データを格納している場合がある。例えば、ログブロックが使用される場合には、物理ページがデータブロックと関連付けられたデータブロックまたはログブロックに位置するかどうかを付加データが定義し得るとともに、複数ログブロックが使用されるその物理ページを格納しているログブロックの連続番号を更に定義し得る。そのため、先述の実施例の場合、各メタデータ下位部分324は、ブロックの64ページのうちの1ページのアドレスを定義する5桁のデータと、データブロックの場合には論理0、ログブロックの場合には論理1など、ブロックがデータブロックかログブロックかを定義する1桁のデータと、第1のログブロックの場合には論理0、第2のログブロックの場合には論理1など、どのログブロックが、アドレス指定された物理ページを格納しているかを定義する1桁のデータとを含む可能性がある。この更なる分割は、メタデータ下位部分324₂で示されている。

20

【0027】

各種実施形態は、論理データブロック全体の完全なマッピング情報を記憶するために、どの物理ページにも不十分な物理スペースを有するメモリ装置で使用するために適応させることができる。この適応は、複数の物理データブロックと任意の関連ログブロックとを結合して1つの論理データブロックを表すことによって行われる。図4A～図4Bは、かかる実施形態のブロック図を示す。

30

【0028】

図4Aの実施例では、論理データブロック456の別個のチャンネル454と識別される複数の物理ブロック202/204のグルーピング450が、仮想データブロック452を作成する目的で使用される。各チャンネル454は、データブロック202と関連付けられ得るとともに、任意で、図2に記載されているように、そのデータブロック202と関連付けられた1つ以上のログブロック204とも関連付けられ得る。同じく図2に記載されているように、グループ450の各物理ブロック202/204は、複数の物理ページ201を有する。ただし、各チャンネル454の最終有効ページ201は、任意の単一チャンネル454の最終有効ページ201に論理データブロック456の完全なマッピング情報を記憶するのではなく、論理データブロック456の一部分のみのマッピング情報を記憶する。例えば、チャンネル454当たり64ページ存在し、8つのチャンネル454が利用される場合、任意の所与のチャンネル454の最終有効ページ201は、論理ブロック454のマッピング情報の8つの論理ページエントリを記憶できるであろう。したがって、チャンネル452₀の最終有効ページ201は、論理データブロック456の最初の8つの論理ページアドレスに関するマッピング情報を記憶でき、チャンネル452₁の最終有効ページ201は、次の論理データブロック456の次の8つの論理ページアドレスに関するマッピング情報を記憶でき、チャンネル452₂の最終有効ページ201は、次の論理データブロック456の次の8つの論理ページアドレスに関するマッピング情報という具合に記憶できるであろう。

40

【0029】

50

論理データブロック456は、書き込み動作が論理ブロック456のチャンネル454の各々の最初の空き物理ページにデータを書き込むように、単一の論理ブロックとして取り扱われる。一例を挙げると、グルーピング450の物理ページ201の各々がページ当たり4KBのデータを含んでいた場合、論理ブロック456の物理ページ201は、ページ当たりの4KBのN倍のデータを有することになる。Nとは、仮想データブロック452を作成する目的で使用されるチャンネル454の数である。図4Aの実施例では、N=8である。したがって本実施例では、各書き込み動作が32KBのデータを書き込むことになる。こうして、チャンネル454の各々の最終有効ページを読み込むことにより、論理データブロック456に関する完全なマッピング情報が取り出され得る。論理データブロック456が単一の論理ブロックとして取り扱われず、個々のチャンネル454に対して書き込み動作が許可されている場合、新たなデータを受信するチャンネル454が、書き込まれている論理ページアドレスに関するマッピング情報を格納していなかったなら、マッピング情報が古いということになる。また、単一の論理ブロックとして取り扱われると、各論理ページアドレスは、自身のそれぞれのデータブロック202の同じ物理ページオフセットで生じることになる。単一ブロックとして取り扱われない場合は、以降の書き込み動作が、異なるデータブロック202の異なるオフセットで次の空きページを識別し得る。そのためは、単一の論理ページアドレスの複数の物理アドレスを記憶する必要がある。さらに、各チャンネル454に対する書き込み動作は、並行的または順次的であり得る。ただし、論理データブロック456に対する書き込み動作は、すべてのチャンネル454が自身のそれぞれの書き込み動作を完了するまで、制御回路によって完了と認識されるべきでない。

【0030】

図4Bの実施例では、論理データブロック456の別個のチャンネル454と識別される複数の物理ブロック202/204のグルーピング450が、仮想データブロック452を作成する目的で使用される。この記述は、図4Bの実施例の物理ブロック202/204が各々128枚の物理ページ201を格納していることを除き、図4Aの実施例の記述と同様である。チャンネル454全体にマッピング情報を伝播する際に、チャンネル452₀の最終有効ページ201は、論理データブロック456の最初の16個の論理ページアドレスに関するマッピング情報を記憶でき、チャンネル452₁の最終有効ページ201は、論理データブロック456の次の16個の論理ページアドレスに関するマッピング情報を記憶でき、チャンネル452₂の最終有効ページ201は、論理データブロック456の次の16個の論理ページアドレスに関するマッピング情報という具合に記憶できるであろう。このように、仮想ブロック452の最終有効ページ201を読み込むことにより、論理データブロック456に関する全128個の論理ページアドレスの完全なマッピング情報を見つけることができる。

【0031】

図4Aと図4Bの実施例の各々で8つのチャンネル454が使用されたが、使用するチャンネル452はこれより少なくとも多くても良い。任意の1チャンネル454に記憶される自身のマッピング情報を有する論理ページアドレスの区分を増やすことにより、使用するチャンネル454は減らされ得る。使用されるチャンネル454の数を増やすことにより、各チャンネル454は、さらに小さな論理ページアドレスの区分に関するマッピング情報を記憶することができる。ただし、論理データブロック456と関連付けられた物理ページ201のいかなる部分に書き込むに際しても、かかる各変形は、生成される論理データブロック456を1単位として取り扱うべきである。

【0032】

図4A~図4Bに記載されている実施形態では、最終有効物理ページが、対応する論理データブロック456に関するマッピング情報を1コピー分、保有していた。ただし、チャンネル454の各物理ページ201が十分な容量を有しており、論理データブロック456の全論理ページアドレスに関するマッピング情報を記憶するのに必要な量を上回るメタデータ下位部分を記憶できる場合には、チャンネル454全体でマッピング情報の複数コピ

10

20

30

40

50

ーを記憶できるであろう。例えば、論理データブロック456が128個の論理ページアドレスを有し、8本のチャンネル454が利用される場合、各チャンネル454の最終有効ページ201は、全128個の論理ページアドレスに関するマッピング情報を集合的に記憶するために16個の論理ページアドレスに関するマッピング情報を記憶する必要がある。しかし、各物理ページ201に32個の論理アドレスに関するマッピング情報を記憶するための十分な空間が存在する場合には、マッピング情報が2コピー分、記憶され得る。例えば、チャンネル452₀~452₃の最終有効ページ201は、論理データブロック456の全128個の論理ページアドレスに関するマッピング情報の第1コピーを集合的に記憶することができ、チャンネル452₄~452₇の最終有効ページ201は、論理データブロック456の全128個の論理ページアドレスに関するマッピング情報の第2コピーを集合的に記憶することができる。このようにして、最終有効ページ201を読み込む際にデータ破損問題が存在する場合であっても、データ破損を被らないページ201を使用して論理データブロック456に関するマッピング情報を作成し直すことが可能であり得る。

10

【0033】

動作時、メモリモジュール106が自身のメモリ装置116の1つに書き込むためのユーザデータを受信すると、制御回路110がこのユーザデータを、書き込み先ページ201に対応する論理データブロックのマッピング情報を表すメタデータと結合する。このメタデータは、ユーザデータ部分312へのユーザデータの書き込み、および/またはECC部分316へのECCデータの書き込みと並行して、メタデータ部分314に書き込まれる。

20

【0034】

各メモリモジュール106は、他のメモリモジュール106から独立した自身のマッピング情報のセットを有する。制御回路110は、自身の対応するメモリ装置116がアクセスするためのマッピング情報を記憶する。メモリ装置116内の論理アドレスが、ホストから受信される論理アドレスの一部分に過ぎないことは理解されよう。例えば、SSD100が4つのメモリモジュール106を格納しており、各々が16台のメモリ装置116を格納しており、かつ各メモリ装置116がブロック当たり64のページを有する1,920個のアドレス指定可能な論理データブロックを有する場合、一部の論理アドレスは、どのメモリモジュール106と、メモリモジュール106のどのメモリ装置116とがアドレス指定された論理データブロックを格納していたかを定義する。そのため、本明細書に記載されているユーザデータと結合されるマッピング情報は、メタデータを格納している物理ページと関連付けられた少なくとも論理データブロックの一部分のマッピング情報を定義するが、どのメモリ装置またはメモリモジュールがその論理データブロックと関連付けられているかに関するマッピング情報は定義しない場合がある。

30

【0035】

図5は、本開示の一実施形態にかかるメモリモジュールを動作させる方法のフローチャートである。530で、少なくとも1つのメモリ装置の論理データブロックに書き込むためのユーザデータがホストから受信される。例えば、ホストはメモリモジュールに書き込みコマンドを出して、メモリモジュールに書き込まれるデータと、データが書き込まれる場所に対応する論理アドレスとを提供し得る。論理アドレスは、論理データブロックと、ユーザデータを記憶するための論理ページアドレスとを指定する。532で、メモリモジュールの制御回路が、アドレス指定された論理データブロックに対応するマッピング情報を取り出す。制御回路は、論理データブロックと関連付けられた次の空き物理ページを選択する前または後にマッピング情報を取り出し得る。ただしマッピング情報が、アドレス指定された論理ページに対応する意図された物理ページを表示するように改訂される前に取り出される場合には、後述するとおり、メタデータを生成する前に更新されるべきである。

40

【0036】

534で、アドレス指定された論理データブロックのマッピング情報に対応するメタデ

50

ータが生成される。このメタデータは、論理データブロックの少なくとも一部分について、論理ページアドレスと、その論理データブロックと関連付けられた物理ページアドレスとの間のマッピング対応関係を示す。このメタデータが、現在の書き込みコマンドの論理ページアドレス以外の少なくとも1つの論理ページアドレスに関するマッピング情報を含むことは理解されよう。すなわち、このメタデータは、アドレス指定された論理データブロックの2つ以上の論理ページアドレスに関するマッピング情報に対応する。上記のとおり、このメタデータは、論理データブロックと関連付けられた物理ブロック内の物理ページアドレスと、物理ページを格納している物理ブロックがデータブロックかログブロックかに関する明示と、この物理ページが、論理データブロックと関連付けられた複数のログブロックのうちの1つに格納されている場合にはブロックの連続番号に関する明示とを含む可能性がある。

10

【0037】

536で、ユーザデータとメタデータとが結合される。一例として、メタデータがユーザデータに添付される。例えば、ユーザデータが2,048バイトであり、メタデータが32バイトである場合、結合されたデータは16,640データ値のストリングであり、最初の16,384データ値がユーザデータであり、最後の256のデータがメタデータである。任意で、538において、結合されたユーザデータとメタデータとに対するECCデータが生成される。実際的観点からは、ECCはデータの読み込みエラーを修正する目的で使われるべきであるものの、修正目的で使用されるデータと共に記憶される必要はない。ただし、一実施形態については、ECCデータが、結合されたユーザデータおよびメタデータと結合される。一例として、ECCデータが、結合されたユーザデータとメタデータとに添付される。

20

【0038】

次に540で、結合されたデータが、制御回路によって選択された空き物理ページに書き込まれ、これにより、物理ページ内の対応する論理データブロックに関する現在のマッピング情報を記憶する。当該技術において一般的であるように、その後、メモリモジュールの制御回路によって保持される高レベルのマッピング情報が更新されるべきである。本明細書に記載された各種実施形態は、Flash Translation Layerまたは他のマッピング技術の特定応用形態に依存しないことに注意されたい。同様に、各種実施形態は高レベルのマッピング情報に干渉しない。そのため、メモリモジュール内のウェアレベリング、ガーベージコレクション、および他のメンテナンスアクティビティは、かかる実施形態に悪影響を与えたり与えられたりすることなく動作することができる。この実施形態が提供するものは、メモリ装置のすべての有効ページをスキャンする処理よりも効率的にマッピング情報を再構築できるようにすることである。各種実施形態は、すべての論理データブロックのすべての有効ページではなく、メモリ装置の各論理データブロックの1有効ページだけをスキャンすることによってメモリ装置に関するマッピング情報の再構築を簡便化するため、スキャン処理が大幅に単純化される。

30

【0039】

図6は、本開示の一実施形態にかかるメモリモジュールを動作させる方法のフローチャートである。660で、メモリ装置のマッピング情報が破損していることが検出される。かかる破損は、書き込み動作が完了する前にメモリ装置の電源を停止することによって発生し得る。一例を挙げると、書き込み動作が進行中であることを明示するように不揮発性レジスタを設定し、その書き込み動作の完了時にそれをリセットすることにより、レジスタの値を単に点検するだけで、メモリモジュールの電源投入時に書き込み動作のいかなる中断も検出することができる。

40

【0040】

662で、制御回路は、メモリ装置のマッピング情報の破損を検出すると、スキャン処理を開始して、そのメモリ装置の各論理データブロックと関連付けられた最終有効物理ページを読み込む。各種実施形態によれば、メモリ装置に関するマッピング情報は、メモリ装置によってアドレス指定された各論理データブロックの最終有効物理ページに記憶され

50

た情報だけを使用して再構築され得るため、メモリのページを更に読む必要はない。

【 0 0 4 1 】

6 6 4 で、論理データブロックの最終有効物理ページのみから読み込まれたデータからマッピング情報が取得される。マッピング情報を取得することは、マッピング情報を取得するのに必要なメモリセルだけを読み込むこと、または物理ページのすべてのメモリセルを読み込み、取得されたデータからマッピング情報を抽出することを含み得る。マッピング情報を取得することは、E C C データを使用してエラー修正を適用することを更に含み得る。

【 0 0 4 2 】

6 6 6 で、メモリ装置に関するマッピング情報が、論理データブロックの最終有効物理ページから取得されたマッピング情報を使用して再構築される。複数のメモリ装置を格納しているメモリモジュールの場合には、メモリモジュールの各メモリ装置に対して 6 6 2 ~ 6 6 6 からの処理を繰り返せば良い。あるいは、マッピング情報の破損を示しているメモリ装置に対してのみ実行しても良い。再構築されたマッピング情報は、その後メモリモジュールの制御回路によって記憶され得る。

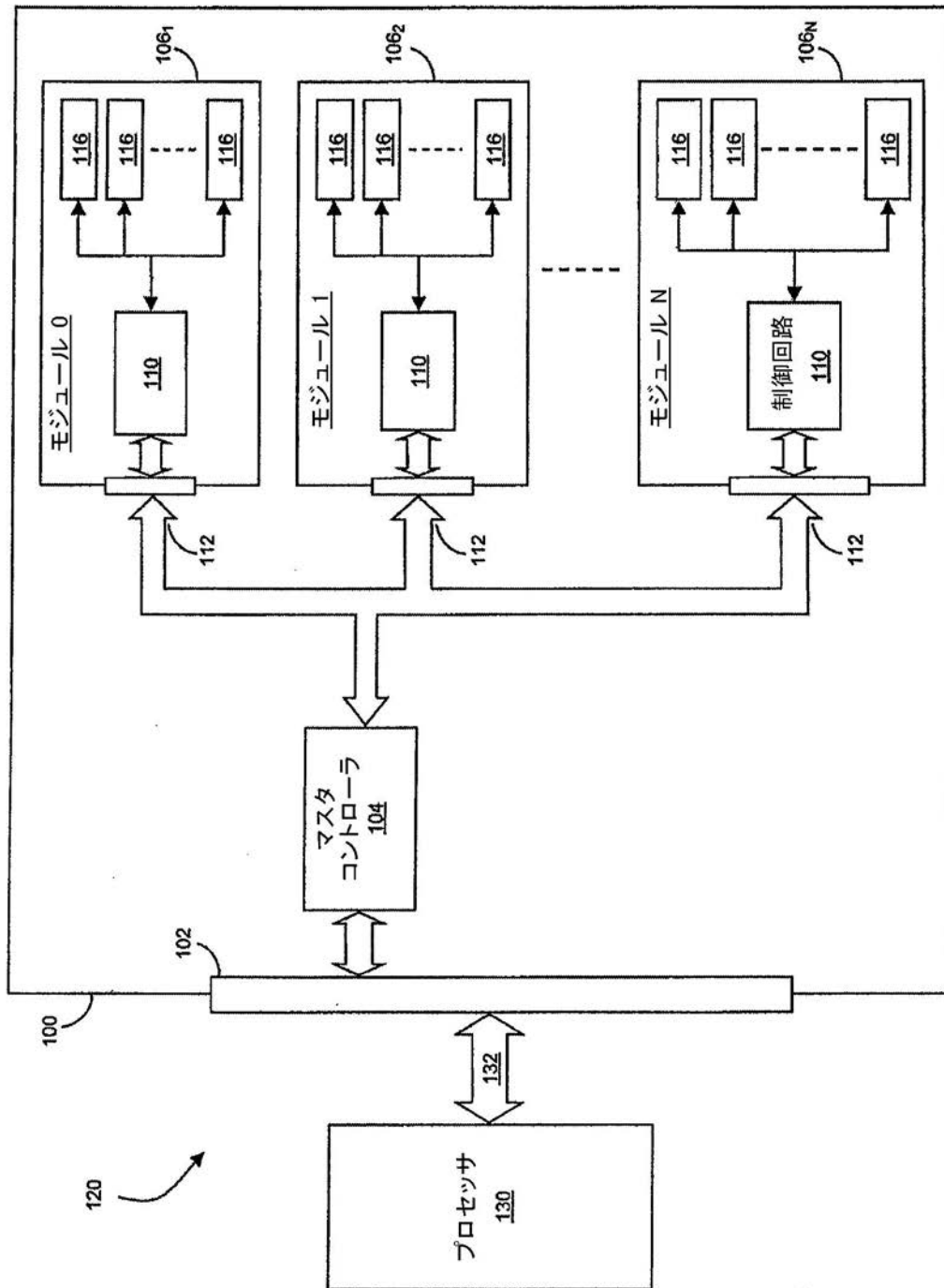
10

【 0 0 4 3 】

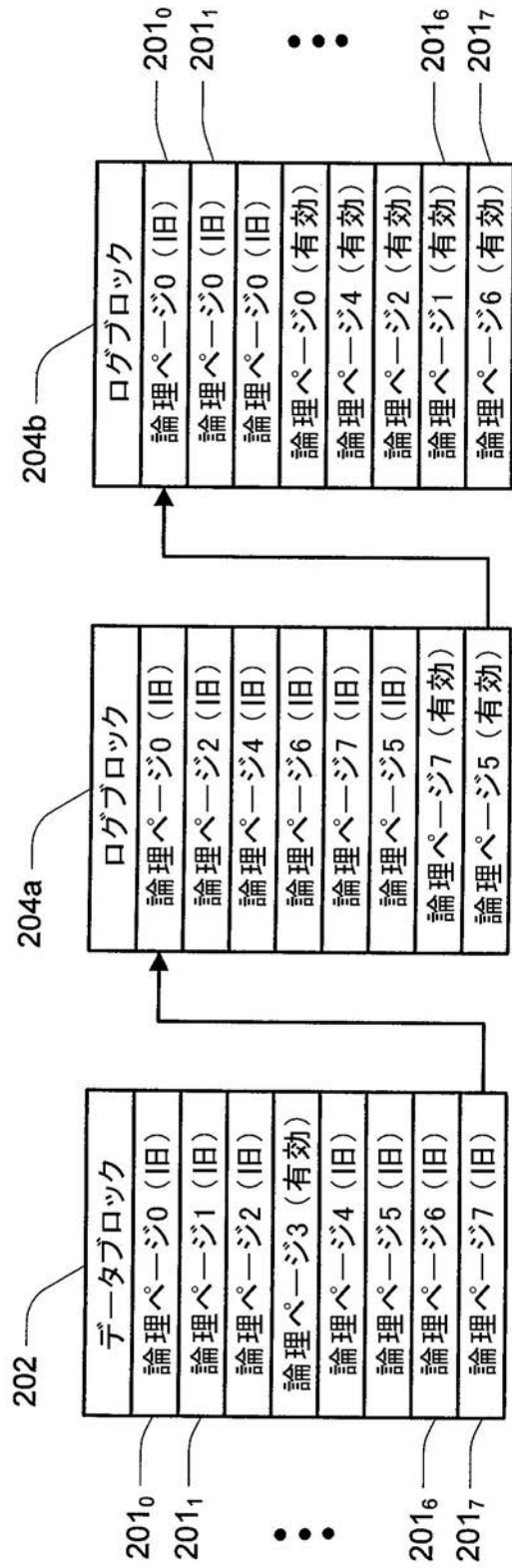
具体的な実施形態を例示し、本明細書に記載したが、同じ目的を達成するために計算されたいかなる構成も、示された具体的な実施形態を代替し得ることは当業者によって理解されよう。当業者には、本開示の多数の改変が明らかであろう。したがって、本出願は、本開示のいかなる改変または変形も包含することを意図している。

20

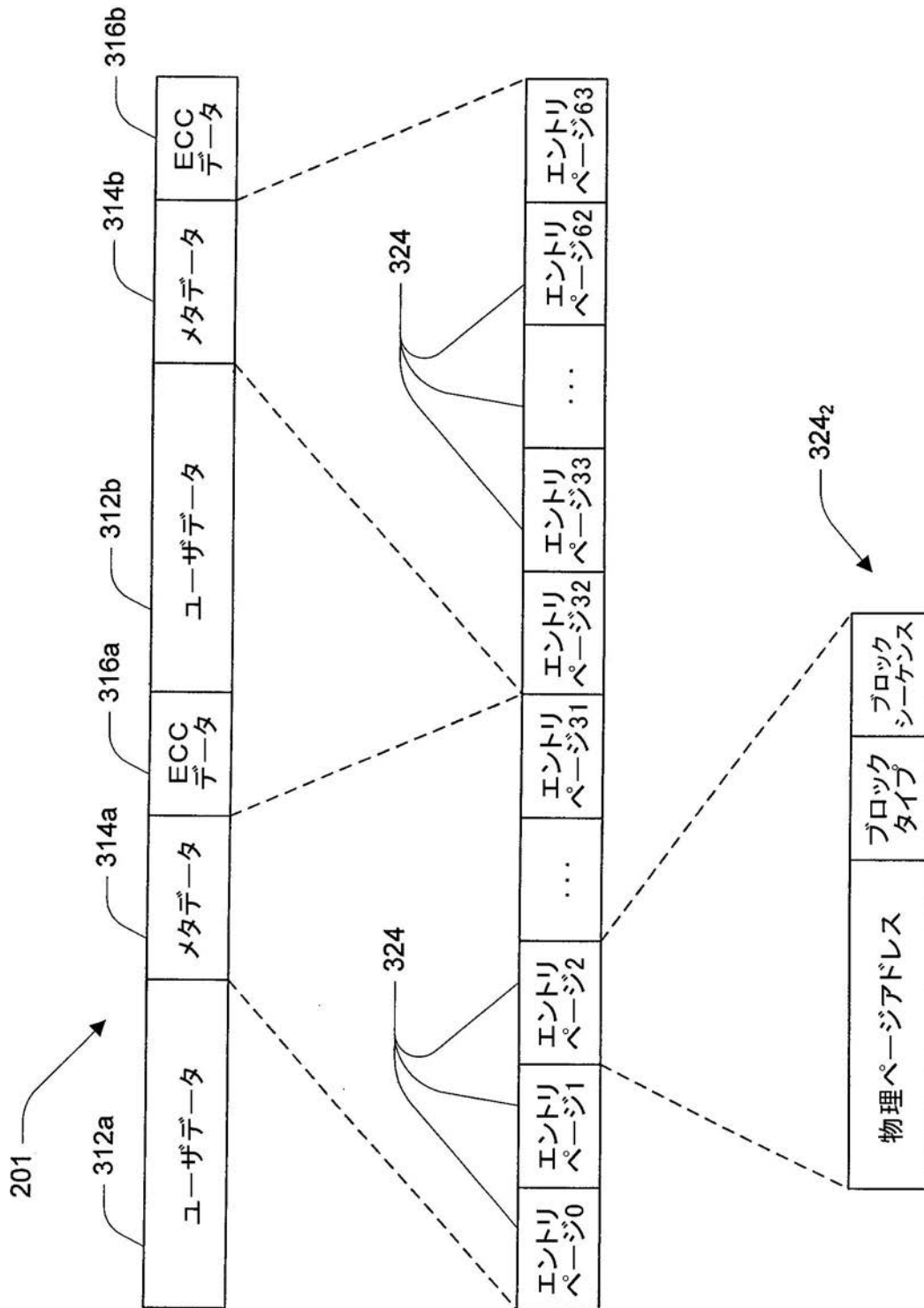
【図1】



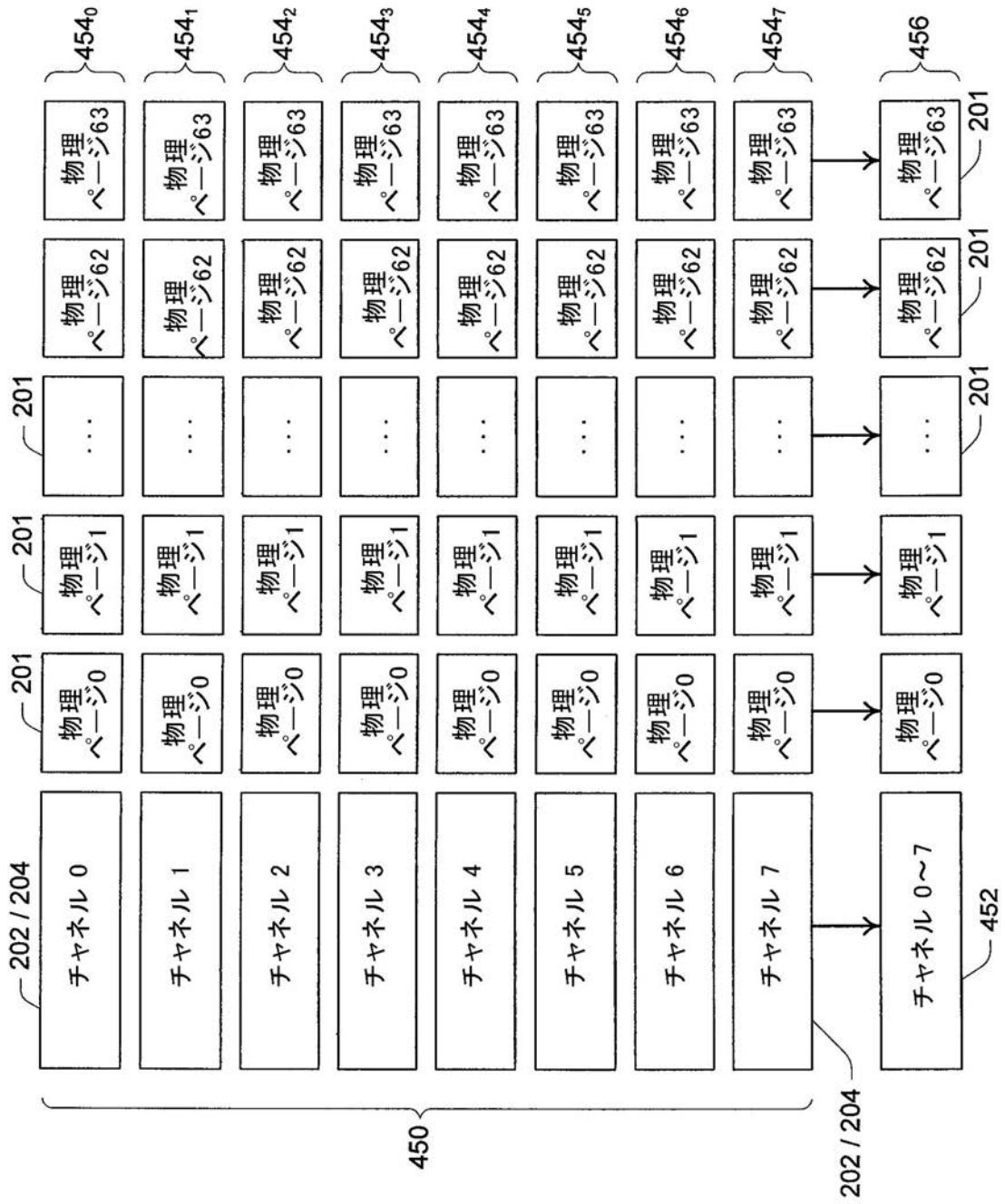
【図2】



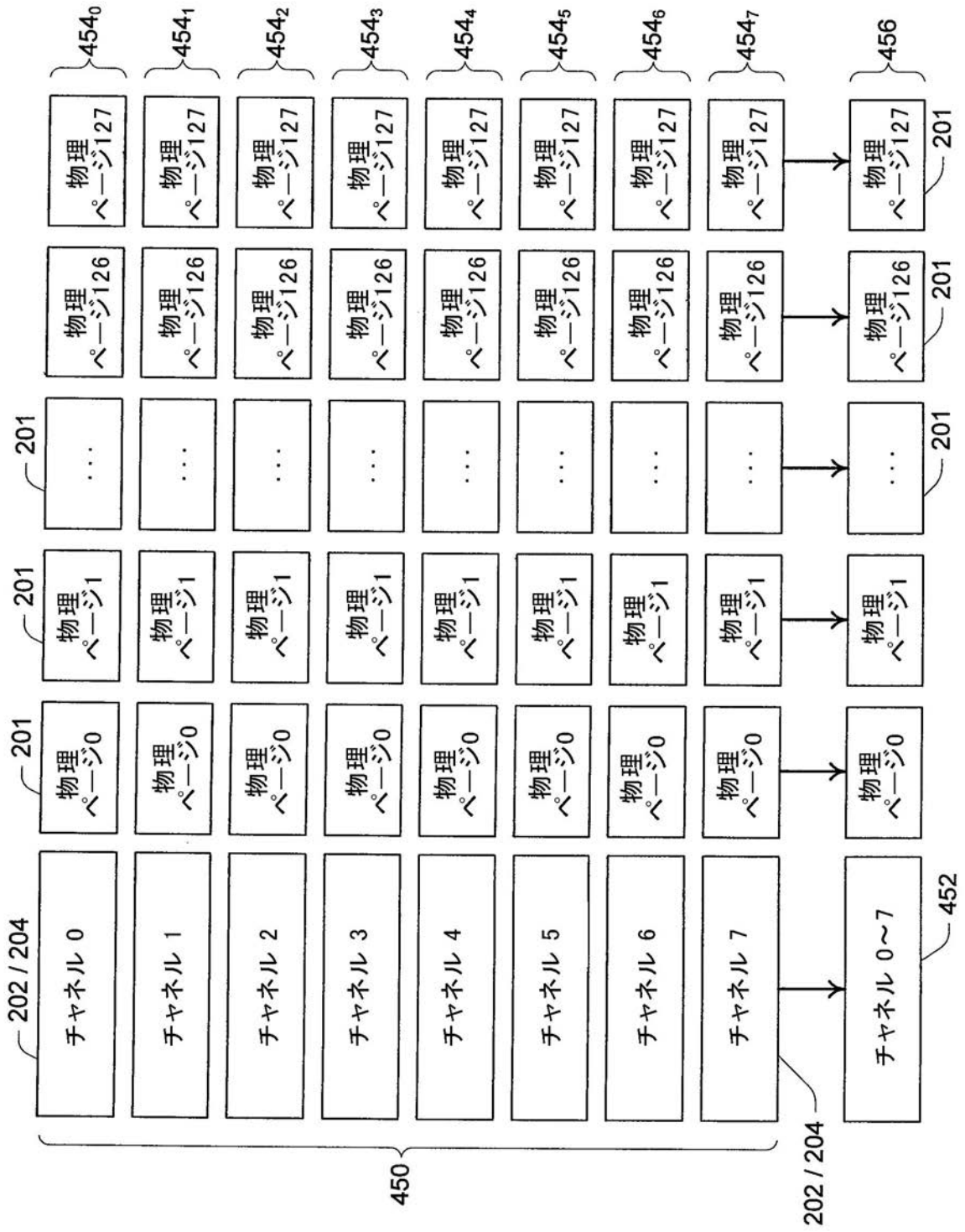
【 図 3 】



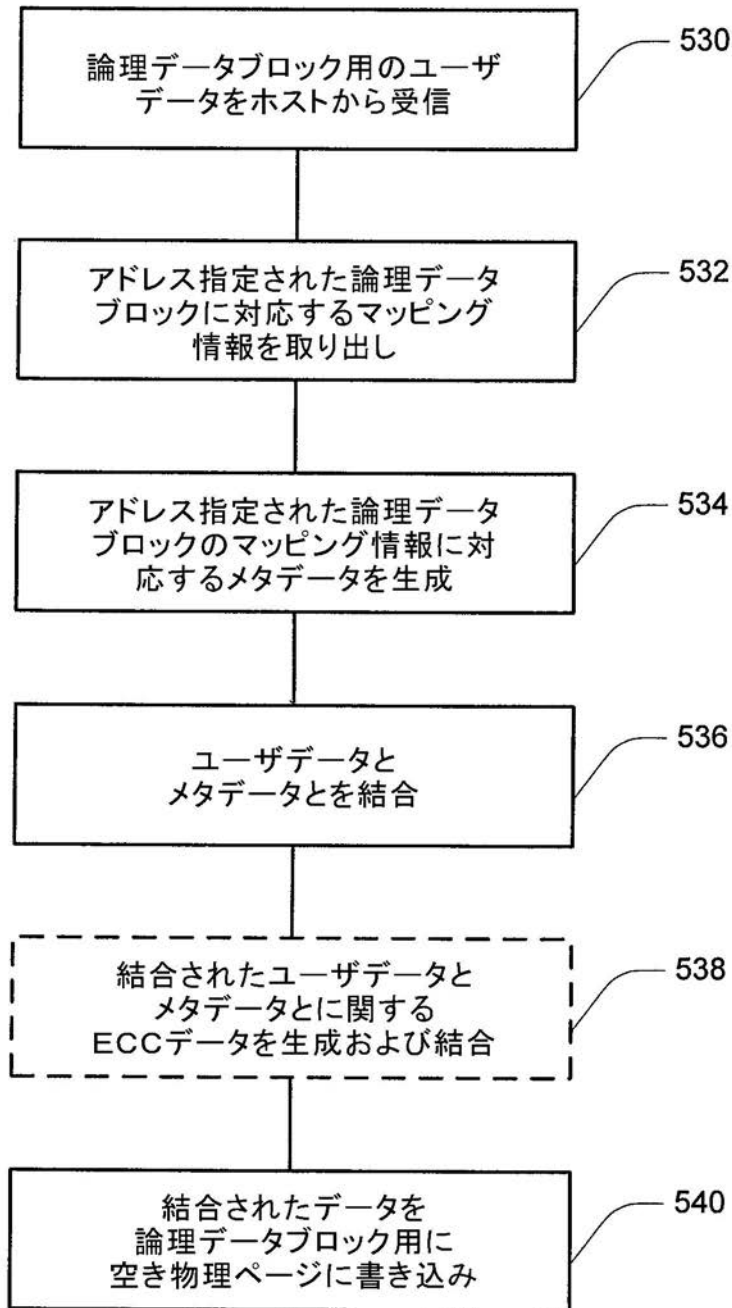
【 図 4 A 】



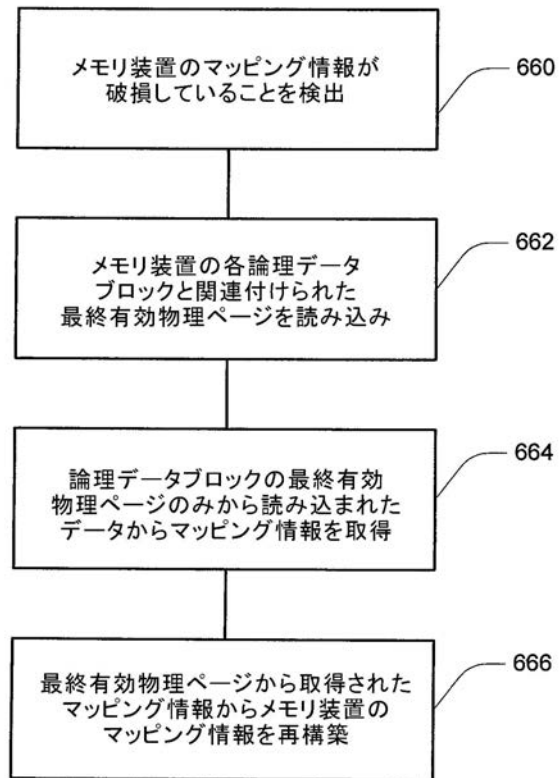
【図4B】



【図5】



【図6】



フロントページの続き

(72)発明者 ユアン, ロン

中華人民共和国, 上海市 200127, サウス ヤンガオ ロード 1218番地, 27-15
01室

(72)発明者 チャオ, ウェイ

中華人民共和国, 上海市 200127, 10番 レーン 1410番地, 602室

審査官 桜井 茂行

(56)参考文献 特開2007-280108(JP, A)

米国特許出願公開第2007/0083697(US, A1)

米国特許出願公開第2003/0093610(US, A1)

特開2000-047932(JP, A)

米国特許出願公開第2005/0132125(US, A1)

特開2004-303238(JP, A)

(58)調査した分野(Int.Cl., DB名)

G06F 12/16

G06F 12/00

G06F 12/02